



# **INSTITUTO POLITÉCNICO NACIONAL**

**ESCUELA SUPERIOR DE INGENIERÍA MECÁNICA Y ELÉCTRICA.**

**SECCIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN**

## **DISEÑO E IMPLEMENTACIÓN DEL CONTROL DE VOLTAJE EN UN CONVERTIDOR MATRICIAL.**

### **T E S I S**

**QUE PARA OBTENER EL TÍTULO DE:**

**Maestro en Ciencias en Ingeniería Eléctrica**

**P R E S E N T A:**

**ING. EDGAR LOPEZ ROBLES.**



**MÉXICO, D.F.**

**2014**



# INSTITUTO POLITÉCNICO NACIONAL SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

## ACTA DE REVISIÓN DE TESIS

En la Ciudad de México, D. F. siendo las 11:30 horas del día 30 del mes de Agosto del 2013 se reunieron los miembros de la Comisión Revisora de la Tesis, designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de ESIME-Zacatenco para examinar la tesis titulada:

### “DISEÑO E IMPLEMENTACIÓN DEL CONTROL DE VOLTAJE EN UN CONVERTIDOR MATRICIAL”

Presentada por el alumno:

**LÓPEZ**

**ROBLES**

**EDGAR**

Apellido paterno

Apellido materno

Nombre(s)

Con registro:

B	1	0	2	2	7	9
---	---	---	---	---	---	---

aspirante de:

### MAESTRO EN CIENCIAS EN INGENIERÍA ELÉCTRICA

Después de intercambiar opiniones, los miembros de la Comisión manifestaron **APROBAR LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

#### LA COMISIÓN REVISORA

Director(a) de tesis

**DR. JAIME JOSÉ RODRÍGUEZ RIVAS**

PRESIDENTE

**DR. DAVID SEBASTIAN BALTAZAR**

SEGUNDO VOCAL

**DR. RAÚL ÁNGEL CORTÉS MATEOS**

TERCER VOCAL

**DR. OSCAR CARRANZA CASTILLO**

SECRETARIO

**DR. FERMÍN PASCUAL ESPINO CORTÉS**

PRESIDENTE DEL COLEGIO DE PROFESORES

SECCIÓN DE ESTUDIOS DE  
POSGRADO E INVESTIGACIÓN

**DR. MAURO ALBINO ENCISO AGUILAR**



# RESUMEN.

En este trabajo se presenta la simulación e implementación del control de voltaje de salida en un convertidor matricial 3x3 en condiciones de carga pasiva (resistiva y resistiva-inductiva) balanceada y desbalanceada. El convertidor matricial es conocido como convertidor directo de CA-CA debido a que no requiere de la etapa de corriente directa (bus de CD). Para el control del tiempo de conducción de los interruptores bidireccionales que integran a este convertidor, se emplea el método de modulación por vectores espaciales (SVM). Con este método se observa que tan solo se obtiene un voltaje de salida por fase del 86% del valor del voltaje de entrada.

Se diseña e implementa un control de seguimiento y un control repetitivo, donde al añadirse este último se obtiene un mejor desempeño en la regulación de los voltajes de salida, permitiendo estar dentro de los estándares de regulación de voltaje y de distorsión armónica (THD). Con el fin de comprobar el desempeño de los controladores, fueron probados experimentalmente bajo condiciones de carga trifásica balanceada y desbalanceada.

Se muestran en el trabajo el diseño de los filtros de entrada y salida del convertidor matricial, los cuales fueron implementados con inductores y capacitores.

La plataforma de control del convertidor matricial está formada por una tarjeta de arreglo de compuertas programables (FPGA), un procesador de señales digitales (DSP) y una tarjeta de interfaz gráfica (HPI). Las variables eléctricas de entrada y de salida pueden ser monitoreadas a través de una interfaz gráfica mediante la herramienta Guide de Matlab V7.6 con la finalidad de observar el estado de operación del convertidor matricial en tiempo real.

# ABSTRACT.

In this study the simulation and implementation of the output voltage control is presented in a 3x3 matrix converter with passive load (resistive and resistive-inductive) balanced and unbalanced. The matrix converter is known as a direct converter of AC–AC because it does not require DC Link. To control the conduction time of the bidirectional switches that integrate this converter, the method for space vector modulation (SVM) is employed. With this method it is observed that only an output voltage is obtained by stage 86% of the value of the input voltage.

It designs and implements a tracking control and repetitive control, where the additions of the latter perform better in the regulation of the output voltages. Allowing it to be within the standards of output voltage regulation and harmonic distortion (THD). In order to check the performance of the controllers, they were tested experimentally under conditions of balanced and unbalanced three-phase load.

Also, this work has the design of the input filter and output filter which include inductors and capacitors.

The platform control matrix converter is formed by a Field Programmable Gate Array (FPGA), a digital signal processor (DSP) and a graphical interface (HPI). The electrical input and output variables can be monitored through a graphical interface using the Matlab Guide v7.6 in order to observe the state of operation of the matrix converter in real time.

## DEDICATORIA

*A MIS PADRES, HERMANOS Y AMIGOS.*

*“Uno aprende haciendo las cosas; porque aunque tu pienses o creas que sabes las cosas,  
no tienes la verdadera certeza hasta que lo haces”.  
Sofocles.*

*“¡Confiar y esperar!, porque la confianza es recompensada y la espera premiada”.  
Alejandro Dumas.*

# AGRADECIMIENTOS



*Deseo agradecer a Dios por darme la Salud, la fuerza, la sabiduría y el aprendizaje de la paciencia y la esperanza para realizar este sueño a lado de mi familia.*



*Agradezco a mi amada familia que a diario me acogen con sus pensamientos y sus buenos deseos que forman la base sólida de mi vida. Gracias: V. Georgina Robles Ibáñez., Cynthia López Robles, Heydi López Robles, Enrique R. López Cervantes.*



*Por su puesto que también agradezco a mis sinceros amigos que están y que no están, ya que con tan solo con una palabra de ánimo ayudaron para que la firmeza no se viera debilitada. Gracias a: Santiago Gómez Castro, David Herrera Galván, Ma. Elena Lemus Herrera, Aurora Cabañas Cruz, Oscar Villarreal Martínez, Jorge Santana García, Carlos Roberto Garrido Daniel, Jorge Uriel Sevilla Romero y Miguel A. Monroy Canales.*



*A los profesores de la Sección de Estudios de Posgrado e Investigación que a través de sus conocimientos transmitidos, forman la base para cumplir con este proyecto, pero sobre todo al Dr. Jaime José Rodríguez Rivas por la paciencia y confianza en uno.*



*Por último también agradezco al Instituto Politécnico Nacional que a través de Escuela Superior de Ingeniería Mecánica y Eléctrica forma la base de los conocimientos en la ciencia de la Ingeniería y que gracias a esto ofrece la oportunidad de integrarse a la Sección de Estudios de Posgrado e Investigación en el programa de maestría en ciencias en Ingeniería Eléctrica, que con el apoyo económico del Instituto de Ciencias y Tecnología del D.F. (ICyTDF) a través del proyecto “Desarrollo de un prototipo de Vehículo eléctrico SuperCap para la ciudad de México” con clave: PICC010-95, hacen posible que cualquier estudiante busque más allá de sus límites profesionales para el Servicio de su Nación.*

# ÍNDICE.

<b>CAPÍTULO 1. INTRODUCCIÓN.....</b>	<b>1</b>
1.1 INTRODUCCIÓN. ....	1
1.2 ESTADO DEL ARTE. ....	3
1.3 OBJETIVOS DEL PROYECTO DE TESIS. ....	4
1.4 LIMITACIONES, ALCANCES Y APORTACIONES.....	5
1.5 JUSTIFICACIÓN. ....	6
1.6 CONTENIDO.....	6
<b>CAPÍTULO 2. CONVERTIDOR MATRICIAL Y SUS SISTEMAS DE CONTROL .....</b>	<b>9</b>
2.1 INTRODUCCIÓN. ....	9
2.2 TECNICA DE MODULACIÓN.....	11
2.2.1 Modulación por vectores espaciales. ....	11
2.3 METODOS DE CONMUTACIÓN.....	24
2.3.1 Método de Conmutación de 4 pasos en base a la dirección de la corriente de salida. ....	25
2.4 FILTROS.....	28
2.4.1 Filtro de entrada.....	28
2.4.2 Filtro de salida.....	32
2.5 CONTROL DE SEGUIMIENTO.....	36
2.6 CONTROL REPETITIVO.....	39
2.6.1 Análisis de estabilidad.....	41
<b>CAPÍTULO 3. DISEÑO DEL SISTEMA DE CONTROL.....</b>	<b>44</b>
3.1 INTRODUCCIÓN. ....	44
3.2 DISEÑO DEL CONTROL DE SEGUIMIENTO.....	44
3.3 DISEÑO DEL CONTROL REPETITIVO. ....	57
<b>CAPÍTULO 4. SIMULACIÓN DEL CONVERTIDOR MATRICIAL.....</b>	<b>62</b>
4.1 INTRODUCCIÓN. ....	62
4.2 SIMULACIÓN DEL CONVERTIDOR MATRICIAL SIN FILTROS.....	63

4.3 SIMULACIÓN DEL CONVERTIDOR MATRICIAL CON FILTRO DE ENTRADA Y SALIDA EN LAZO ABIERTO.....	76
4.4 SIMULACIÓN DEL CONVERTIDOR MATRICIAL CON FILTRO DE ENTRADA Y SALIDA CON LAZO DE CONTROL DE VOLTAJE.....	85
4.4.1 Simulación del control de seguimiento con carga resistiva.....	85
4.4.2 Simulación del control de seguimiento más control repetitivo con carga resistiva.....	91
4.4.3 Simulación del control de seguimiento con carga resistiva-inductiva.....	96
4.4.4 Simulación del control de seguimiento más control repetitivo con carga resistiva-inductiva.....	101
<b>CAPÍTULO 5. IMPLEMENTACIÓN.....</b>	<b>104</b>
5.1 INTRODUCCIÓN.....	104
5.2. CONVERTIDOR MATRICIAL.....	104
5.3. CIRCUITO DE PROTECCIÓN DE ENCLAVAMIENTO.....	106
5.4. TARGETA DSK6713.....	107
5.5. TARJETA HPI (HOST PORT INTERFACE).....	109
5.6. TARJETA DE INTERFAZ FPGA.....	110
5.7 FILTRO DE ENTRADA.....	113
5.8. FILTRO DE SALIDA.....	114
5.9. IMPLEMENTACIÓN DE LOS CONTROLADORES.....	115
5.9.1 Control de Seguimiento.....	116
5.9.2 Control Repetitivo.....	117
5.10. DIAGRAMA DE FLUJO.....	120
<b>CAPÍTULO 6. RESULTADOS EXPERIMENTALES.....</b>	<b>123</b>
6.1 INTRODUCCIÓN.....	123
6.2 PRUEBAS DE CONMUTACIÓN DE 4 PASOS Y PARAMETROS DE CONMUTACIÓN.....	123
6.3 CONVERTIDOR MATRICIAL SIN FILTROS.....	128
6.4. CONVERTIDOR MATRICIAL CON FILTROS, EN LAZO ABIERTO CON CARGA R.....	137
6.5 CONVERTIDOR MATRICIAL CON CONTROL DE SEGUIMIENTO CON CARGA R.....	146

6.6 CONVERTIDOR MATRICIAL CON CONTROL DE SEGUIMIENTO MÁS CONTROL REPETITIVO CON CARGA R.....	151
6.7 CONVERTIDOR MATRICIAL CON CARGA RESISTIVA MÁS INDUCTIVA.....	156
6.7.1 Convertidor Matricial con control de seguimiento con carga RL.....	157
6.7.2 Convertidor Matricial con control de seguimiento más control repetitivo con carga RL.....	162
<b>CAPÍTULO 7. CONCLUSIONES Y RECOMENDACIONES.....</b>	<b>169</b>
7.1 Trabajos futuros.....	171
7.2 Aportaciones.....	171
<b>REFERENCIAS.....</b>	<b>172</b>
<b>APÉNDICE A.....</b>	<b>178</b>
<b>A.1 IGBT BIDIRECCIONAL.....</b>	<b>178</b>
<b>APÉNDICE B.....</b>	<b>180</b>
<b>B.1 TRANSFORMACION LINEAL.....</b>	<b>180</b>
<b>APÉNDICE C.....</b>	<b>183</b>
<b>C.1 USO DEL HPI.....</b>	<b>183</b>
<b>APÉNDICE D.....</b>	<b>189</b>
<b>D.1 REGISTROS FPGA.....</b>	<b>189</b>
<b>APÉNDICE E.....</b>	<b>199</b>
<b>E.1 ANALISIS DE FFT EN MATLAB.....</b>	<b>199</b>
<b>APÉNDICE F.....</b>	<b>201</b>
<b>F.1 PROGRAMA IMPLEMENTADO.....</b>	<b>201</b>

# SIMBOLOGIA Y ABREVIATURAS.

## A

---

A	Amperes.
$\alpha$	Factor de potencia.
$\alpha_0$	Ángulo del vector de referencia del voltaje de salida.

## B

---

$\beta_i$	Ángulo del vector de referencia de corriente de entrada.
-----------	--

## C

---

C.A.	Corriente alterna.
C.D	Corriente directa.
CCS	Code composer estudio™
CS	Control de seguimiento.
CM	Convertidor matricial.
CR	Control repetitivo.

## D

---

DSP	Procesamiento de señales digitales.
DSK	Kit de desarrollo de DSP.
db	Decibeles.
$\delta^I, \delta^{II}, \delta^{III}, \delta^{IV}$	Ciclos de trabajo.

## E

---

$e(z)$	Error en tiempo discreto.
--------	---------------------------

## F

---

FPGA	Arreglo de compuertas programables.
$f_o$	Frecuencia de salida.
$H(s)$	Función de transferencia en el dominio s.
F	Faradios.
$f_{sw}$	Frecuencia de conmutación.

## G

---

GPU	Unidad de generación de potencia.
-----	-----------------------------------

## H

---

HPI	Tarjeta de interface gráfica.
Hz	Hertz.
$H(z)$	Función de transferencia en dominio discreto.

## I

---

$I_i(t)$	Corriente de entrada.
$I_o(t)$	Corriente de salida.
$I_A(t), I_B(t), I_C(t)$	Corrientes de entrada por fase.

$I_L$	Corriente de línea.
IGBT	Transistor bipolar de compuerta aislada.
$I_o(t)$	Corriente de salida.
$I_m$	Corriente máxima.
$\bar{i}_i$	Vector espacial de referencia de corriente de entrada.
IIR	Respuesta infinita al impulso.

### K

---

kVA	Kilo volts amperes.
$K$	Ganancia.
$K_i$	Sector de corriente.
$K_v$	Sector de voltaje.

### L

---

$L$	Inductor.
-----	-----------

### M

---

$m_{kj}$	Ciclo de trabajo del interruptor.
$M(t)$	Matriz de modulación.

### N

---

$N$	Número de muestras.
-----	---------------------

### O

---

$\Omega$	Ohm.
----------	------

### P

---

PEMC	Grupo de electrónica de la Universidad de Nottingham.
PWM	Modulación por ancho de pulso.
$\pi(A)$	Ecuación característica.
$\varphi_i$	Ángulo de desplazamiento.

### Q

---

$Q(z)$	Compensador de control repetitivo.
$q$	Rango de transferencia de potencia

### R

---

$R$	Resistencia.
$R-L$	Resistiva-inductiva.
$R_L$	Resistencia interna del inductor.
REF	Referencia.
$r_c$	Referencia modificada.
$rms$	Valor cuadrático medio.

### S

---

SISO	Una entrada una salida.
SVM	Modulación por vectores espaciales..

$S_{kj}$	Interrupor bidireccional.
$S$	Potencia aparente.
$S(z)$	Filtro paso-bajo

### T

$t1, t2, t3$	Tiempos de retardo.
THD	Distorsión total de armónicos.
$T_{pwm}$	Periodo de modulación.

### U

UPS	Sistema de energía ininterrumpible.
-----	-------------------------------------

### V

$V_A, V_B, V_C$	Voltajes de entrada.
$V_a(t), V_b(t), V_c(t),$	Voltajes de salida por fase.
VAR	Volts amperes reactivos.
$V_{ref}$	Voltaje de referencia
$v_o(t)$	Voltaje de salida.
$\vec{v}_o$	Vector espacial de referencia de voltaje de salida.

### W

W	Watts.
$w_i$	Frecuencia de entrada.
$w_o$	Frecuencia de salida.

### X

$X_L$	Reactancia inductiva.
-------	-----------------------

### Z

Z	Impedancia.
---	-------------

# LISTA DE FIGURAS.

## **CAPÍTULO 1.**

<i>Figura 1.1 Sistema convencional de convertidor de Potencia CA-CD-CA.</i>	1
<i>Figura 1.2 Convertidor Matricial 3x3.</i>	2

## **CAPÍTULO 2.**

<i>Figura 2.1 Sistema de convertidor matricial 3x3.</i>	10
<i>Figura 2.2 Sistema simplificado.</i>	10
<i>Figura 2.3 Configuración de estados de conmutación.</i>	12
<i>Figura 2.4 Representación de los vectores espaciales de los voltajes de salida.</i>	17
<i>Figura 2.5 Representación de los vectores espaciales de las corrientes de entrada.</i>	17
<i>Figura 2.6 Ejemplo de modulación para los vectores de voltaje y corriente.</i>	19
<i>Figura 2.7 Ejemplo de parámetro de conmutación simétrica.</i>	25
<i>Figura 2.8 Conmutación de 4-Pasos.</i>	26
<i>Figura 2.9 Diagrama de tiempos de retardo en la conmutación a 4 pasos.</i>	27
<i>Figura 2.10 Filtro de entrada.</i>	29
<i>Figura 2.11 Diagrama de Bode del filtro de entrada.</i>	31
<i>Figura 2.12 Filtro de Salida.</i>	32
<i>Figura 2.13 Diagrama de Bode para el filtro de salida.</i>	35
<i>Figura 2.14 Esquema de control para un CM 3x3.</i>	36
<i>Figura 2.15 Diagrama de control a Bloques.</i>	37
<i>Figura 2.16 Diagrama de bloques de Control Repetitivo (CR).</i>	39
<i>Figura 2.17 Diagrama de Bloques CR.</i>	40

## **CAPÍTULO 3.**

<i>Figura 3.1 Representación del elemento zoh y planta.</i>	44
<i>Figura 3.2 Ubicación de polos/cero de la función de transferencia de la planta.</i>	47
<i>Figura 3.3 Arquitectura de control.</i>	48
<i>Figura 3.4 Menú de Import de Sisotools.</i>	49
<i>Figura 3.5 Cancelación de polos complejos con LGR en Sisotools.</i>	50
<i>Figura 3.6 Menú para requerimiento de diseño.</i>	51
<i>Figura 3.7 Región mínima de amortiguamiento para un valor igual a 0.233.</i>	51
<i>Figura 3.8 Localización de polos y ceros del controlador.</i>	52
<i>Figura 3.9 Sistema de prueba en simulink de la arquitectura de control.</i>	53
<i>Figura 3.10 Respuesta escalón para dos frecuencias naturales (Fn) del controlador.</i>	54

Figura 3.11 Respuesta escalón para dos frecuencias naturales ( $F_n$ ) del controlador. ....	54
Figura 3.12 Respuesta a una señal sinusoidal como referencia para el controlador #1 y #4. ....	55
Figura 3.13 Arquitectura de control (control de seguimiento y planta). ....	56
Figura 3.14 Diagrama de Bode del controlador. ....	56
Figura 3.15 Herramienta fdatool para diseño de filtros digitales. ....	57
Figura 3.16 Menu "Export". ....	58
Figura 3.17 Diagrama de Bode del filtro de segundo orden $S(z)$ . ....	59
Figura 3.18 Diagrama de bloques del control repetitivo (CR). ....	61
Figura 3.19 Curva de magnitud de $P(z)S(z)$ . ....	61

#### **CAPÍTULO 4.**

Figura 4.1 Esquema del convertidor matricial 3x3 sin filtros. ....	63
Figura 4.2 Contenido de los bloques de la fuente y carga. ....	63
Figura 4.3 Contenido del bloque de los voltajes de referencia. ....	64
Figura 4.4 Contenido del bloque de CM 3x3 y SVM. ....	65
Figura 4.5 Bloques de Transformación abc- polar (izq.) y sector de entrada (der.). .....	67
Figura 4.6 Diagrama lógico para realizar la conmutación a 4 pasos. ....	68
Figura 4.7 Conmutación de 4 pasos ejecutada en la simulación. ....	69
Figura 4.8 Conmutación de 4 pasos: cuando $I_{da}=1$ (arriba) y cuando $I_{da}=0$ (abajo). .....	69
Figura 4.9 Parámetro de conmutación cuando $K_v=1$ y $K_i=1$ . ....	70
Figura 4.9a Parámetro de conmutación cuando $K_v=1$ y $K_i=3$ . ....	71
Figura 4.10 Voltajes trifásicos de salida de fase a neutro con carga balanceada. ....	72
Figura 4.11 Espectro armónico del $V_{a_{salida}}$ . ....	72
Figura 4.12 Detalle del espectro armónico del $V_{a_{salida}}$ . ....	72
Figura 4.13 Corrientes trifásicas de salida por fase con carga balanceada. ....	73
Figura 4.14 Espectro armónico de $I_{a_{salida}}$ . ....	73
Figura 4.15 Detalle del espectro armónico de $I_{a_{salida}}$ . ....	74
Figura 4.16 Voltaje de fase a fase ( $V_{L-L}$ ) en la salida del convertidor. ....	74
Figura 4.17 Corriente de entrada $I_{A_{entrada}}$ del convertidor. ....	75
Figura 4.18 Espectro armónico de $I_{A_{entrada}}$ . ....	75
Figura 4.19 Detalle del espectro armónico de $I_{A_{entrada}}$ . ....	75
Figura 4.20 Esquema del convertidor matricial 3x3 con filtros. ....	76
Figura 4.21 Bloque de fuente y filtro de entrada. ....	77
Figura 4.22 Bloque del filtro de salida. ....	77
Figura 4.23 Bloque de la carga. ....	78
Figura 4.24 Voltajes trifásicos de salida de fase a neutro. ....	79
Figura 4.25 Detalle de los voltajes trifásicos de salida de fase a neutro. ....	79

Figura 4.26 Espectro armónico del $V_{a_{salida}}$ .....	79
Figura 4.27 Detalle del espectro armónico del $V_{a_{salida}}$ .....	80
Figura 4.28 Corrientes trifásicas de salida con carga balanceada. ....	80
Figura 4.29 Detalle de las corrientes trifásicas de salida con carga balanceada. .	80
Figura 4.30 Espectro armónico del $I_{a_{salida}}$ .....	81
Figura 4.31 Detalle del espectro armónico del $I_{a_{salida}}$ .....	81
Figura 4.32 Corrientes de entrada trifásicas.....	82
Figura 4.33 Detalle de las corrientes de entrada trifásicas.....	82
Figura 4.34 Espectro armónico de $I_{A_{entrada}}$ .....	82
Figura 4.35 Detalle del espectro armónico de $I_{A_{entrada}}$ .....	83
Figura 4.36 Voltajes trifásicos de salida con carga desbalanceada. ....	84
Figura 4.37 Detalle de los voltajes de salida con carga desbalanceada. ....	84
Figura 4.38 Corrientes de salida con carga desbalanceada. ....	84
Figura 4.39 Sistema del CM 3x3 (arriba) con el control de seguimiento (abajo). ..	86
Figura 4.40 Voltajes trifásicos de salida de fase a neutro. ....	87
Figura 4.41 Detalle de los voltajes trifásicos de salida de fase a neutro. ....	87
Figura 4.42 Análisis del contenido armónico de $V_{a_{salida}}$ .....	88
Figura 4.43 Detalle de análisis del contenido armónico de $V_{a_{salida}}$ .....	88
Figura 4.44 Corrientes trifásicas de salida. ....	88
Figura 4.45 Detalle de las corrientes trifásicas de salida. ....	89
Figura 4.46 Voltajes trifásicos de salida de fase a neutro con carga desbalanceada.....	90
Figura 4.47 Detalle de los voltajes trifásicos de salida de fase a neutro con carga desbalanceada.....	90
Figura 4.48 Corrientes trifásicas de salida con carga desbalanceada. ....	90
Figura 4.49 Sistema del CM_3x3 con control repetitivo más control de seguimiento.....	91
Figura 4.50 Contenido del bloque del control repetitivo de una sola fase. ....	92
Figura 4.51 Voltajes trifásicos de salida de fase a neutro. ....	92
Figura 4.52 Detalle de los voltajes trifásicos de salida de fase a neutro. ....	93
Figura 4.53 Corrientes trifásicas de salida. ....	93
Figura 4.54 Análisis del contenido armónico de $V_{a_{salida}}$ .....	93
Figura 4.55 Voltajes trifásicos de salida de fase a neutro con carga desbalanceada.....	94
Figura 4.56 Detalle de los voltajes trifásicos de salida de fase a neutro con carga desbalanceada.....	94
Figura 4.57 Corrientes de salida trifásica con carga desbalanceada. ....	95
Figura 4.58 Error de CS vs CS+CR.....	95
Figura 4.59 Detalle del error de convergencia CS vs CS+CR.....	96
Figura 4.60 Contenido interno del bloque de la carga.....	97
Figura 4.61 Voltajes de salida trifásicos de fase a neutro con CS.....	97

Figura 4.62 Corrientes de salida trifásica. ....	98
Figura 4.63 Análisis del contenido armónico de $V_{a\text{salida}}$ . ....	98
Figura 4.64 Detalle del análisis del contenido armónico de $V_{a\text{salida}}$ . ....	98
Figura 4.65 Voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada. ....	99
Figura 4.66 Detalle de los voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada. ....	100
Figura 4.67 Corrientes de salida trifásica con carga desbalanceada RL. ....	100
Figura 4.68 Detalle de las corrientes de salida trifásica con carga desbalanceada RL. ....	100
Figura 4.69 Voltajes de salida trifásicos de fase a neutro con CS más CR. ....	101
Figura 4.70 Corrientes de salida trifásica con CS más CR. ....	102
Figura 4.71 Análisis del contenido armónico de $V_{a\text{salida}}$ . ....	102
Figura 4.72 Voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada con CS más CR. ....	102
Figura 4.73 Detalle de los voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada con CS más CR. ....	103
Figura 4.74 Corrientes de salida con carga desbalanceada RL con CS más CR	103

## **CAPÍTULO 5.**

Figura 5.1 Convertidor Matricial. ....	104
Figura 5.2 Distribución de componentes del Convertidor Matricial. ....	105
Figura 5.3 Circuito de protección de enclavamiento. ....	106
Figura 5.4 DSK6713. ....	107
Figura 5.5 Diagrama de bloques del núcleo del DSP6713. ....	109
Figura 5.6 Tarjeta HPI. ....	110
Figura 5.7 FPGA. ....	110
Figura 5.8 Distribución interna de la FPGA. ....	111
Figura 5.9 Concepto de PWM e interrupción en FPGA. ....	112
Figura 5.10 Arquitectura de FPGA. ....	113
Figura 5.11 Filtro de entrada. ....	114
Figura 5.12 Filtro de salida. ....	115
Figura 5.13 Bloque de retardo de MI. ....	118
Figura 5.14 Bloque de retardo. ....	118
Figura 5.15 Bloque del filtro IIR paso bajo. ....	119
Figura 5.16 Diagrama de flujo. ....	122

## **CAPÍTULO 6.**

Figura 6.1 Circuito de prueba para la conmutación de 4 pasos. ....	124
Figura 6.2 Sentido de la corriente en fase de salida "a" y PWM's. ....	125
Figura 6.3 Detalle de la conmutación 4 pasos cuando $i_{a\text{salida}} > 0$ . ....	125

<i>Figura 6.4 Detalle de la conmutación 4 pasos cuando <math>I_{a_{salida}} &lt; 0</math>.</i>	126
<i>Figura 6.5 CM 3x3 simplificado.</i>	126
<i>Figura 6.6 Prueba de los parámetros de conmutación siendo <math>K_v = K_i = 1</math>.</i>	127
<i>Figura 6.7 Prueba de los parámetros de conmutación siendo <math>K_v = 1</math> y <math>K_i = 3</math>.</i>	127
<i>Figura 6.8a Voltaje de fase a neutro <math>V_{a_{L-N}}</math>.</i>	129
<i>Figura 6.8b Voltaje de fase a neutro <math>V_{b_{L-N}}</math>.</i>	129
<i>Figura 6.8c Voltaje de fase a neutro <math>V_{c_{L-N}}</math>.</i>	130
<i>Figura 6.9 Espectro armónico de <math>V_{a_{L-N}}</math>.</i>	130
<i>Figura 6.10 Detalle del espectro armónico de <math>V_{a_{L-N}}</math>.</i>	131
<i>Figura 6.11a Corriente de línea <math>I_{a_L}</math>.</i>	132
<i>Figura 6.11b Corriente de línea <math>I_{b_L}</math>.</i>	132
<i>Figura 6.11c Corriente de línea <math>I_{c_L}</math>.</i>	133
<i>Figura 6.12 Espectro armónico <math>I_{a_L}</math>.</i>	133
<i>Figura 6.13 Detalle del espectro armónico <math>I_{a_L}</math>.</i>	134
<i>Figura 6.14 Medición del <math>V_{L-L}</math>.</i>	135
<i>Figura 6.15 Medición de corriente de entrada <math>I_{A_{entrada}}</math>.</i>	135
<i>Figura 6.16 Espectro armónico de <math>I_{A_{entrada}}</math>.</i>	136
<i>Figura 6.17 Detalle del espectro armónico de <math>I_{A_{entrada}}</math>.</i>	137
<i>Figura 6.18a <math>V_{a_{L-N}}</math> (amarillo) con <math>I_{a_L}</math> (verde).</i>	138
<i>Figura 6.18b <math>V_{b_{L-N}}</math> (rojo) con <math>I_{b_L}</math> (verde).</i>	138
<i>Figura 6.18c <math>V_{c_{L-N}}</math> (azul) con <math>I_{c_L}</math> (verde).</i>	139
<i>Figura 6.19 Espectro armónico de <math>V_{a_{L-N}}</math>.</i>	140
<i>Figura 6.20 Detalle del espectro armónico de <math>V_{a_{L-N}}</math>.</i>	140
<i>Figura 6.21 Espectro armónico de <math>I_{a_L}</math>.</i>	141
<i>Figura 6.22 Detalle del espectro armónico de <math>I_{a_L}</math>.</i>	141
<i>Figura 6.23 Corriente de entrada <math>I_{A_{entrada}}</math>.</i>	142
<i>Figura 6.24 Espectro armónico de <math>I_{A_{entrada}}</math>.</i>	143
<i>Figura 6.25 Detalle del espectro armónico de <math>I_{A_{entrada}}</math>.</i>	143
<i>Figura 6.26a <math>V_{a_{L-N}}</math> (amarillo) con <math>I_{a_L}</math> (verde) con carga R desbalanceada.</i>	144
<i>Figura 6.26b <math>V_{b_{L-N}}</math> (rojo) con <math>I_{b_L}</math> (verde) con carga R desbalanceada.</i>	145
<i>Figura 6.26c <math>V_{c_{L-N}}</math> (azul) con <math>I_{c_L}</math> (verde) con carga R desbalanceada.</i>	145
<i>Figura 6.27a <math>V_{a_{L-N}}</math> (amarillo) con <math>I_{a_L}</math> (verde) con carga balanceada usando CS.</i>	146
<i>Figura 6.27b <math>V_{b_{L-N}}</math> (rojo) con <math>I_{b_L}</math> (verde) con carga balanceada usando CS.</i>	147
<i>Figura 6.27c <math>V_{c_{L-N}}</math> (azul) con <math>I_{c_L}</math> (verde) con carga balanceada usando CS.</i>	147
<i>Figura 6.28 Espectro armónico de <math>V_{a_{L-N}}</math> usando CS.</i>	148
<i>Figura 6.29 Espectro armónico de <math>I_{a_L}</math> usando CS.</i>	148
<i>Figura 6.30a <math>V_{a_{L-N}}</math> (amarillo) con <math>I_{a_L}</math> (verde) con carga desbalanceada usando CS.</i>	150
<i>Figura 6.30b <math>V_{b_{L-N}}</math> (rojo) con <math>I_{b_L}</math> (verde) con carga desbalanceada usando CS.</i>	150
<i>Figura 6.30c <math>V_{c_{L-N}}</math> (azul) con <math>I_{c_L}</math> (verde) con carga desbalanceada usando CS.</i>	151

<i>Figura 6.31a</i> $V_{aL-N}$ (amarillo) con $I_{aL}$ (verde) con carga balanceada con CS+CR.	152
<i>Figura 6.31b</i> $V_{bL-N}$ (rojo) con $I_{bL}$ (verde) con carga balanceada con CS+CR. ...	152
<i>Figura 6.31c</i> $V_{cL-N}$ (azul) con $I_{cL}$ (verde) con carga balanceada con CS+CR. ...	153
<i>Figura 6.32</i> Espectro armónico de $V_{aL-N}$ con CS+CR. ....	153
<i>Figura 6.33</i> Espectro armónico de $I_{aL}$ con CS+CR. ....	154
<i>Figura 6.34a</i> $V_{aL-N}$ (amarillo) con $I_{aL}$ (verde) con carga desbalanceada con CS+CR. ....	155
<i>Figura 6.34b</i> $V_{bL-N}$ (rojo) con $I_{bL}$ (verde) con carga desbalanceada con CS+CR. ....	155
<i>Figura 6.34c</i> $V_{cL-N}$ (azul) con $I_{cL}$ (verde) con carga desbalanceada con CS+CR. ....	156
<i>Figura 6.35a</i> $V_{aL-N}$ (Amarillo) con $I_{aL}$ (verde) con carga balanceada R-L con CS. ....	157
<i>Figura 6.35b</i> $V_{bL-N}$ (rojo) con $I_{bL}$ (verde) con carga balanceada R-L con CS. ....	158
<i>Figura 6.35c</i> $V_{cL-N}$ (azul) con $I_{cL}$ (verde) con carga balanceada R-L con CS. ....	158
<i>Figura 6.36</i> Espectro armónico de $V_{aL-N}$ con carga R-L con CS. ....	159
<i>Figura 6.37</i> Espectro armónico de $I_{aL}$ con carga R-L con CS. ....	159
<i>Figura 6.38a</i> $V_{aL-N}$ (amarillo) con $I_{aL}$ (verde) con carga desbalanceada R-L con CS. ....	160
<i>Figura 6.38b</i> $V_{bL-N}$ (rojo) con $I_{bL}$ (verde) con carga desbalanceada R-L con CS. ....	161
<i>Figura 6.38c</i> $V_{cL-N}$ (azul) con $I_{cL}$ (verde) con carga desbalanceada R-L con CS. ....	161
<i>Figura 6.39a</i> $V_{aL-N}$ (amarillo) con $I_{aL}$ (verde) con carga balanceada R-L con CS+CR. ....	162
<i>Figura 6.39b</i> $V_{bL-N}$ (rojo) con $I_{bL}$ (verde) con carga balanceada R-L con CS+CR. ....	163
<i>Figura 6.39c</i> $V_{cL-N}$ (azul) con $I_{cL}$ (verde) con carga balanceada R-L con CS+CR. ....	163
<i>Figura 6.40</i> Espectro armónico de $V_{aL-N}$ con carga R-L con CS+CR. ....	164
<i>Figura 6.41</i> Espectro armónico de $I_{aL}$ con carga R-L con CS+CR. ....	164
<i>Figura 6.42a</i> $V_{aL-N}$ (amarillo) con $I_{aL}$ (verde) con carga desbalanceada R-L con CS+CR. ....	165
<i>Figura 6.42a</i> $V_{bL-N}$ (rojo) con $I_{bL}$ (verde) con carga desbalanceada R-L con CS+CR. ....	166
<i>Figura 6.42c</i> $V_{cL-N}$ (azul) con $I_{cL}$ (verde) con carga desbalanceada R-L con CS+CR. ....	166

## **APENDICES.**

<i>Figura A.1 Interruptor bidireccional conexión emisor común.....</i>	<i>178</i>
<i>Figura A.2 Operación del interruptor bidireccional. ....</i>	<i>179</i>
<i>Figura B.1 Marco de referencia abc y d-q. ....</i>	<i>180</i>
<i>Figura C.1 Interfaces gráficas. ....</i>	<i>183</i>
<i>Figura C.2 Interfaz gráfica del CM_3x3.....</i>	<i>184</i>
<i>Figura C.3 Interfaz gráfica de los voltajes de entrada trifásica del CM_3x3.....</i>	<i>186</i>
<i>Figura C.4 Interfaz gráfica de los voltajes (izq.) y corrientes (der.) de salida trifásica del CM_3x3. ....</i>	<i>186</i>
<i>Figura C.5 Interfaz gráfica de las potencias aparentes por fase del CM_3x3. ....</i>	<i>187</i>
<i>Figura C.6 Interfaz gráfica de las potencias activas, factor de potencia y porcentajes de carga instalada por fase del CM_3x3.....</i>	<i>188</i>

# CAPÍTULO 1. INTRODUCCIÓN

## 1.1 INTRODUCCIÓN.

Los convertidores electrónicos de potencia de corriente alterna (CA) tienen una gran demanda actualmente en la industria, en los servicios y en el transporte. Tradicionalmente estos convertidores se han implementado utilizando dos procesos de conversión: uno de CA en corriente directa (CD) y otro de CD en CA, lográndose con esto un eslabón intermedio (bus) de CD durante la transformación, donde se requiere el uso de elementos almacenadores de energía que pudieran ser: un inductor si el convertidor trabaja como fuente de corriente, o un capacitor si lo hace como fuente de voltaje. En la Figura 1.1, se muestra un ejemplo de una topología de un convertidor fuente de voltaje (VSC según sus siglas en inglés) donde se observan las dos etapas de conversión (rectificador a diodos y un inversor a IGBT's) y el bus de CD con el elemento de almacenamiento de energía. En este tipo de convertidor el flujo de potencia es unidireccional debido a que la etapa de rectificación se realiza con diodos. Para obtener un convertidor bidireccional, el puente a diodos debe ser sustituido por un convertidor que permita la inversión de flujo de potencia como podría ser un convertidor a tiristores [1] - [3], o un convertidor CD-CA con IGBT.

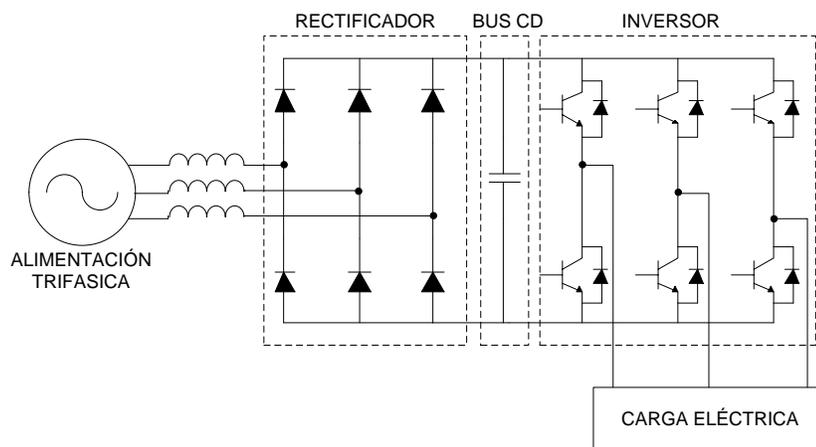


Figura 1.1 Sistema convencional de convertidor de Potencia CA-CD-CA.

Otra posibilidad de conversión de CA en CA son los convertidores matriciales compuestos por 9 interruptores bidireccionales. En la Figura 1.2 se muestra un convertidor matricial con tres entradas y tres salidas (3x3), siendo esta la topología utilizada en este trabajo. Como se observa en la figura, la conversión de CA en CA se realiza de forma directa sin necesidad de bus de CD, ni elemento almacenador de energía. Para la conversión es necesario utilizar algún tipo de técnica de modulación por ancho de pulsos (PWM-Pulse Width Modulation) para poder controlar los tiempos de encendido y de apagado de los interruptores bidireccionales. Una ventaja de este convertidor es que al no tener una etapa intermedia de CD se reduce su volumen y peso debido a la ausencia de los capacitores electrolíticos, los cuales constituyen el 30% - 50% del volumen total del convertidor convencional.

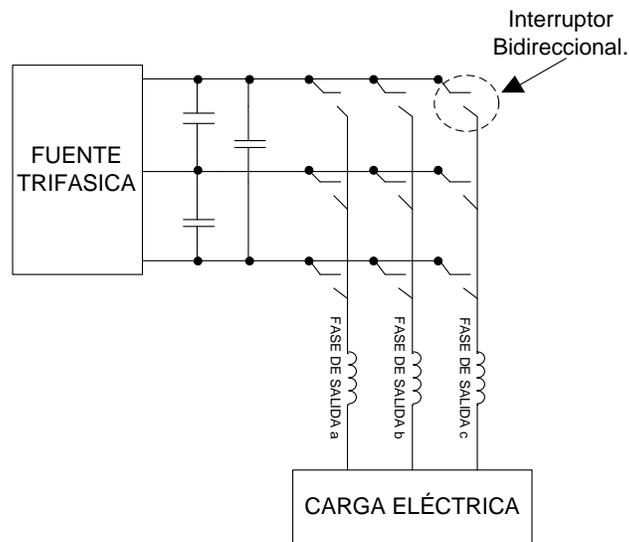


Figura 1.2 Convertidor Matricial 3x3.

El convertidor matricial que es utilizado en este trabajo requiere de un 50% más de dispositivos semiconductores de potencia controlados (como pudieran ser transistores de compuestas aislada o IGBT) y de circuitos de disparo, que los que se requieren en un convertidor tradicional como el que se muestra en la Figura 1.1. El sistema de control para este convertidor matricial 3x3 es complejo por la cantidad de dispositivos semiconductores a controlar, pero ofrece una operación

eficiente durante la conversión del flujo de potencia, lográndose reducir el contenido armónico en el voltaje de salida, utilizando filtros poco voluminosos debido en gran parte a la frecuencia de conmutación de los interruptores, la cual pueden alcanzar varios kHz. Otra ventaja es la posibilidad de controlar el factor de potencia en la entrada.

Es importante mencionar que la carga conectada al convertidor matricial es afectada por los disturbios que se presenten en la red principal de alimentación, tales como voltajes desbalanceados en la red principal, contenido armónico o por pérdidas de alimentación en alguna de las fases.

## 1.2 ESTADO DEL ARTE.

Actualmente el uso de los convertidores matriciales es limitado. Las razones principales son: (1) la baja disponibilidad de los dispositivos electrónicos de potencia bidireccionales capaces de operar en altas frecuencias; (2) la implementación del control es compleja; (3) el voltaje máximo a la salida es de tan solo el 86.6% con respecto al voltaje de entrada; (4) alto costo en la implementación de la protección de los interruptores bidireccionales.

Los interruptores bidireccionales son ensamblados en módulos lo que incrementa el costo de producción. Solamente de forma experimental se ha llegado a construir convertidores matriciales con una capacidad de 150 kVA [4]. Sin embargo con el avance de la tecnología se espera que estos reemplacen a los convertidores convencionales de potencia.

Recientemente, Ecomac junto con Eupec/Siemens han desarrollado un módulo compacto de un convertidor matricial 3x3, usando 18 IGBT's (35 A, 1200 V) con sus respectivos diodos en configuración de colector común [5].

Fuji y Powerex también han desarrollado estos convertidores a bajo costo [6], con nuevos sistemas de protección y conmutación, utilizando un diseño propio

de interruptores bidireccionales, así como en estrategias de modulación y control [7] las cuales están basadas en: la técnica por sobremodulación [8], regulación de voltaje adaptivo [9] y en el control por modulación bidireccional [10]. Estas estrategias han mejorado la conversión del voltaje entre la entrada y salida.

Los convertidores matriciales han sido propuestos como una alternativa a los convertidores VSC tradicionales (ver Figura 1.1) y se han implementado en: aerogeneradores [11], en sistemas de energía ininterrumpible [12], en variadores de frecuencia para el control de motores de inducción [13], y de propulsión marina [14]. Los convertidores matriciales se han implementado en el área aeronáutica con capacidades desde los 2 kVA hasta 150 kVA fabricados en ETZ en Zúrich, Suiza con la colaboración de la Universidad de Nottingham, Reino Unido.

### 1.3 OBJETIVOS DEL PROYECTO DE TESIS.

Actualmente se dispone de un convertidor matricial con una potencia de 7.5 kVA; con filtro de entrada y de salida, el cual será conectado con cargas pasivas. Los objetivos principales de este trabajo de tesis son:

- Modelar en el programa Simulink/Matlab v7.6 el prototipo del convertidor matricial y realizar su simulación, incluyendo su estrategia de modulación y el control de seguimiento y repetitivo, con el objetivo de lograr el balance de los voltajes de salida en el convertidor. De esta forma se puede comprobar su desempeño antes de ser implementado.
- Ensamblar el convertidor matricial trifásico diseñado por la Universidad de Nottingham, con sus respectivos filtros de entrada y salida.
- Estudiar e implementar la estrategia de modulación por vectores espaciales.
- Validar experimentalmente la estrategia de modulación en lazo abierto.
- Diseñar un control de seguimiento capaz de controlar el voltaje de salida del convertidor matricial ante perturbaciones en la carga.

- Diseñar un control repetitivo para que sea añadido al control de seguimiento, con el objetivo de mejorar los niveles de voltaje de salida, cuando el convertidor está operando con carga desbalanceada, así como disminuir la distorsión armónica.
- Validar experimentalmente ambos controladores.

## 1.4 LIMITACIONES, ALCANCES Y APORTACIONES.

En este trabajo se realiza el ensamble de todo el convertidor matricial con sus respectivos filtros y su plataforma de control digital (DSP+FPGA+HPI). Se realiza la simulación del todo el hardware (convertidor más filtros de entrada y salida) utilizando el programa Simulink, donde se incluye la técnica de modulación (SVM) y se implementaron los controladores (seguimiento y repetitivo), así como los parámetros de conmutación de los interruptores bidireccionales. Para validar todo el hardware del sistema se siguió el siguiente protocolo de pruebas: calibrar los transductores de voltaje y corriente, comprobar la correcta operación de los interruptores bidireccionales, verificar los parámetros de conmutación, comprobar el circuito detector del sentido de la corriente de salida en cada fase, así como comprobar los controladores diseñados conectando cargas pasivas R y RL balanceadas y desbalanceadas. Posteriormente se realizaron pruebas experimentales con estas cargas y se obtuvieron resultados satisfactorios. Las aportaciones del trabajo de tesis son:

1. Ensamblaje del convertidor matricial y su plataforma de control.
2. Simulación del convertidor, de los filtros, de la técnica de modulación con vectores espaciales, los controles y de la técnica de conmutación empleada.
3. Obtención de resultados experimentales satisfactorios en el laboratorio.

## 1.5 JUSTIFICACIÓN.

En la Sección de Estudios de Posgrado e Investigación (SEPI) de la ESIME Zacatenco, en el área de Electrónica de Potencia, se cuenta con una tarjeta de un Convertidor Matricial 3x4 (el cual puede ser configurado vía Software como 3x3), diseñado por la Universidad de Nottingham por el grupo de investigación Power Electronics, Machines and Drive Control (PEMC), y se tiene además los filtros de entrada y salida, una tarjeta DSP TMS320C6713, una tarjeta Actel FPGA (Field-programable gate array) y una tarjeta HPI (Host Port Interface). El convertidor y los filtros fueron ensamblados en el laboratorio de Electrónica de Potencia de la SEPI, habiéndose comprado todas las componentes y el circuito impreso en el Reino Unido. Considerando que se tenía este hardware, gracias a los apoyos de la ESIME Zacatenco, del CONACyT y del ICyTDF, se definieron trabajos de investigación en el área de los convertidores matriciales, los cuales permitieron la realización de tres tesis de Maestría, dos de las cuales concluyeron recientemente [15]-[16]. Estas dos tesis presentan otro tipo de modulación diferente a la utilizada en este trabajo. En el presente trabajo además se implementaron dos tipos de controladores que no fueron utilizados en los trabajos anteriores: el control de seguimiento y el control repetitivo, de esta forma se logró regular el voltaje de salida y realizar el balance de los voltajes de fase cuando la carga es desbalanceada.

## 1.6 CONTENIDO.

La tesis está dividida en siete capítulos, los cuales son:

### **CAPÍTULO 1. INTRODUCCIÓN.**

En este capítulo se presenta el contenido de la tesis así como la descripción de los objetivos.

## **CAPÍTULO 2. CONVERTIDOR MATRICIAL Y SUS SISTEMAS DE CONTROL.**

Describe el convertidor matricial de 3x3, sus ventajas y desventajas, el método de modulación (PWM), estudio teórico de los sistemas de control propuestos (control de seguimiento y control repetitivo) para obtener voltajes de salida constante cuando se conecta al convertidor una carga desbalanceada pasiva.

## **CAPÍTULO 3. DISEÑO DEL SISTEMA DE CONTROL.**

Con la ayuda de SISO tools de Matlab v7.6, se diseñan las funciones de transferencia de los controladores propuestos para su análisis utilizando la respuesta en frecuencia y magnitud.

## **CAPÍTULO 4. SIMULACIÓN DEL CONVERTIDOR MATRICIAL.**

Antes de ser validados experimentalmente los controladores prediseñados en los capítulos anteriores, se realiza la simulación del convertidor matricial 3x3 con simulink de Matlab v7.6. Se grafican los voltajes de salida obtenidos en las simulaciones analizando sus espectros armónicos. Primero, se realiza la simulación de la operación del convertidor matricial en lazo abierto sin filtro de entrada y salida, conectando una carga RL balanceada. Posteriormente se añaden al sistema los filtros de entrada y salida, y se cierra el lazo cerrado con un control de seguimiento. Finalmente se añade el control repetitivo en serie con el control de seguimiento para analizar su comportamiento con carga RL balanceada y desbalanceada.

## **CAPÍTULO 5. IMPLEMENTACIÓN.**

En este capítulo, se realiza la descripción del hardware y software empleado, así como la forma de implementar los controladores en transformada Z para la plataforma de control (DSP+FPGA+HPI). El lenguaje C/C++ es utilizado para la programación en el software CCstudio 3.1 del procesador digital de señales (DSP).

## **CAPÍTULO 6. RESULTADOS EXPERIMENTALES.**

Aquí se analiza la funcionalidad de la implementación de cada uno de los controladores en la plataforma de control, para el convertidor matricial 3x3 para ser comparados con los resultados del capítulo 4.

## **CAPÍTULO 7. CONCLUSIONES Y RECOMENDACIONES.**

Se realizan las conclusiones del trabajo en base a los resultados obtenidos con el convertidor matricial 3x3 con carga R y RL balanceada y desbalanceada. Se presentan las recomendaciones para trabajos futuros.

## CAPÍTULO 2. CONVERTIDOR MATRICIAL Y SUS SISTEMAS DE CONTROL.

### 2.1 INTRODUCCIÓN.

La principal característica del convertidor matricial 3x3 es convertir una fuente de alimentación de CA con magnitud de voltaje y frecuencia fija a una fuente de CA con magnitud y frecuencia variable a la salida, con la posibilidad de controlar el factor de potencia de entrada.

El convertidor matricial de 3x3, consiste de un arreglo de 9 interruptores bidireccionales (Apéndice A) los cuales permiten que las fases de salida  $a$ ,  $b$ , y  $c$  puedan ser conectadas a cualquier fase de entrada ( $A$ ,  $B$  o  $C$ ). En la Figura 2.1 se ilustra el arreglo general de este convertidor.

El convertidor matricial tiene las siguientes ventajas:

- 1.- La eliminación del bus de CD, por lo tanto se reduce peso y volumen.
- 2.- Control en la magnitud del voltaje de salida.
- 3.- Control en la frecuencia de salida.
- 4- Control de factor de potencia de entrada.
- 5.- Capacidad de regeneración de la carga hacia la fuente.
- 6.- Con una elección apropiada de los periodos de encendido/apagado de los 18 interruptores; los voltajes de salida, así como las corrientes de entrada son señales sinusoidales a la frecuencia fundamental deseada, con armónicos a frecuencias de múltiplos a la frecuencia de conmutación.

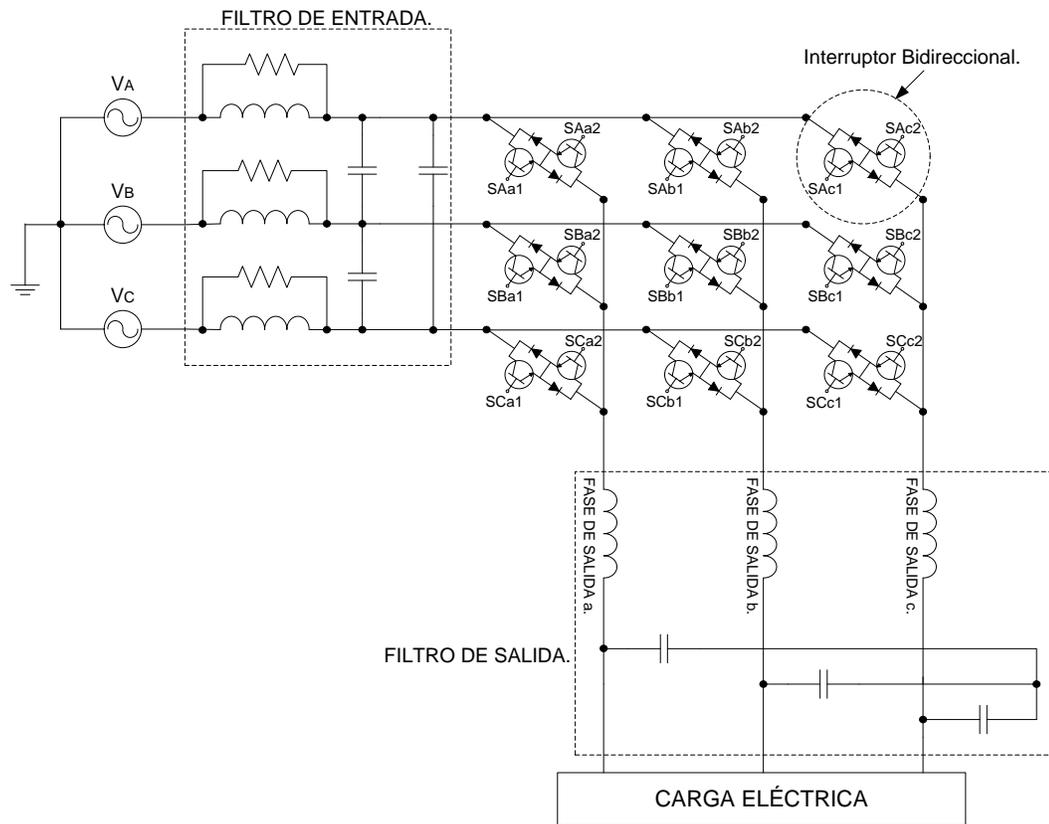


Figura 2.1 Sistema de convertidor matricial 3x3.

En general, el arreglo de  $m \times n$  interruptores bidireccionales que conforman al convertidor matricial, interconectan directamente  $m$  fases de entrada con  $n$  fases de salida. En la Figura 2.2 se muestra un diagrama simplificado del convertidor, donde el valor de  $m$  y  $n$  son iguales a 3 y  $S_{kj}$  representa el interruptor bidireccional que conecta la fase  $k$  ( $k=A, B, C$ ) de entrada con la fase  $j$  ( $j=a, b, c$ ) de salida.

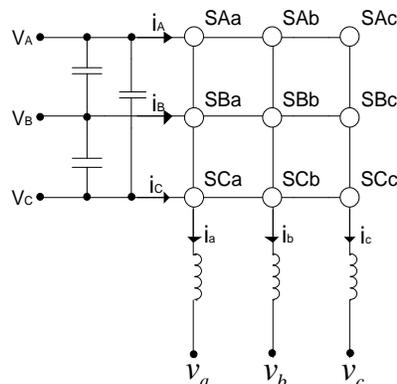


Figura 2.2 Sistema simplificado.

De acuerdo con esta topología, se debe tener en cuenta las siguientes restricciones:

1.- El convertidor es alimentado con una fuente de voltaje trifásica, por esta razón tan solo un interruptor bidireccional de cada fase de salida deberá estar cerrado, ya que si dos o más interruptores bidireccionales estuvieran cerrados en un mismo instante, las fases de entrada estarán en cortocircuito. Por ejemplo en la Figura 2.2, para la fase de salida *a* cualquier interruptor bidireccional SAa o SBa o SCa deberá estar cerrado pero nunca dos al mismo tiempo.

2.- Las cargas que alimenta el convertidor normalmente tienen cierta naturaleza inductiva, por lo tanto, en cualquier instante se debe garantizar con la conexión de la fase de salida con alguna fase de entrada, para permitir la circulación de las corrientes y evitar altos voltajes inducidos en la carga.

## 2.2 TECNICA DE MODULACIÓN.

Existen diversas estrategias de modulación empleadas para un CM descritas en [17] - [18]. La estrategia descrita en esta sección, es la modulación por vectores espaciales, donde se obtiene una serie de ecuaciones correspondientes a los ciclos de trabajo de los interruptores bidireccionales, permitiendo un rango máximo de transferencia de voltaje de salida del 86% con respecto al voltaje de entrada.

### 2.2.1 Modulación por vectores espaciales.

Este tipo de modulación usada en convertidores matriciales tiene ventajas cuando se requiere cumplir algunos objetivos de control, como el reducir el contenido armónico (THD) en la corriente de entrada, minimizar la distorsión armónica en la corriente de salida [19] - [20] y compensar voltajes desbalanceados [21] mediante una adecuada aplicación de los vectores instantáneos de voltajes de entrada, que a partir de los cuales generan los diferentes estados de conmutación de los interruptores.

Para un convertidor matricial de 3x3 se tiene 512 ( $2^9$ ) estados de conmutación, pero tan solo 21 estados son útiles tomando en cuenta las restricciones descritas (Figura 2.3). En el grupo de vectores 1 (Grupo 1), son vectores rotacionales con dirección y magnitud variable, los cuales no son estacionarios en el espacio vectorial, por lo tanto se descartan para ser empleados. El Grupo 2, contiene los vectores fijos con magnitud y dirección fija y el Grupo 3, los vectores cero. Tanto el Grupo 2 como el 3 conforman a los 21 vectores empleados para llevar a cabo los parámetros de conmutación.

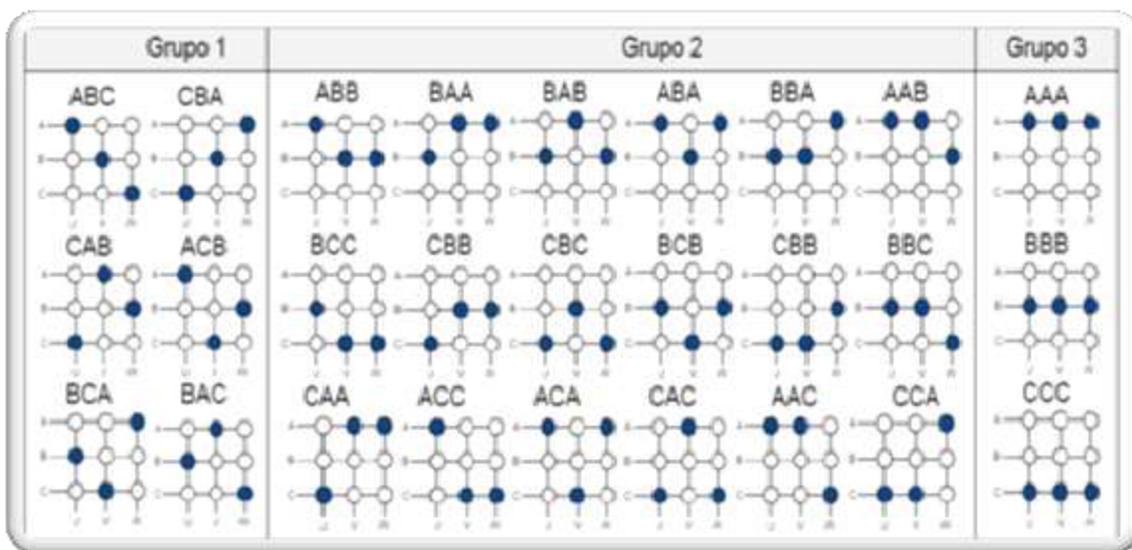


Figura 2.3 Configuración de estados de conmutación.

La Tabla 2.1 muestra los estados de conmutación de los vectores fijos y vectores ceros agrupados en parejas (positivo y negativo), debido a que se genera el mismo vector pero en sentido opuesto [22]. Tomando como ejemplo el vector +1 y -1; en ambos la magnitud del voltaje de salida de fase a fase ( $v_{ab}$  y  $v_{ca}$ ) es producido por  $v_{AB}$  y  $-v_{AB}$ .

Tabla 2.1. Estados de conmutación para un convertidor de 3x3.

	ESTADO	FASE DE SALIDA			VECTOR DE VOLTAJE	$V_{oL-L}$			VECTOR DE CORRIENTE	CORRIENTE DE ENTRADA		
		a	b	c		Vvect	$v_{ab}$	$v_{bc}$		$v_{ca}$	lvect	$i_A$
VECTORES CERO	01	A	A	A	ZA	0	0	0	$i_o$	0	0	0
	02	B	B	B	ZB	0	0	0	$i_o$	0	0	0
	03	C	C	C	ZC	0	0	0	$i_o$	0	0	0
VECTORES FIJOS	1	A	B	B	V8	$v_{AB}$	0	$-v_{AB}$	16	$i_a$	$-i_a$	0
	-1	B	A	A	V7	$-v_{AB}$	0	$v_{AB}$	13	$-i_a$	$i_a$	0
	2	B	C	C	V8	$v_{BC}$	0	$-v_{BC}$	12	0	$i_a$	$-i_a$
	-2	C	B	B	V7	$-v_{BC}$	0	$v_{BC}$	15	0	$-i_a$	$i_a$
	3	C	A	A	V8	$v_{CA}$	0	$-v_{CA}$	14	$-i_a$	0	$i_a$
	-3	A	C	C	V7	$-v_{CA}$	0	$v_{CA}$	11	$i_a$	0	$-i_a$
	4	B	A	B	V4	$-v_{AB}$	$v_{AB}$	0	16	$i_b$	$-i_b$	0
	-4	A	B	A	V11	$v_{AB}$	$-v_{AB}$	0	13	$-i_b$	$i_b$	0
	5	C	B	C	V4	$-v_{BC}$	$v_{BC}$	0	12	0	$i_b$	$-i_b$
	-5	B	C	B	V11	$v_{BC}$	$-v_{BC}$	0	15	0	$-i_b$	$i_b$
	6	A	C	A	V4	$-v_{CA}$	$v_{CA}$	0	14	$-i_b$	0	$i_b$
	-6	C	A	C	V11	$v_{CA}$	$-v_{CA}$	0	11	$i_b$	0	$-i_b$
	7	B	B	A	V2	0	$-v_{AB}$	$v_{AB}$	16	$i_c$	$-i_c$	0
	-7	A	A	B	V13	0	$v_{AB}$	$-v_{AB}$	13	$-i_c$	$i_c$	0
	8	C	C	B	V2	0	$-v_{BC}$	$v_{BC}$	12	0	$i_c$	$-i_c$
	-8	B	B	C	V13	0	$v_{BC}$	$-v_{BC}$	15	0	$-i_c$	$i_c$
	9	A	A	C	V2	0	$-v_{CA}$	$v_{CA}$	14	$-i_c$	0	$i_c$
	-9	C	C	A	V13	0	$v_{CA}$	$-v_{CA}$	11	$i_c$	0	$-i_c$

Para determinar la magnitud y el respectivo ángulo de fase de los vectores de voltajes de salidas y de las corrientes de entrada [22], generados por los estados de conmutación, se define como vector espacial de voltaje de salida:

$$\bar{v}_o = \frac{2}{3} (v_{ab}(t) + a * v_{bc}(t) + a^2 * v_{ca}(t)) \quad (2.1)$$

En donde:

$$\begin{aligned} a &= e^{j\frac{2\pi}{3}} \\ a^2 &= e^{j\frac{4\pi}{3}} \end{aligned} \quad (2.2)$$

Y  $v_{ab}$ ,  $v_{bc}$  y  $v_{ca}$  son valores instantáneos de los voltajes de salida. Tomando por ejemplo el vector +1 de la tabla 2.1, los voltajes instantáneos de salida de fase a fase están dados por:

$$\begin{aligned} v_{ab}(t) &= v_{AB}(t); \\ v_{bc}(t) &= 0; \\ v_{ca}(t) &= -v_{AB}(t); \end{aligned} \quad (2.3)$$

Sustituyendo ec. 2.3 en la ec. 2.1 se tiene:

$$\bar{v}_o = \frac{2}{3} (v_{AB}(t) + 0 - a^2 * v_{AB}(t)) \quad (2.4)$$

Resolviendo la ec. 2.4, el vector de voltaje de salida generado es:

$$\bar{v}_o = \frac{2}{3} \angle 0(v_{AB}) \quad (2.5)$$

Por último, para el vector espacial de la corriente de entrada:

$$\bar{i}_i = \frac{2}{3} (i_A(t) + a * i_B(t) + a^2 * i_C(t)) \quad (2.6)$$

Si las corrientes de entrada para el vector +1, determinadas en la tabla 2.1 son:

$$\begin{aligned} i_A(t) &= i_a(t); \\ i_B(t) &= -i_a(t); \\ i_C(t) &= 0; \end{aligned} \quad (2.7)$$

Sustituyendo estas corrientes instantáneas en ec. 2.6 se obtiene:

$$\bar{i}_i = \frac{2}{3}(i_a(t) - a^*i_a(t) + 0) \quad (2.8)$$

Resolviendo la ec. 2.8, se llega a:

$$\bar{i}_i = \left( \frac{2}{\sqrt{3}} \angle -\frac{\pi}{6} \right) i_a \quad (2.9)$$

La ec. 2.5 y ec. 2.9, determinan respectivamente el vector de voltaje de salida ( $\bar{v}_o$ ) y el vector de corriente de entrada ( $\bar{i}_i$ ) generado por el estado de conmutación +1, es decir la fase *a* de salida del convertidor se conecta con la fase *A* de entrada y la fase *b* y *c* de salida se conectan con la misma fase *B* de entrada (*ABB*). Esto se puede ver en la Figura 2.3.

Siguiendo este procedimiento para cada una de las configuraciones (-1 hasta -9), se obtienen vectores activos (Tabla 2.2). Es importante mencionar que estos 21 vectores activos integran el algoritmo de la modulación por vectores espaciales.

Tabla 2.2 Vectores de Voltaje de salida y de Corriente de entrada de acuerdo a los estados de conmutación del Convertidor Matricial.

ESTADO	$\overline{v_o}$	$\alpha\theta$	$\overline{i_i}$	$\beta i$
+1	$2/3 V_{AB}$	0	$2/\sqrt{3} i_a$	$-\pi/6$
-1	$-2/3 V_{AB}$	0	$-2/\sqrt{3} i_a$	$-\pi/6$
+2	$2/3 V_{BC}$	0	$2/\sqrt{3} i_a$	$\pi/2$
-2	$-2/3 V_{BC}$	0	$-2/\sqrt{3} i_a$	$\pi/2$
+3	$2/3 V_{CA}$	0	$2/\sqrt{3} i_a$	$7\pi/6$
-3	$-2/3 V_{CA}$	0	$-2/\sqrt{3} i_a$	$7\pi/6$
+4	$2/3 V_{AB}$	$2\pi/3$	$2/\sqrt{3} i_b$	$-\pi/6$
-4	$-2/3 V_{AB}$	$2\pi/3$	$-2/\sqrt{3} i_b$	$-\pi/6$
+5	$2/3 V_{BC}$	$2\pi/3$	$2/\sqrt{3} i_b$	$\pi/2$
-5	$-2/3 V_{BC}$	$2\pi/3$	$-2/\sqrt{3} i_b$	$\pi/2$
+6	$2/3 V_{CA}$	$2\pi/3$	$2/\sqrt{3} i_b$	$7\pi/6$
-6	$-2/3 V_{CA}$	$2\pi/3$	$-2/\sqrt{3} i_b$	$7\pi/6$
+7	$2/3 V_{AB}$	$4\pi/3$	$2/\sqrt{3} i_c$	$-\pi/6$
-7	$-2/3 V_{AB}$	$4\pi/3$	$-2/\sqrt{3} i_c$	$-\pi/6$
+8	$2/3 V_{BC}$	$4\pi/3$	$2/\sqrt{3} i_c$	$\pi/2$
-8	$-2/3 V_{BC}$	$4\pi/3$	$-2/\sqrt{3} i_c$	$\pi/2$
+9	$2/3 V_{CA}$	$4\pi/3$	$2/\sqrt{3} i_c$	$7\pi/6$
-9	$-2/3 V_{CA}$	$4\pi/3$	$-2/\sqrt{3} i_c$	$7\pi/6$
01	0	0	0	0
02	0	0	0	0
03	0	0	0	0

Se observa de la Tabla 2.2, que la magnitud de estos vectores depende de los valores instantáneos de los voltajes de entrada y de la corriente de salida [22]. La representación vectorial de los 21 vectores activos con respecto al vector del voltaje de salida se ilustra en la Figura 2.4.

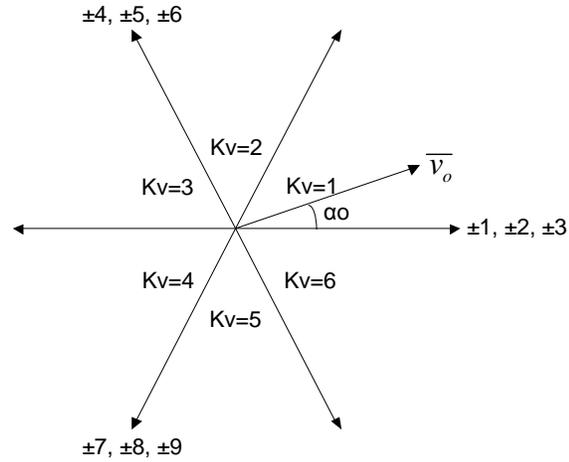


Figura 2.4 Representación de los vectores espaciales de los voltajes de salida.

Y los vectores de las corrientes de entrada se muestran en la Figura 2.5.

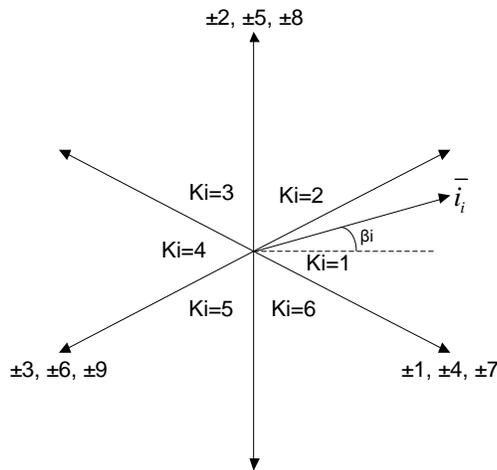


Figura 2.5 Representación de los vectores espaciales de las corrientes de entrada.

Para seleccionar el vector que se va aplicar dentro de los parámetros de conmutación, se siguen los siguientes pasos:

1.- Determinar el sector  $K_v$  en el cual se localiza el vector de referencia del voltaje de salida ( $\overline{v_o}$ ) mediante el ángulo de fase  $\alpha_0$  (Figura 2.4) de acuerdo a los siguientes parámetros:

$$\begin{aligned}
 0 \leq \alpha_0 \leq \frac{\pi}{3} \dots\dots\dots K_v = 1 & & \pi \leq \alpha_0 \leq \frac{4\pi}{3} \dots\dots\dots K_v = 4 \\
 \frac{\pi}{3} \leq \alpha_0 \leq \frac{2\pi}{3} \dots\dots\dots K_v = 2 & & \frac{4\pi}{3} \leq \alpha_0 \leq \frac{5\pi}{3} \dots\dots\dots K_v = 5 \\
 \frac{2\pi}{3} \leq \alpha_0 \leq \pi \dots\dots\dots K_v = 3 & & \frac{5\pi}{3} \leq \alpha_0 \leq 0 \dots\dots\dots K_v = 6
 \end{aligned} \tag{2.10}$$

2.- Determinar el sector  $K_i$  en el cual se localiza el vector de referencia de corriente de entrada mediante el ángulo  $\beta_i$  (Figura 2.5) de acuerdo a lo siguiente:

$$\begin{aligned}
 0 \leq \beta_i \leq \frac{\pi}{6} \dots\dots\dots K_i = 1 & & \frac{5\pi}{6} \leq \beta_i \leq \frac{7\pi}{6} \dots\dots\dots K_i = 4 \\
 \frac{\pi}{6} \leq \beta_i \leq \frac{\pi}{2} \dots\dots\dots K_i = 2 & & \frac{7\pi}{6} \leq \beta_i \leq \frac{3\pi}{2} \dots\dots\dots K_i = 5 \\
 \frac{\pi}{2} \leq \beta_i \leq \frac{5\pi}{6} \dots\dots\dots K_i = 3 & & \frac{3\pi}{2} \leq \beta_i \leq \frac{11\pi}{6} \dots\dots\dots K_i = 6 \\
 & & \frac{11\pi}{6} \leq \beta_i \leq 0 \dots\dots\dots K_i = 1
 \end{aligned} \tag{2.11}$$

3.- Una vez, determinado el sector en que se localiza cada vector de referencia se deben seleccionar los estados de conmutación adyacentes a estos vectores. Por ejemplo, si en algún instante de tiempo el vector de voltaje de salida  $\overline{v_o}$  y

el ángulo  $\varphi_i$  de desplazamiento de la corriente de entrada con respecto al voltaje de entrada son las cantidades de referencia (Figura 2.6), y el vector de voltaje  $\overline{v_o}$  se localiza en el sector  $K_v=1$ , los vectores activos adyacentes a este sector son:  $\pm 1, \pm 2, \pm 3$  y  $\pm 7, \pm 8, \pm 9$ . Y en ese mismo instante, el vector de la corriente de entrada  $\overline{i_i}$  está en el sector  $K_i=1$ , los vectores activos adyacentes son:  $\pm 3, \pm 6, \pm 9$  y  $\pm 1, \pm 4, \pm 7$ . De estos 12 vectores activos solo se deben considerar aquellos vectores que permitan también la modulación de la corriente. Para este ejemplo se eliminan los vectores  $\pm 2, \pm 4, \pm 6$  y  $\pm 8$ , quedando únicamente para  $K_v=1$  los vectores adyacentes:  $\pm 1, \pm 3$  y  $\pm 7, \pm 9$  y para  $K_i=1$  los vectores  $\pm 3, \pm 9$  y  $\pm 1, \pm 7$ . Entonces los vectores requeridos son:  $\pm 1, \pm 3, \pm 7$  y  $\pm 9$ .

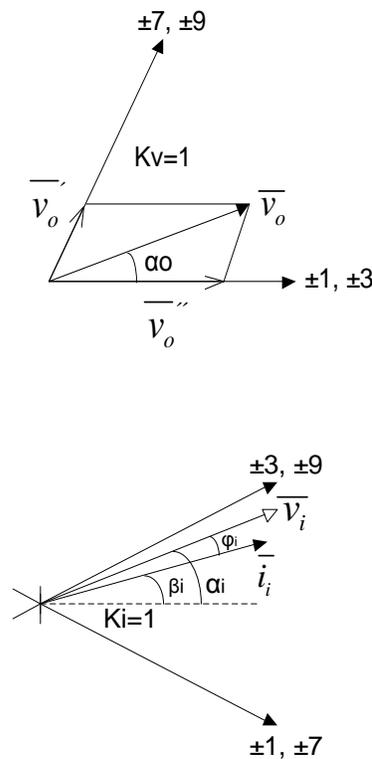


Figura 2.6 Ejemplo de modulación para los vectores de voltaje y corriente.

El vector  $\overline{v_o}$  está dado por las componentes  $\overline{v_o'}$  y  $\overline{v_o''}$ , donde los estados de conmutación +7 y +9 sintetizan al vector  $\overline{v_o'}$  y los vectores +1 y +3 al vector  $\overline{v_o''}$ . Finalmente manipulando dentro del algoritmo, el ángulo del vector de la corriente de entrada ( $\beta_i$ ) se determina a partir del valor del ángulo de desplazamiento ( $\varphi_i$ ) [23] - [25].

Siguiendo este procedimiento, se definen los cuatro vectores de los estados de conmutación para cualquier combinación entre los sectores Kv y Ki, tal como se muestran en la Tabla 2.3.

Tabla 2.3. Selección de los vectores de conmutación para cualquier combinación de Kv y Ki [25].

		Kv																							
		1				2				3				4				5				6			
Ki	SECTOR																								
	1	-3	+9	-7	+1	-6	+9	-7	+4	-6	+3	-1	+4	-9	+3	-1	+7	-9	+6	-4	+7	-3	+6	-4	+1
	2	-8	+2	-3	+9	-8	+5	-6	+9	-2	+5	-6	+3	-2	+8	-9	+3	-5	+8	-9	+6	-5	+2	-3	+6
	3	-1	+7	-8	+2	-4	+7	-8	+5	-4	+1	-2	+5	-7	+1	-2	+8	-7	+4	-5	+8	-1	+4	-5	+2
	4	-9	+3	-1	+7	-9	+6	-4	+7	-3	+6	-4	+1	-3	+9	-7	+1	-6	+9	-7	+4	-6	+3	-1	+4
	5	-2	+8	-9	+3	-5	+8	-9	+6	-5	+2	-3	+6	-8	+2	-3	+9	-8	+5	-6	+9	-2	+5	-6	+3
	6	-7	+1	-2	+8	-7	+4	-5	+8	-1	+4	-5	+2	-1	+7	-8	+2	-4	+7	-8	+5	-4	+1	-2	+5
		I	II	IV	III	I	III	II	IV	I	II	IV	III	I	III	II	IV	I	II	IV	III	I	III	II	IV

4.- Calcular los ciclos de trabajo para generar el vector de voltaje de salida. De la Figura 2.6, se tiene para el vector del voltaje de salida las siguientes ecuaciones [25]:

$$\overline{v_o} = \overline{v_o'} + \overline{v_o''} \quad (2.12)$$

Si:

$$\overline{v}_o' = \delta^I \overline{v}_o^I + \delta^{II} \overline{v}_o^{II} \quad (2.13)$$

$$\overline{v}_o'' = \delta^{III} \overline{v}_o^{III} + \delta^{IV} \overline{v}_o^{IV} \quad (2.14)$$

Donde  $\overline{v}_o^I, \overline{v}_o^{II}, \overline{v}_o^{III}, \overline{v}_o^{IV}$  son los vectores del voltaje de salida asociados a las 4 configuraciones de las conmutaciones establecidas en la Tabla 2.3 y  $\delta^I, \delta^{II}, \delta^{III}, \delta^{IV}$  se definen como los ciclos de trabajo.

La ec. 2.13 y ec. 2.14, pueden ser escritas como:

$$\overline{v}_o' = \frac{2}{\sqrt{3}} v_o \cos\left(\overline{\alpha}_0 - \frac{\pi}{3}\right) e^{j[(Kv-1)\frac{\pi}{3} + \frac{\pi}{3}]} \quad (2.15)$$

$$\overline{v}_o'' = \frac{2}{\sqrt{3}} v_o \cos\left(\overline{\alpha}_0 + \frac{\pi}{3}\right) e^{j[(Kv-1)\frac{\pi}{3}]} \quad (2.16)$$

El vector de referencia de la corriente de entrada  $\overline{i}_i$  se representa en sus componentes:

$$\overline{i}_i' = \overline{i}_i^I \delta^I + \overline{i}_i^{II} \delta^{II} \quad (2.17)$$

$$\overline{i}_i'' = \overline{i}_i^{III} \delta^{III} + \overline{i}_i^{IV} \delta^{IV} \quad (2.18)$$

Con respecto al ángulo de desplazamiento de la corriente de entrada en una dirección definida con un ángulo  $\beta_i$ , se obtienen dos ecuaciones (ec. 2.19 y 2.20) igualando a cero el producto escalar (punto) de  $(\overline{i}_i^I \delta^I + \overline{i}_i^{II} \delta^{II})$  y  $(\overline{i}_i^{III} \delta^{III} + \overline{i}_i^{IV} \delta^{IV})$  con dirección perpendicular al vector  $je^{j\beta_i}$ .

$$\left(\overline{i}_i^I \delta^I + \overline{i}_i^{II} \delta^{II}\right) \bullet j e^{j\overline{\beta}_i} e^{j(K_i-1)\pi/3} = 0 \quad (2.19)$$

$$\left(\overline{i}_i^{III} \delta^{III} + \overline{i}_i^{IV} \delta^{IV}\right) \bullet j e^{j\overline{\beta}_i} e^{j(K_i-1)\pi/3} = 0 \quad (2.20)$$

En la ec. 2.15 y ec. 2.20,  $\overline{\alpha}_0$  y  $\overline{\beta}_i$  corresponden a los ángulos del vector del voltaje de salida y al vector de la corriente de entrada respectivamente, y a partir de una línea bisectriz en el sector en que se encuentran dichos vectores de referencia, se tienen los siguientes límites:

$$-\frac{\pi}{6} < \overline{\alpha}_0 < \frac{\pi}{6} \quad (2.21)$$

$$-\frac{\pi}{6} < \overline{\beta}_i < \frac{\pi}{6} \quad (2.22)$$

De la ec. 2.19 y ec. 2.20, la magnitud de la corriente es la misma, es decir  $|i^n| = |i^{n+1}|$ , por lo tanto se deduce que:

$$\frac{\delta^I}{\delta^{II}} = \frac{\cos\left(\beta_i - \pi/3\right)}{\cos\left(\beta_i + \pi/3\right)} = \frac{\delta^{III}}{\delta^{IV}} \quad (2.23)$$

Sustituyendo la ec. 2.23 en ec. 2.13 se tiene el ciclo de trabajo:

$$\delta^I = \frac{\overline{v}_o \cos\left(\beta_i - \pi/3\right)}{\overline{v}_o^I \cos\left(\beta_i - \pi/3\right) + \overline{v}_o^{II} \cos\left(\beta_i + \pi/3\right)} \quad (2.24)$$

Como referencia de la Figura 2.6, se tiene que:

$$\begin{aligned} \overline{v}_o^I &= \alpha_1 v^I \\ \overline{v}_o^{II} &= \alpha_2 v^{II} \end{aligned} \quad (2.25)$$

Considerando que  $|\alpha_n| \leq 1$ .

Si:

$$\overline{v}_o^I \cos\left(\beta_i - \frac{\pi}{3}\right) + \overline{v}_o^{II} \cos\left(\beta_i + \frac{\pi}{3}\right) = \frac{3}{2} v_m \cos(\varphi_i) \quad (2.26)$$

Donde  $v_m$  es la magnitud del voltaje de entrada de línea y  $\varphi_i$  es el desplazamiento angular entre el vector de corriente y el voltaje de entrada. Por lo tanto, sustituyendo la ec. 2.26 en ec. 2.24, se tiene:

$$\delta^n = \frac{2}{3} \frac{\alpha_i v^i \cos\left(\beta_i + (-1)\frac{\pi}{3}\right)}{v_m \cos(\varphi_i)} \quad (2.27)$$

Resolviendo la ec. 2.27 reportada en [24] y [25] los ciclos de trabajo son:

$$\begin{aligned} \delta^I &= (-1)^{K_v+K_i} \frac{2}{\sqrt{3}} * q \frac{\cos\left(\overline{\alpha}_0 - \frac{\pi}{3}\right) \cos\left(\overline{\beta}_i - \frac{\pi}{3}\right)}{\cos(\varphi_i)} \\ \delta^{II} &= (-1)^{K_v+K_{i+1}} \frac{2}{\sqrt{3}} * q \frac{\cos\left(\overline{\alpha}_0 - \frac{\pi}{3}\right) \cos\left(\overline{\beta}_i + \frac{\pi}{3}\right)}{\cos(\varphi_i)} \\ \delta^{III} &= (-1)^{K_v+K_{i+1}} \frac{2}{\sqrt{3}} * q \frac{\cos\left(\overline{\alpha}_0 + \frac{\pi}{3}\right) \cos\left(\overline{\beta}_i - \frac{\pi}{3}\right)}{\cos(\varphi_i)} \\ \delta^{IV} &= (-1)^{K_v+K_i} \frac{2}{\sqrt{3}} * q \frac{\cos\left(\overline{\alpha}_0 + \frac{\pi}{3}\right) \cos\left(\overline{\beta}_i + \frac{\pi}{3}\right)}{\cos(\varphi_i)} \end{aligned} \quad (2.28)$$

Dos de los 4 ciclos de trabajo asumen un valor negativo, ya que se tienen configuraciones de conmutaciones positivas. Por lo tanto, un valor negativo le corresponde un estado de conmutación negativa (Tabla 2.3).

Sin embargo la siguiente condición debe ser considerada:

$$|\delta^I| + |\delta^{II}| + |\delta^{III}| + |\delta^{IV}| \leq 1 \quad (2.29)$$

Para completar el periodo de modulación ( $T_{PWM}$ ) entonces el ciclo de trabajo para los vectores cero son:

$$\delta^0 = 1 - \sum_{n=I}^{IV} \delta^n \quad (2.30)$$

Sustituyendo la ec. 2.28 en ec. 2.29 se tiene la ec. 2.31 [25], la cual teóricamente representa el rango máximo de transferencia de voltaje, dependiendo del ángulo  $\bar{\alpha}_0$  del vector de voltaje de salida y del ángulo  $\bar{\beta}_i$  del vector de corriente de entrada y su ángulo de desplazamiento  $\varphi_i$  con respecto al vector del voltaje de entrada.

$$q < \frac{\sqrt{3}}{2} \frac{|\cos \varphi_i|}{\cos(\beta_i) * \cos(\alpha_o)} \quad (2.31)$$

Si los voltajes de entrada y salida son balanceados, el denominador de la ecuación anterior es igual a 1 y el factor de potencia de entrada es igual a la unidad ( $\varphi_i = 1$ ), por lo tanto la ec. 2.31 se sintetiza a:

$$q < \frac{\sqrt{3}}{2} \quad (2.32)$$

## 2.3 METODOS DE CONMUTACIÓN.

Con la técnica de modulación por vectores espaciales, se pueden deducir los parámetros de conmutación con sus respectivos ciclos de trabajo (Tabla 2.3 y Figura 2.7). Estos parámetros se organizan para reducir el número de conmutaciones y pérdidas por conmutación en un  $T_{pwm}$ . Por ejemplo, si el vector de voltaje de referencia se encuentra en el sector  $kv=1$  y el vector de corriente de entrada de referencia en el  $Ki=3$ , la secuencia, incluyendo los vectores cero es: 01, -1, +7, 02, -8, +2, 03 en un  $T_{pwm}/2$ . Por lo tanto, se observa que *tan solo un*

interruptor bidireccional de alguna fase de salida debe cambiar de estado en cada paso de conmutación (Figura 2.7) teniendo un total de 6 conmutaciones en un semiperiodo.

Para complementar el  $T_{PWM}$  se emplea el método de conmutación simétrica, donde ocurre un total de 12 conmutaciones.

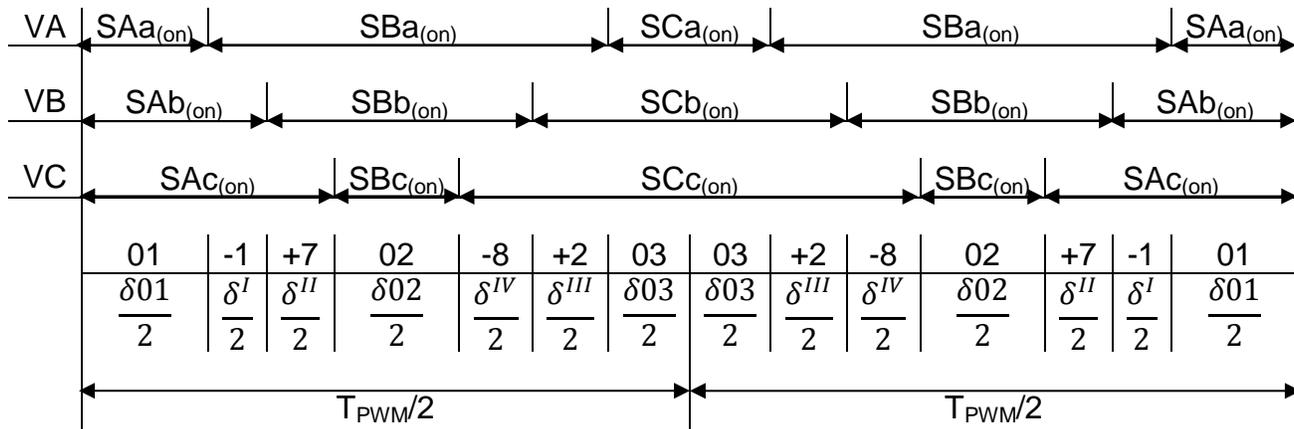


Figura 2.7 Ejemplo de parámetro de conmutación simétrica.

### 2.3.1 Método de Conmutación de 4 pasos en base a la dirección de la corriente de salida.

Recordando las dos restricciones para realizar las combinaciones de los diferentes estados de conmutación de los interruptores bidireccionales en las cuales se indican que dos interruptores de la misma fase de salida no deben operar al mismo tiempo para evitar un corto circuito, así como evitar que cualquier fase de salida quede desconectada con cualquier fase de entrada para que no existan voltajes inducidos. Siguiendo estas dos reglas para realizar una conmutación segura en cada parámetro de conmutación se emplea la *técnica de conmutación de cuatro pasos*. Esta técnica consiste en mantener una misma dirección el flujo de la corriente en cada uno de los interruptores que integran al interruptor bidireccional, reduciéndose hasta en un 50% las pérdidas por conmutación en los dispositivos [26]. La técnica consiste en conocer la dirección

de la corriente de salida por fase del convertidor usando detectores de corriente externos.

Para ejemplificar esta conmutación de 4-pasos se ilustra este método en la Figura 2.8 [27] - [29].

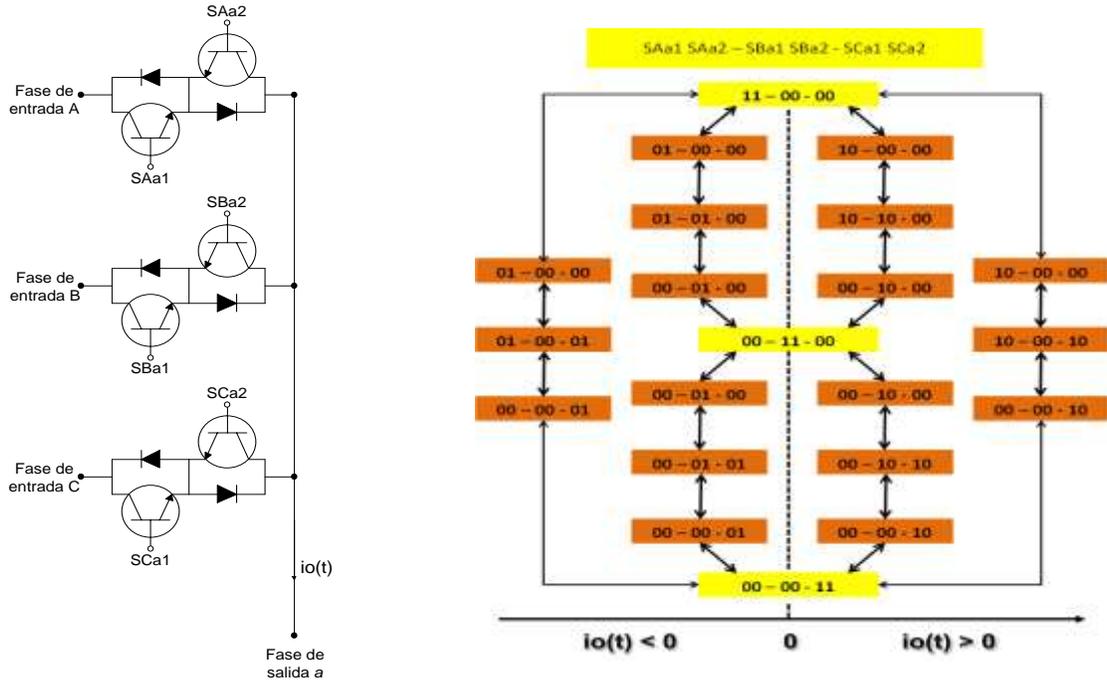


Figura 2.8 Conmutación de 4-Pasos.

Si se requiere conectar la fase de salida *a* con la fase de entrada B pero supongamos que  $i_o(t) > 0$  y los IGBTs SAa1 y SAa2 están en estado de conducción conectando la fase de salida *a* con la fase de entrada A, entonces:

**Paso 1)** Poner fuera de conducción a SAa2. En esta etapa no se presentan problemas de sobrecorriente y la corriente en la carga no es interrumpida;

**Paso 2)** El interruptor SBa1 es conmutado, el cual permite el flujo de la corriente a la fase de salida;

**Paso 3)** Poner fuera de conducción al interruptor SAa1. En este instante no existirá un sobrevoltaje ya que el interruptor SBa1 está cerrado, manteniendo la conexión con la fase de entrada B;

**Paso 4)** Finalmente entra en conducción el interruptor SBa2. Por lo tanto la fase de salida estará conectada con la fase de entrada B, permitiendo el flujo de la corriente de forma bidireccional.

Entre cada paso existen tiempos de retardo llamados  $t_1$ ,  $t_2$  y  $t_3$  (Figura 2.9).

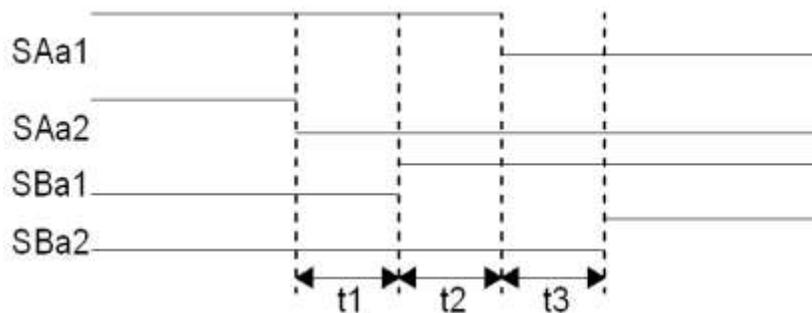


Figura 2.9 Diagrama de tiempos de retardo en la conmutación a 4 pasos.

Para su implementación se utiliza una FPGA, el cual es un dispositivo semiconductor que consiste en componentes lógicos programables llamados bloques lógicos e interconexiones programables. Su densidad mejorada hace que la complejidad del sistema sea reducida en costo, lográndose un mejor desempeño. No se entrará a detalles acerca del funcionamiento de la FPGA ya que fue diseñada y programada por la Universidad de Nottingham, donde se reserva un registro interno de 32 bits para los tiempos  $t_1$ ,  $t_2$  y  $t_3$  con 10 bits cada uno, los cuales son programados por el usuario.

## 2.4 FILTROS

### 2.4.1 Filtro de entrada.

Cuando se cuenta con dispositivos electrónicos de potencia, es necesario el uso de un filtro de entrada en el convertidor, de esta forma se reduce el alto contenido armónico en la corriente de entrada, generados por la conmutación de los dispositivos, así como para la protección del sistema contra efectos transitorios, disminuir el rizo de la forma de onda y evitar corrientes o voltajes excesivos en el convertidor.

El filtro de entrada utilizado en el convertidor matricial es de tipo Pasa-Bajo cuya topología es RLC. Este filtro atenúa los armónicos de las corrientes producidos por la frecuencia de conmutación de los dispositivos bidireccionales mejorando la forma de onda de la corriente de alimentación. La resistencia de amortiguamiento es para evitar componentes armónicas cercanas a la frecuencia de resonancia del filtro [30]. En el diseño del filtro se deben de tener en cuenta las siguientes consideraciones:

1.- La frecuencia de corte debe ser menor a la frecuencia de conmutación, entonces:

$$L_{in} * C_{in} = \frac{1}{\omega_0^2} \quad (2.33)$$

$$\omega_0 = 2 * \pi * f_0 \quad (2.34)$$

En donde  $\omega_0$  es la frecuencia de resonancia del filtro de entrada.

2.- Maximizar el ángulo de desplazamiento para una potencia de salida dada.

3.- Minimizar las caídas de los voltajes en la inductancia del filtro.

La Figura 2.10 muestra los elementos del filtro de entrada, incluyendo la resistencia interna del inductor. Para determinar la frecuencia de corte y de resonancia se calcula la función de transferencia.

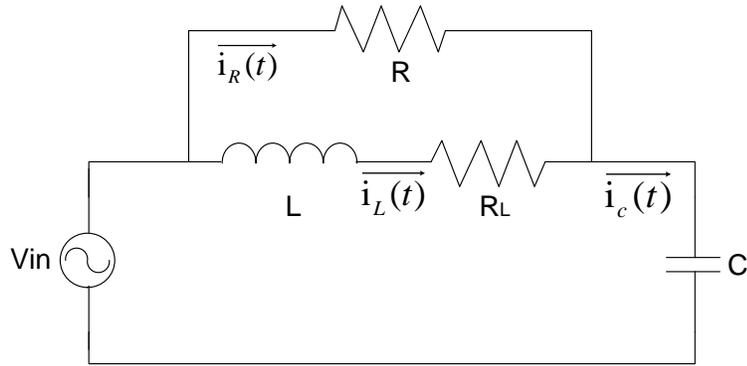


Figura 2.10 Filtro de entrada.

Aplicando LKI:

$$\vec{i}_R(t) + \vec{i}_L(t) - \vec{i}_c(t) = 0 \quad (2.35)$$

Empleando transformada de Laplace para convertir las impedancias del circuito anterior en el dominio  $s$ , se tiene:

$$\frac{v_{in}(s) - v_C(s)}{R} + \frac{v_{in}(s) - v_C(s)}{L*s + R_L} - v_C(s) * C*s = 0 \quad (2.36)$$

Entonces:

$$v_{in}(s) * \left( \frac{(L*s) + R_L + R}{R*(L*s) + R_L*R} \right) - v_C(s) * \left( \frac{(L*s) + R_L + R + (C*s)(R*L*s + R_L*R)}{R*L*s + R_L*R} \right) = 0 \quad (2.37)$$

Despejando de la ec. 2.37 donde  $v_c(s) = v_0(s)$  se obtiene:

$$H(s) = \frac{v_0(s)}{v_{in}(s)} = \frac{L*s + R_L + R}{(R*L*C)*s^2 + ((C*R_L*R) + L)*s + R_L + R} \quad (2.38)$$

Dividiendo entre  $R*L*C$  la ec. 2.38:

$$H(s) = \frac{\frac{1}{R*C}s + \frac{R_L}{R*L*C} + \frac{1}{L*C}}{s^2 + \frac{R_L}{L}*s + \frac{1}{R*C}*s + \frac{R_L}{R*L*C} + \frac{1}{L*C}} \quad (2.39)$$

Haciendo las operaciones correspondientes, finalmente la función de transferencia para el filtro es:

$$H(s) = \frac{L*s + R_L + R}{R*L*C} \quad (2.40)$$

$$s^2 + \left(\frac{R_L}{L} + \frac{1}{R*C}\right)*s + \left(\frac{R_L}{R*L*C} + \frac{1}{L*C}\right)$$

Considerando que la frecuencia principal es de 60 Hz, el filtro debe de atenuar armónicos de alto orden (múltiplos de la frecuencia de la fuente). El diseño para esta aplicación es descrito en [31], los valores obtenidos son los siguientes:

Inductor:

$$L = 700 \mu\text{H};$$

Resistencia interna del Inductor:

$$R_L = 50 \text{ m}\Omega;$$

Capacitor:

$$C = 26 \mu\text{F};$$

Resistencia de Amortiguamiento:

$$R = 56 \Omega$$

Sustituyendo estos valores en la ec. 2.40 se tiene:

$$H(s) = \frac{686.8s + 5.449 \cdot 10^7}{s^2 + 758.2s + 5.449 \cdot 10^7} \quad (2.41)$$

Con la ayuda de Matlab v7.6 se puede analizar el comportamiento del sistema de la ec. 2.41 en el siguiente diagrama de Bode (Figura 2.11).

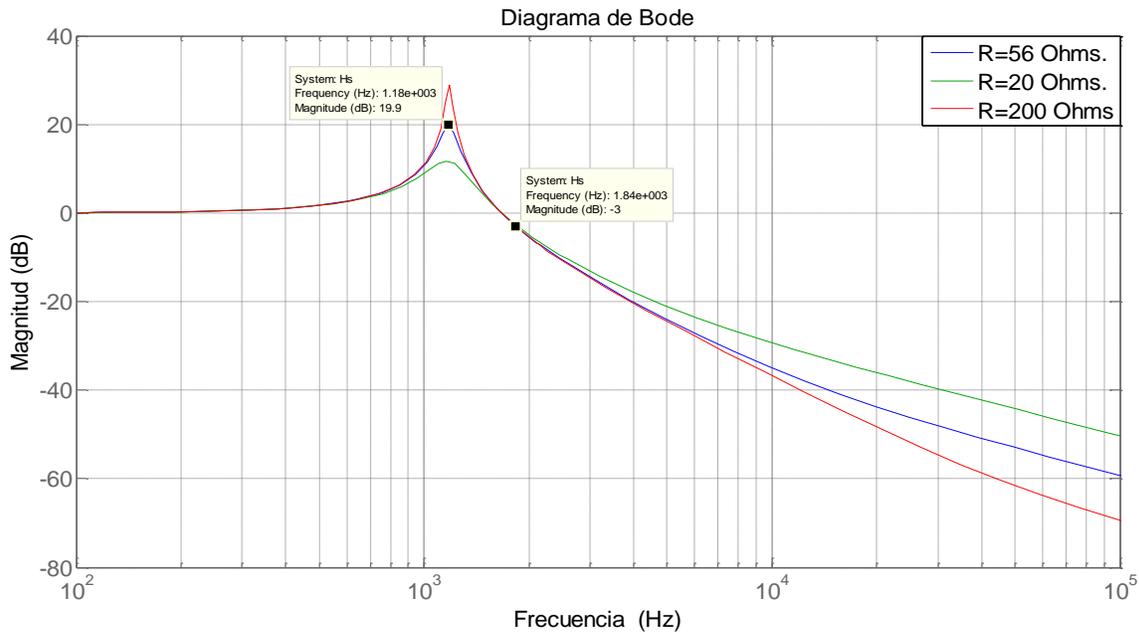


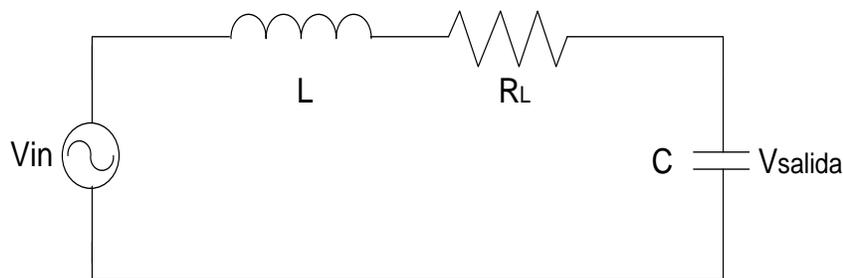
Figura 2.11 Diagrama de Bode del filtro de entrada.

La frecuencia de corte ( $F_c$ ) del filtro de entrada debe ser al menos una década por encima de la frecuencia principal a fin de minimizar el efecto de resonancia asociada por el filtro, así como estar por lo menos a una década por debajo de la frecuencia de conmutación para reducir interferencias electromagnéticas por altas conmutaciones. En base a esto se tiene que  $600 < F_c < 1280$ , y empleando la ec. 2.33 para calcular esta frecuencia se tiene una  $F_c = 1179$  Hz.

Para definir el valor de R (resistencia de amortiguamiento), las pérdidas en este elemento deben ser menores al 1% con respecto a la potencia total del convertidor [31]. Si valor de R es muy pequeño fluirá alta corriente, por lo tanto habrá más pérdidas de potencia, pero si se toma un valor muy grande las pérdidas decrecen y las ganancias de los bajos armónicos incrementan (Figura 2.11). El valor de la resistencia de amortiguamiento para este caso es de  $56 \Omega$ . En la gráfica anterior se muestra que conforme disminuye el valor de la resistencia de amortiguamiento la frecuencia de resonancia se atenúa (1.18 kHz con una atenuación de 19.9 dB). Esta resistencia permite el flujo de los armónicos de bajo orden indeseables para el convertidor.

### 2.4.2 Filtro de salida.

Para reducir los defectos de los voltajes de salida del convertidor a causa de los pulsos de modulación se requiere de un filtro tipo LC paso bajo. Debido a la alta frecuencia de conmutación de los interruptores el tamaño del filtro se reduce. El valor del capacitor define el rango de potencia del convertidor debido al incremento de la potencia reactiva del filtro [32]-[35]. En la Figura 2.12 se muestra la topología del filtro de salida.



*Figura 2.12 Filtro de Salida.*

La función de transferencia de este filtro tomando en cuenta la resistencia interna del inductor es:

$$H(s) = \frac{v_o(s)}{v_{in}(s)} = \frac{v_c}{v_L + v_{R_L} + v_c} \quad (2.42)$$

$$H(s) = \frac{\frac{1}{C} \int i(t) dt}{L \frac{di(t)}{dt} + i(t)R_L + \frac{1}{C} \int i(t) dt} \quad (2.43)$$

Transformando del dominio del tiempo al dominio de s con el uso de la transformada de Laplace:

$$H(s) = \frac{\frac{1}{C*s}}{L*s + R_L + \frac{1}{C*s}} \quad (2.44)$$

De esta ecuación se obtiene:

$$H(s) = \frac{\frac{1}{C*s}}{\frac{C*s[L*s + R_L] + 1}{C*s}} = \frac{1}{C*s[L*s + R_L] + 1} = \frac{1}{LC*s^2 + R_L C*s + 1} \quad (2.45)$$

Finalmente, la función de transferencia es:

$$H(s) = \frac{\frac{1}{LC}}{s^2 + \frac{R_L}{L}*s + \frac{1}{LC}} \quad (2.46)$$

Para el diseño del filtro se consideran los siguientes puntos [36]:

- 1.- La frecuencia a la que debe operar el filtro es a 400 Hz.
- 2.- La frecuencia de corte debe ser superior a 1500 Hz.

- 3.- El rizado del voltaje de salida no debe exceder del 2.6% del voltaje de salida nominal.
- 4.- El THD no debe exceder el 4% de acuerdo a la norma IEEE 519.
- 5.- El valor del Inductor es pequeño para reducir el valor de impedancia de salida, ya que el convertidor opera como fuente de voltaje.
- 6.- La frecuencia de resonancia es menor a la frecuencia de conmutación de los interruptores bidireccionales, considerando un valor alrededor de 10000 rad/seg.

Si la frecuencia de resonancia es:

$$\omega_o = \frac{1}{\sqrt{LC}} \quad (2.47)$$

Despejando para encontrar el valor del capacitor teniendo fijo el valor del inductor:

$$C = \frac{1}{\omega_o^2 L} \quad (2.48)$$

Si  $L=128 \mu\text{H}$  con  $R_L = 50\text{m}\Omega$ , entonces:

$$C = \frac{7812.5}{\omega_o^2} \quad (2.49)$$

Si los valores propuestos para la frecuencia de resonancia son:

$$\begin{aligned} \omega_{o1} &= 9000\text{rad} / \text{seg} \\ \omega_{o2} &= 11000\text{rad} / \text{seg} \end{aligned}$$

Entonces:

$$\begin{aligned} \text{Para } \rightarrow \omega_{o1} \\ C_1 &= \frac{7812.5}{9000^2} = 96.4506\mu\text{F} \end{aligned} \quad (2.50)$$

Para  $\rightarrow w_{o2}$

$$C_2 = \frac{7812.5}{11000^2} = 64.566 \mu F \quad (2.51)$$

El valor del capacitor debe estar entre los rangos de  $C_2$  a  $C_1$ . El valor escogido para esta aplicación fue de  $68 \mu F$ . Sustituyendo el valor del inductor y del capacitor en la ec. 2.46, se obtiene la función de transferencia de este filtro:

$$H(s) = \frac{1.149 * 10^8}{s^2 + 390.6s + 1.149 * 10^8} \quad (2.52)$$

Haciendo uso de Matlab v7.6 es posible analizar el comportamiento de este sistema mediante el diagrama de Bode (Figura 2.13). Donde la frecuencia de corte con el valor propuesto del capacitor es de 2.65 kHz, con una frecuencia de resonancia de 1.71 kHz a 28.5 dB. Cabe destacar que si el valor del capacitor se incrementa, el ancho de banda es reducido lo cual limitaría el comportamiento del sistema en altas frecuencias.

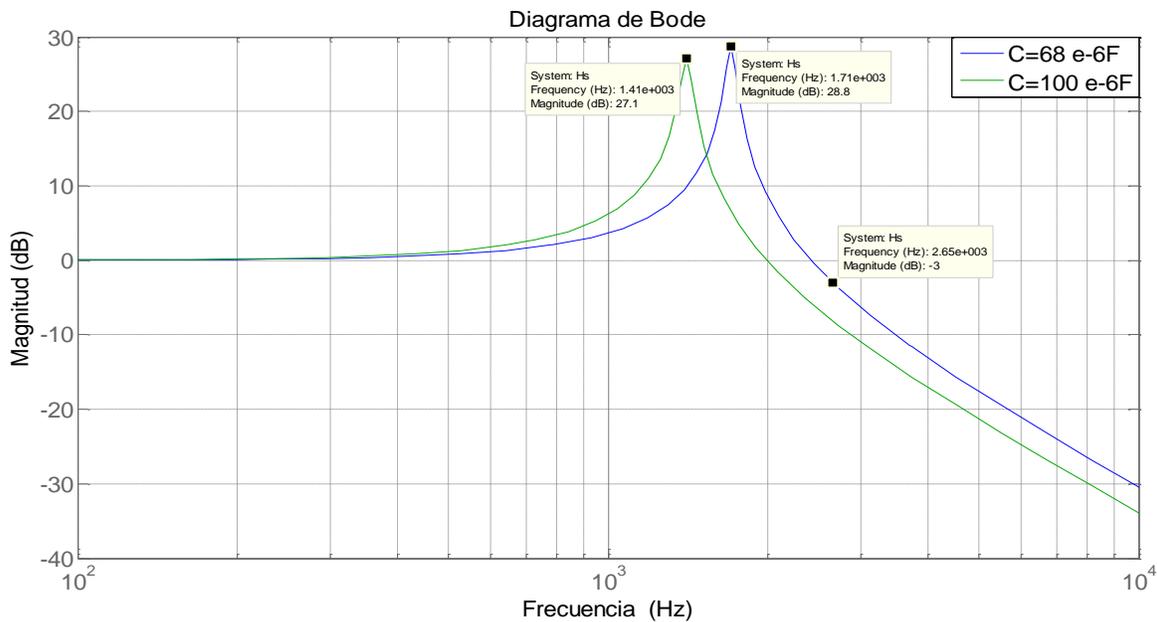


Figura 2.13 Diagrama de Bode para el filtro de salida.

## 2.5 CONTROL DE SEGUIMIENTO.

Un sistema de control es aquél en donde la salida del sistema es controlada con respecto a un valor específico (valor de referencia). En la Figura 2.14 se muestra un sistema general de control del voltaje en lazo cerrado para el convertidor matricial.

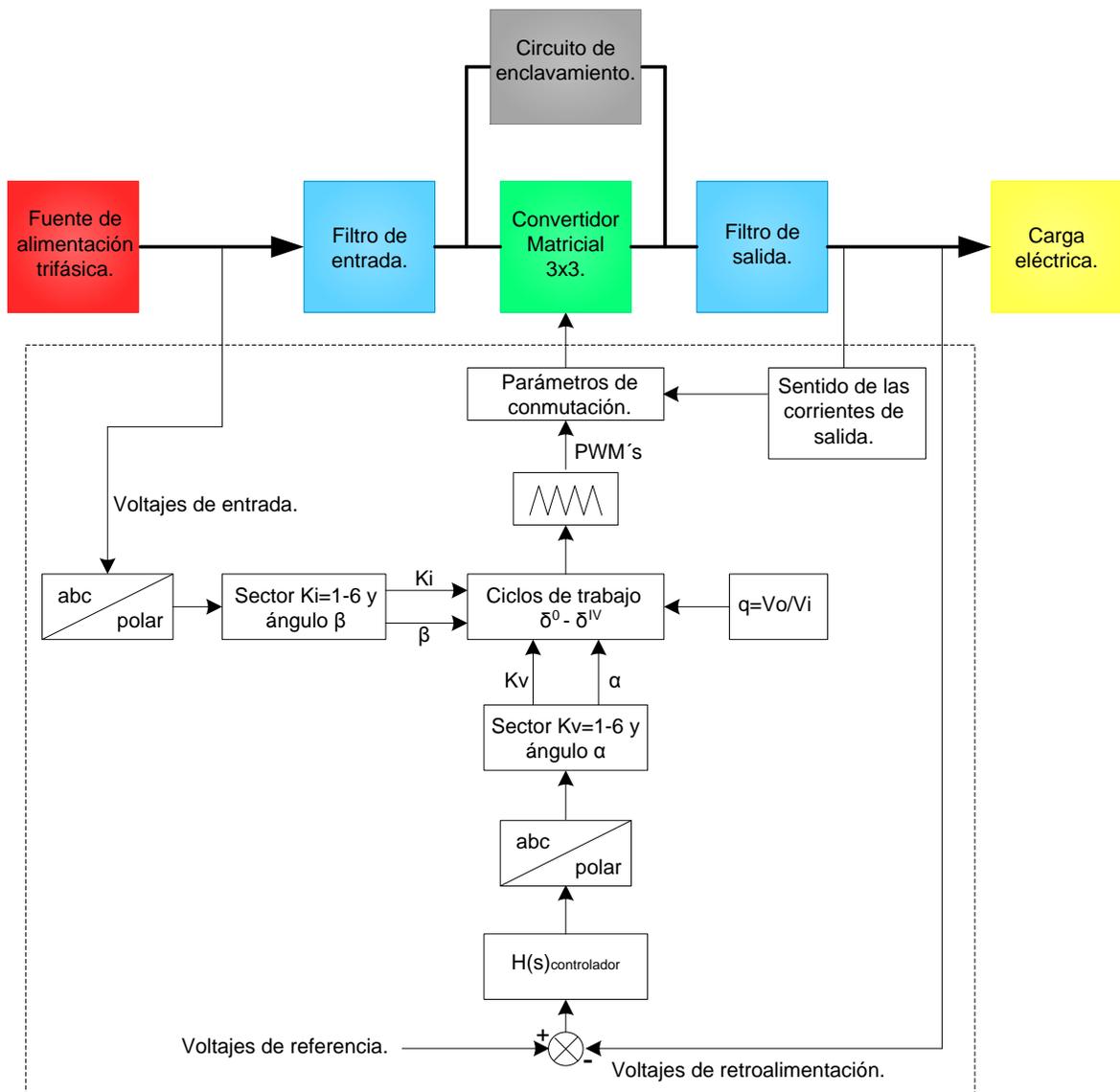


Figura 2.14 Esquema de control para un CM 3x3.

En la Figura 2.14 se observa que los voltajes de retroalimentación son los que se miden a través del filtro de salida, por lo tanto la planta a controlar va a ser la función de transferencia de este filtro; aunque los dispositivos de potencia (IGBT's) no son lineales, en la literatura se considera al convertidor matricial como ganancia unitaria debido a que  $\tau_{fs}$  es mayor a  $\tau_{filtro}$ , lo cual se obtiene de forma simplificada el diagrama de control a bloques tal como se muestra en la Figura 2.15 [33] - [36].

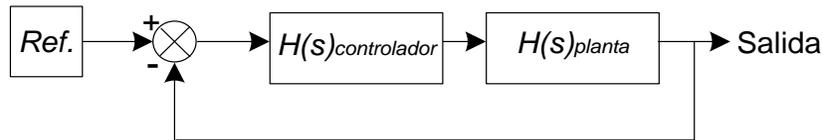


Figura 2.15 Diagrama de control a Bloques.

Con el objetivo de sustituir los polos indeseables de la planta por polos estables dentro del sistema de control, la función de transferencia de  $H(s)_{controlador}$  debe permanecer con el mismo orden de  $H(s)_{planta}$ .

De la Figura 2.15 se deduce que la función de transferencia en lazo cerrado para el sistema es:

$$LC(s) = \frac{H(s)}{1 + H(s)G(s)} \quad (2.53)$$

Donde  $G(s)$  es la función de transferencia del lazo de retroalimentación, la cual es igual a la unidad. Los polos y ceros de la planta no se pueden modificar directamente en el plano Z debido a que su función de transferencia es la representación física del sistema a controlar, ya que al modificar los polos y ceros implicaría un cambio en las características eléctricas en el inductor y/o capacitor.

Entonces para el diseño del compensador en cascada (controlador de seguimiento), se lleva a cabo el método de cancelación de polos de la planta con los ceros del controlador, es decir, el polinomio del numerador de la función de transferencia del controlador es igual al polinomio característico de la planta.

Si la función de transferencia de la planta es expresada en la ec. 2.52, de forma explícita se tiene:

$$H(s)_{planta} = \frac{w_o^2}{s^2 + 2\zeta w_o s + w_o^2} = \frac{w_o^2}{(s + p_1^p)(s + p_2^p)} \quad (2.54)$$

Dónde:

$w_o$  = frecuencia de resonancia;

$\zeta$  = factor de amortiguamiento.

$K = w_o^2$

Para que el controlador cumpla con el mismo orden de la  $H(s)_{planta}$ , se tiene:

$$H(s)_{controlador} = \frac{(s + z_1^c)(s + z_2^c)}{(s + p_1^c)(s + p_2^c)} \quad (2.55)$$

Pero con el método de cancelación de polos, que consiste en sustituir polos indeseables por polos estables, se tiene que:

$$(s + z_1^c)(s + z_2^c) = (s + p_1^p)(s + p_2^p) \quad (2.56)$$

Sustituyendo la ec. 2.56 en ec. 2.55, se obtiene:

$$H(s)_{controlador} = \frac{(s + p_1^p)(s + p_2^p)}{(s + p_1^c)(s + p_2^c)} \quad (2.57)$$

Representando las funciones de transferencias (ecuaciones 2.54 y 2.57) en el diagrama de bloques de la Figura 2.15, en trayectoria directa se obtiene:

$$LD(s) = \frac{w_o^2}{(s + p_1^c)(s + p_2^c)} \quad (2.58)$$

Finalmente, se observa que el controlador no debe tener más ceros que polos y la cancelación de los polos de la planta el compensador añade nuevos polos estables a la función de transferencia de lazo directo.

## 2.6 CONTROL REPETITIVO.

Un control repetitivo es empleado para modificar un valor de referencia con el fin de atenuar los disturbios de una salida o eliminar los errores periódicos que se presenten en un sistema en lazo cerrado.

Diversos estudios se han realizado para el diseño de un control repetitivo [37] y [38], para su aplicación en diferentes convertidores de potencia. El sistema de control repetitivo (CR) se representa en el diagrama a bloques de la Figura 2.16 de acuerdo al modelo interno propuesto por Francis y Wonham [39] donde se establece que: para alcanzar un seguimiento perfecto del sistema en lazo cerrado, el sistema a controlar (planta) debe ser estable y pasando por la trayectoria del CR se genera un nuevo polinomio como señal de referencia [40] - [42].

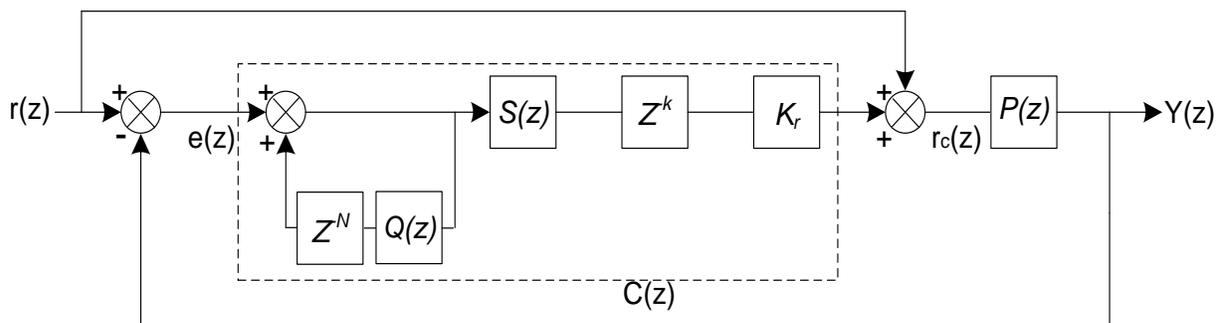


Figura 2.16 Diagrama de bloques de Control Repetitivo (CR).

Cuando el error es de forma constante, la salida del control repetitivo lo integra período por período y ya que el error decreciente, la salida no cambia y se mantiene con los valores del último período de la señal. De la Figura 2.16,  $r(z)$  es la señal de referencia,  $e(z)$  es la señal de error,  $Z^N$  es el retardo del lazo de retroalimentación,  $N$  es el número de muestras de un período de la señal,  $Q(z)$  y  $S(z)$  son filtros paso bajo considerados como compensadores para dar robustez al sistema y mayor margen de estabilidad,  $Z^{-k}$  es la unidad de retardo para que la señal que ha pasado por el modelo interno del CR este en fase con la señal de referencia,  $K_r$  es la ganancia del CR,  $r_c(z)$  es la referencia modificada,  $P(z)$  representa la función de transferencia del control de seguimiento y de la planta en lazo directo,  $C(z)$  es el polinomio generado por el CR, finalmente  $Y(z)$  es la señal de salida.

El polinomio generado es:

$$C(z) = \frac{Z^{-N} * S(z) * Z^{-k} * K_r}{1 - [Z^{-N} * Q(z)]} \quad (2.59)$$

Entonces el diagrama a bloques simplificado se representa en la Figura 2.17.

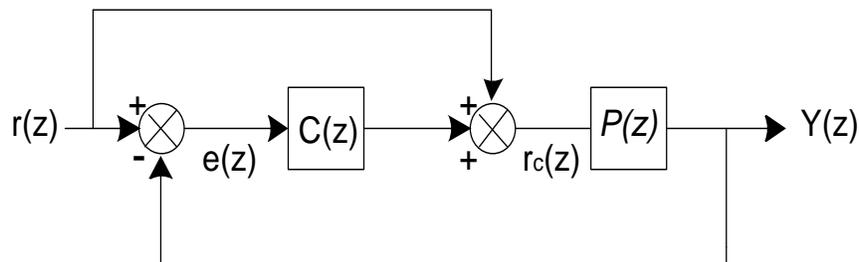


Figura 2.17 Diagrama de Bloques CR.

Haciendo algebra de bloques de la Figura 2.17 y sustituyendo a la vez  $C(z)$ , el error es:

$$E(z) = \frac{r[1 - P(z)][1 - Z^{-N}Q(z)]}{[1 - Z^{-N}Q(z)] + [P(z)Z^{-N}S(z)Z^{-k}K_r]} \quad (2.60)$$

Por lo tanto, la función de transferencia de  $H(z) = Y(z)/r(z)$  es:

$$H(z) = \frac{P(z)[1 + C(z)]}{1 + P(z)C(z)} \quad (2.61)$$

Sustituyendo la ec. 2.59 en ec. 2.61, se tiene:

$$H(z) = \frac{P(z)[1 - Z^{-N}Q(z) + Z^{-N}S(z)Z^{-k}K_r]}{1 - Z^{-N}Q(z) + P(z)Z^{-N}S(z)Z^{-k}K_r} \quad (2.62)$$

### 2.6.1 Análisis de estabilidad.

De acuerdo al criterio de Nyquist, para que la inestabilidad se presente cuando la entrada al sistema es sinusoidal, la magnitud en lazo abierto debe ser mayor a 1 y el atraso de fase en lazo abierto es  $180^\circ$ . Si el sistema causa un cambio de fase de  $180^\circ$ , entonces la señal de retroalimentación estará en fase con la señal de referencia y de esta manera se adicionará en vez de sustraerse, pero si la magnitud es menor que la señal de entrada se puede alcanzar una condición estable, entonces la respuesta en frecuencia es:

$$H(j\omega) = H(z^{-1}) \Big|_{z=e^{j\omega T}} \quad (2.63)$$

Para el sistema del CR  $Q(z) = 1$ , Si  $P(z)$  es estable entonces la ec. 2.62 en el dominio  $s$  es:

$$|H(jw)| = 0 \quad (2.64)$$

$$w = \frac{2\pi n}{N} \dots n = 0, 1, \dots, N-1 \quad (2.65)$$

El error entre el valor de referencia y el valor de retroalimentación de la Figura 2.16 es:

$$e(z) = r(z) - Y(z) \quad (2.66)$$

Pero:

$$Y(z) = P(z) \left[ r(z) + e(z) \frac{Z^{-N} S(z) Z^{-k} K_r}{1 - Z^{-N} Q(z)} \right] \quad (2.67)$$

Sustituyendo la ec. 2.67 en ec. 2.66:

$$e(z) = e(z) Z^{-N} (Q(z) - P(z) S(z) Z^{-k} K_r) + r(z) (1 - P(z)) (1 - Z^{-N} Q(z)) \quad (2.68)$$

Dónde se puede definir como:

$$T(z) = (Q(z) - P(z) S(z) Z^{-k} K_r) \quad (2.69)$$

Si  $P(z)$  es estable, una condición suficiente para que la estabilidad este presente para toda  $w$ , es:

$$|T(z)|_{z=e^{jw}} < 1 \quad (2.70)$$

De acuerdo al criterio de estabilidad de Nyquist descrita anteriormente, considerando que se ha añadido un control repetitivo al sistema en lazo cerrado, y asegurando el desempeño del sistema en general, la condición 2.70 debe

cumplirse para garantizar la estabilidad. Por lo tanto, los diseños de  $S(z)$  y  $Q(z)$  deben cumplir tal criterio así como la reducción del error periódico. Para prevenir que  $T(z)$  este fuera del círculo unitario por altas frecuencias se aconseja que  $Q(z)$  sea una constante cercana a la unidad a fin de que  $Q(e^{j\omega T})$  este al centro del círculo unitario.  $S(z)$  es un filtro FIR con alta capacidad de amortiguamiento y con baja ganancia para satisfacer a ec.2.69 y de frecuencia de resonancia inferior a la frecuencia de  $P(z)$  con el fin de disminuir el error en altas frecuencias y asegurar un alto margen de estabilidad. Si el modelo del convertidor es equivalente a un modelo de filtro paso bajo de segundo orden, la cancelación de  $S(z)$  y  $Q(z)$  no es posible. Para  $K_r$ , se recomienda que su valor este entre los límites de  $0 < K_r < 1$ . Debido a  $P(z)S(z)$ , existirá desfaseamiento entre el valor de referencia y el polinomio  $C(z)$ , y para compensar este retardo se tiene el bloque de retardo ( $Z^{-k}$ ) en serie, el cual no afecta la amplitud ni la frecuencia del sistema [40] - [42].

Finalmente, se dice que este modelo interno del control repetitivo indica un método, en donde la señal de salida sigue una señal de entrada, generando una nueva señal de referencia a un sistema en lazo cerrado.

## CAPÍTULO 3. DISEÑO DEL SISTEMA DE CONTROL.

### 3.1 INTRODUCCIÓN.

En este capítulo se desarrolla el diseño del control de seguimiento, y del control repetitivo, cumpliendo con los requisitos mencionados en la sección anterior. Por lo tanto, se presentan los pasos apropiados para el diseño de estos controladores con la ayuda de la herramienta de Sisotools de Matlab v7.6.

### 3.2 DISEÑO DEL CONTROL DE SEGUIMIENTO.

Para determinar la ubicación de los polos y ceros en el plano  $z$  de la planta es necesario transformar su función de transferencia que está en el dominio del tiempo continuo al dominio del tiempo discreto. Para realizar esta transformación existen diferentes métodos usando la transformada  $Z$ , descritos en [43]. El método usado es la aproximación de retenedor de orden cero (ZOH), esta forma de transformación a  $Z$  consiste en colocar un ZOH en cascada con la planta con un  $T_s = 1/12800$  (Figura 3.1).

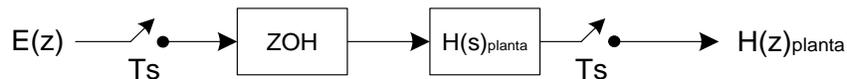


Figura 3.1 Representación del elemento zoh y planta.

El elemento *zoh* tiene una función de transferencia de:

$$G(s)_{ZOH} = \frac{1 - e^{-Ts}}{s} \quad (3.1)$$

Entonces:

$$H(z)_{planta} = Z_T \left\{ G(s)_{ZOH} * H(s)_{planta} \right\} = (1 - z^{-1}) \cdot Z_T \left\{ L^{-1} \left\{ \frac{H(s)_{planta}}{s} \right\} \right\} \quad (3.2)$$

La función de transferencia de la planta se representa por la ec. 2.52 y sustituyéndola en la ec. 3.2 se tiene:

$$H(z)_{planta} = (1 - z^{-1}) \cdot Z_T \left\{ L^{-1} \left\{ \frac{1.149 * 10^8}{s^2 + 390.6s + 1.149 * 10^8} \cdot \frac{1}{s} \right\} \right\} \quad (3.3)$$

Donde se puede definir una constante  $K_c = 1.149 * 10^8$ , la cual se desplaza hacia la izquierda para quedar fuera del termino interno.

$$H(z)_{planta} = (1 - z^{-1}) \cdot K_c \cdot Z_T \left\{ L^{-1} \left\{ \frac{1}{s^2 + 390.6s + 1.149 * 10^8} \cdot \frac{1}{s} \right\} \right\} \quad (3.4)$$

Por consiguiente, se calcula la transformada inversa de Laplace de  $(H(s)_{planta} / s)$ :

$$L^{-1} \left\{ \frac{1}{s^2 + 390.6s + 1.149 * 10^8} \cdot \frac{1}{s} \right\} = L^{-1} \left\{ \frac{1}{(s - (m_1))} \cdot \frac{1}{(s - (m_2))} \cdot \frac{1}{s} \right\} \quad (3.5)$$

Donde  $m_1$  y  $m_2$  son polos complejos conjugados:

$$m_{1,2} = -1.953 * 10^2 \pm 1.0717 * 10^4 j \quad (3.6)$$

$$L^{-1} \left\{ \frac{1}{(s-(m_1))} \cdot \frac{1}{(s-(m_2))} \cdot \frac{1}{s} \right\} = L^{-1} \left\{ \frac{D}{(s-(m_1))} + \frac{E}{(s-(m_2))} + \frac{F}{s} \right\} \quad (3.7)$$

Con el uso de fracciones parciales se calculan las constantes  $D$ ,  $E$  y  $F$ . Donde  $D = -4.3516 \cdot 10^{-9} + 7.9298 \cdot 10^{-11}j$ ,  $E = -4.3516 \cdot 10^{-9} - 7.9298 \cdot 10^{-11}j$  y  $F = 8.7032 \cdot 10^{-9}$ . Por lo que, la transformada inversa de Laplace de  $1/(s-m_1)$  es la exponencial  $e^{m_1 T s}$ , para  $1/(s-m_2)$  es  $e^{m_2 T s}$  y la transformada inversa de  $1/s$  es una función escalón unitario. De esta manera, la transformada Z de cada señal forman la transformada Z de  $H(s)_{planta} / s$ :

$$Z_T \left\{ L^{-1} \left\{ \frac{H(s)_{planta}}{s} \right\} \right\} = \left\{ \frac{D \cdot z}{(z - e^{m_1 T s})} + \frac{E \cdot z}{(z - e^{m_2 T s})} + \frac{F \cdot z}{(z - 1)} \right\} \quad (3.8)$$

Sustituyendo la ec. 3.8 en ec. 3.4 se obtiene:

$$H(z)_{planta} = (1 - z^{-1}) \cdot K_c \cdot \left\{ \frac{D \cdot z}{(z - e^{m_1 T s})} + \frac{E \cdot z}{(z - e^{m_2 T s})} + \frac{F \cdot z}{(z - 1)} \right\} \quad (3.9)$$

$$H(z)_{planta} = K_c \cdot \left\{ \frac{D \cdot z \cdot (1 - z^{-1})}{(z - e^{m_1 T s})} + \frac{E \cdot z \cdot (1 - z^{-1})}{(z - e^{m_2 T s})} + \frac{F \cdot z \cdot (1 - z^{-1})}{(z - 1)} \right\} \quad (3.10)$$

Realizando las operaciones necesarias se tiene:

$$H(z)_{planta} = K_c \cdot \left\{ \frac{D \cdot (z - 1) \cdot (z - e^{m_2 T s}) + E \cdot (z - 1) \cdot (z - e^{m_1 T s}) + F \cdot (z - e^{m_1 T s}) \cdot (z - e^{m_2 T s})}{(z - e^{m_1 T s}) \cdot (z - e^{m_2 T s})} \right\} \quad (3.11)$$

Sustituyendo los polos conjugados  $m_1$  y  $m_2$ , el período de muestreo y las constantes D, E y F en la ec. 3.11, se llega finalmente a la función de transferencia de la planta en el dominio discreto:

$$H(z)_{planta} = \frac{0.3273z + 0.3239}{z^2 - 1.319z + 0.9699} \quad (3.12)$$

La ubicación de los polos y ceros en el plano z de esta función se observa en la Figura 3.2.

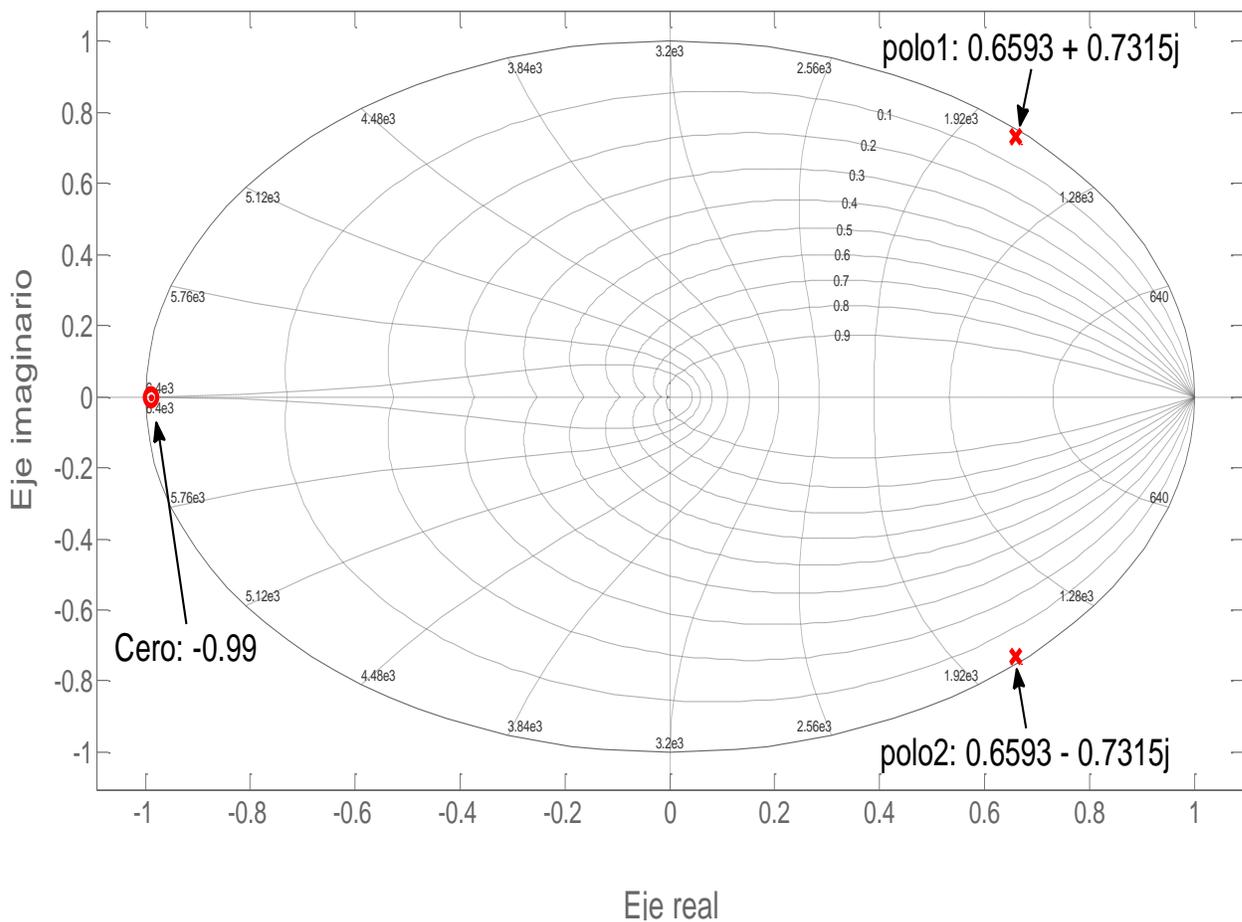


Figura 3.2 Ubicación de polos/cero de la función de transferencia de la planta.

En la Figura 3.2 se observa que los polos de la planta están ubicados dentro del círculo unitario pero en lazo abierto, sin embargo en lazo cerrado sin controlador en cascada la función de transferencia correspondiente es:

$$LC(z) = \frac{H(z)_p}{1 + H(z)_p} = \frac{0.3273z + 0.3239}{z^2 - 0.9917z + 1.2938} \quad (3.13)$$

La ecuación característica de la ec. 3.13, los polos son  $P_{1,2} = 0.4949 \pm 1.0237j$ , respectivamente. Por lo tanto, se deduce que los polos en lazo cerrado se ubican fuera del círculo unitario del plano  $z$ , entonces se tiene la necesidad de un controlador en serie con la planta, con la condición de que los ceros del controlador sean iguales a los polos de la planta ( $H(z)_p$ ) para que de esta forma se cancelen los polos inestables por polos estables así como atenuar la frecuencia de resonancia de la planta.

En la Figura 3.3 se muestra la arquitectura de control propuesta, donde  $F$  es una ganancia para la señal de referencia,  $C$  y  $G$  corresponden a las funciones de transferencia en el dominio  $z$  del controlador y de la planta respectivamente de acuerdo a la nomenclatura de sisotools.

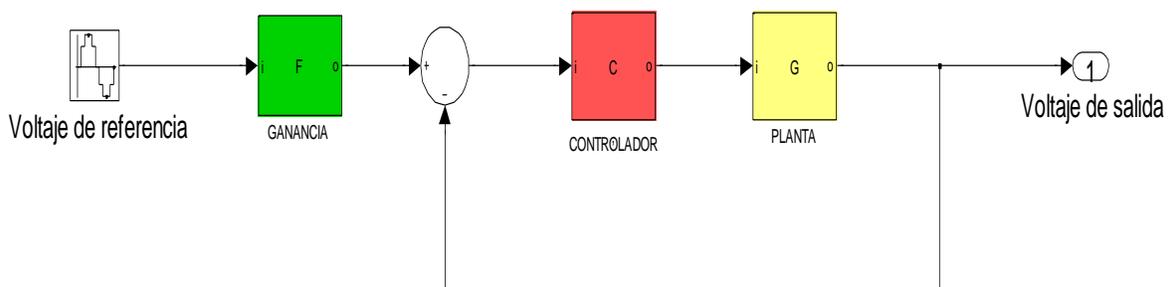


Figura 3.3 Arquitectura de control.

Con la condición mencionada, y sustituyendo la ec. 3.12 en  $G$ , se tiene en lazo directo ( $LD(z)$ ):

$$LD(z) = C(z) * G(z) = k * \frac{z^2 - 1.319z + 0.3239}{az^2 + bz + c} * \frac{0.3273z + 0.3239}{z^2 - 1.319z + 0.3239} \quad (3.14)$$

Donde  $k$  es la ganancia y  $az^2 + bz + c$  es la ecuación característica del controlador, cumpliendo con el mismo orden del polinomio característico de la planta. Esta ecuación tiene dos polos, los cuales deben estar dentro del círculo unitario para asegurar la estabilidad del sistema en lazo abierto y en lazo cerrado. Por lo tanto la función de transferencia para el controlador es:

$$H(z)_{\text{controlador}} = k * \frac{z^2 - 1.319z + 0.9699}{(z + p_1)(z + p_2)} \quad (3.15)$$

Para determinar la ubicación de los polos  $p_1$  y  $p_2$ , se utiliza la técnica del lugar geométrico de las raíces (LGR), con el apoyo de la herramienta de Sisotools de Matlab v7.6, la cual es una interfaz gráfica que muestra paneles del LGR y Bode dinámicos, de tal forma que cualquier modificación en los parámetros de la planta o del controlador, se muestran directamente en ellos.

Primero, en el menú “import” (Figura 3.4) del Sisotools se importa desde workspace el modelo del sistema en estudio, y en base a la arquitectura de control propuesto (Figura 3.3),  $G$  que representa la planta en este programa será la función de transferencia de la ec. 3.12. Posteriormente, se vuelve al menú “import” para capturar un valor para  $F$  igual a 3,5, con el objetivo de disminuir el error en estado estacionario.

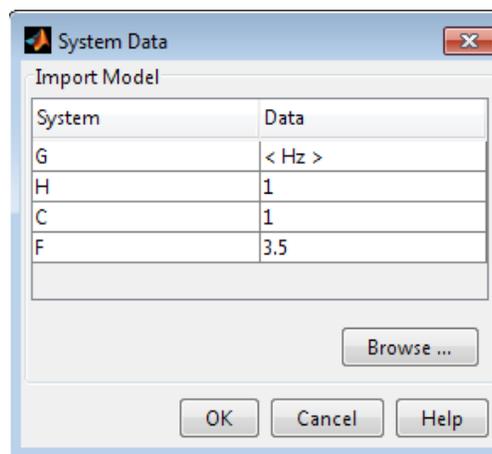


Figura 3.4 Menú de Import de Sisotools.

Una vez importado el modelo, se procede a cancelar los polos complejos de la planta (ver localización en Figura 3.2) con ceros complejos directamente en el plano z mediante la instrucción “Add complex zero”, tal como se muestra en la Figura 3.5.

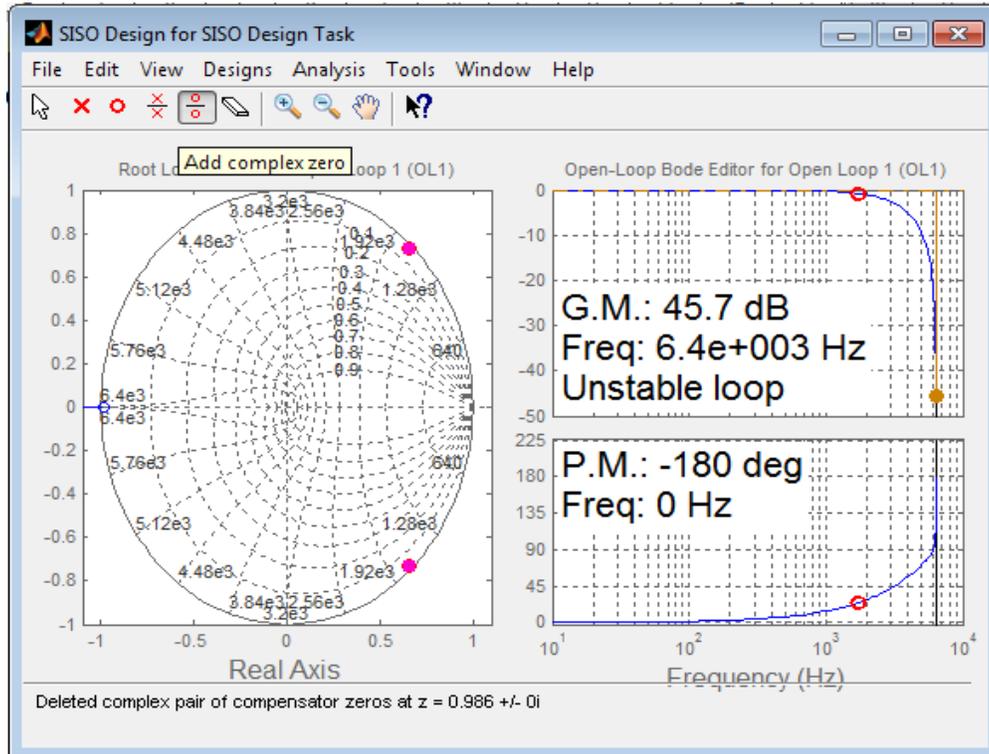


Figura 3.5 Cancelación de polos complejos con LGR en Sisotools.

En la Figura 3.5, en el plano z se observan en puntos magentas los ceros complejos por encima de los polos complejos de la planta, estos ceros OL componen el numerador del controlador.

Ahora bien, para asignar los nuevos polos del controlador se sabe que un sistema discreto estable tiene 1 o 2 polos dominantes y si sus magnitudes de dichos polos es suficientemente mayor, es decir alejados del origen con respecto a otros polos del sistema. Cabe destacar, que el peor de los casos en un CM es cuando se desconecta la carga ya que  $R_{carga} = \infty$  y el factor de amortiguamiento tiende a cero, apareciendo un alto pico de resonancia [44].

En consecuencia, el primer paso para la localización de los polos, es fijar una región de amortiguamiento mínima. Dentro de la herramienta de Sisotools es fácil determinar esta región.

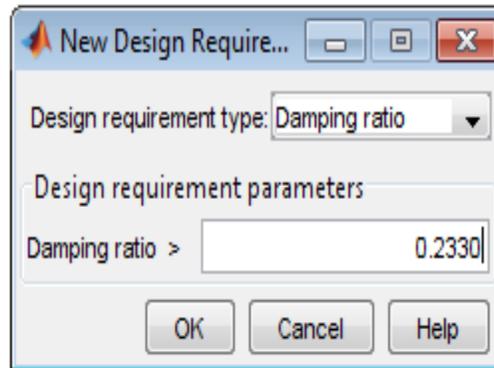


Figura 3.6 Menú para requerimiento de diseño.

En el menú de “desing requirements” (Figura 3.6) se captura el rango de amortiguamiento que para efectos se escoge un valor de 0.233, desplegando una área no sombreada como se muestra en la Figura 3.7. Si este valor capturado se aproxima a la unidad, el área se reduce hacia el origen pero en caso contrario el área se expande hacia el límite del círculo unitario de estabilidad. Por lo tanto con 0.233, resulta suficiente la distancia desde el origen hacia el borde de esta área.

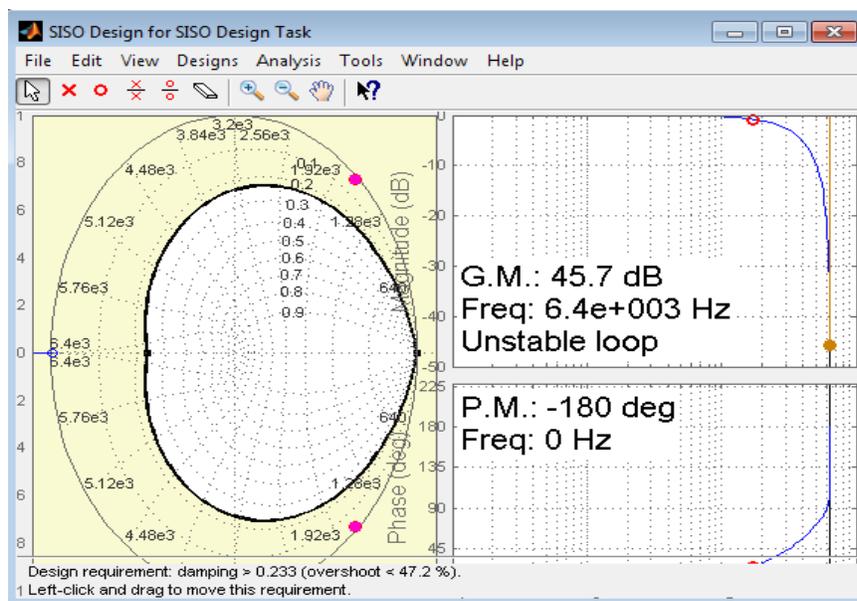


Figura 3.7 Región mínima de amortiguamiento para un valor igual a 0.233.

El segundo paso es establecer una región de la frecuencia natural del controlador. Para designar este valor, nuevamente en el menú de “desing requirements” (Figura 3.6) en el tipo de requerimiento se selecciona la opción de “natural frequency” y se captura un valor de 4000 Hz, donde se despliega inmediatamente una línea parabólica para indicar un nuevo límite interceptándose con la línea de amortiguamiento (Figura 3.8). Finalmente, en este punto de intercepción, es donde se asignan los nuevos polos (p1 y p2) para el controlador con la opción de “add complex pole” tal como se observa en la Figura 3.8.

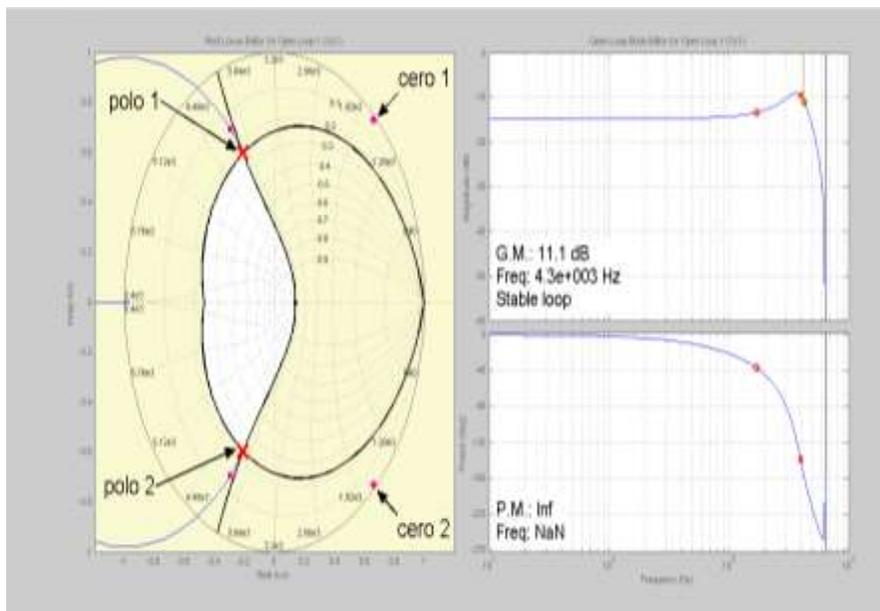


Figura 3.8 Localización de polos y ceros del controlador.

Por lo tanto, la interfaz desplegará el valor de los polos que componen el denominador y la ganancia del controlador, tales valores son:

$$\text{Polo 1} = -0.211 + 0.5979j.$$

$$\text{Polo 2} = -0.211 - 0.5979j. \quad \text{y} \quad k = 0.7931$$

Es importante mencionar que el valor de amortiguamiento de 0.233 fue elegido debido a que si es cercano a la unidad el sistema es inestable cuando la carga es desconectada, si el valor es inferior al seleccionado los polos estarían al

borde del círculo de estabilidad siendo inestables en lazo cerrado, es decir el controlador tiende al mismo comportamiento como en la ec. 3.13, pero con sus respectivos polos.

Para la elección definitiva de la frecuencia natural de 4000 Hz del controlador teniendo fija la zona de amortiguamiento, se asignan diferentes regiones de frecuencias naturales y en cada punto de cruce con el borde del área de amortiguamiento, tal como en el ejemplo anterior, se obtienen diferentes polos (ver Tabla 3.1) los cuales se sustituyen en el denominador del controlador y cada uno se prueban en el sistema de la Figura 3.9.

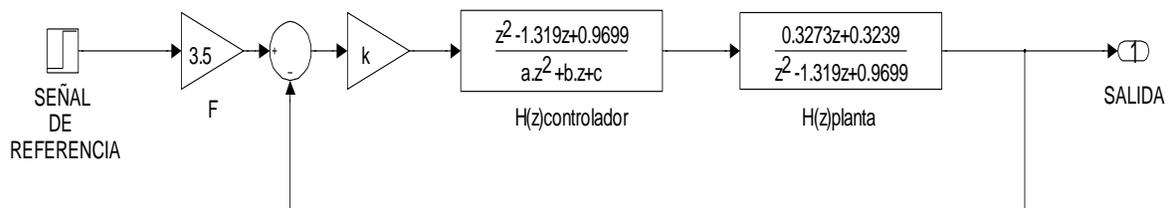


Figura 3.9 Sistema de prueba en simulink de la arquitectura de control.

En las Figuras 3.10 y 3.11 se observan diferentes respuestas de salida cuando el sistema tiene como señal de referencia un escalón unitario. El criterio del sobretiro es del 20%. En la Tabla 3.1, se tiene el resumen de los resultados de acuerdo a los diferentes polos obtenidos variando la frecuencia natural del controlador.

Tabla 3.1. Resumen de respuestas para diferentes Fn del controlador.

CONTROLADOR #	FRECUENCIA NATURAL (Fn)	GANANCIA (k)	POLOS	TIEMPO DE ASENTAMIENTO A VALOR MÁXIMO (ms)	AMPLITUD	NÚMERO DE MUESTRAS (N)
1	528 Hz	0.0263	0.91±0.2406j	7	0.746	89
2	2.2 kHz	0.3462	0.3854±0.6988j	2.4	0.778	30
3	3 kHz	0.5439	0.098±0.7031j	2.28	0.700	29
4	4 kHz	0.7931	-0.211+0.5979j	2.2	0.780	28

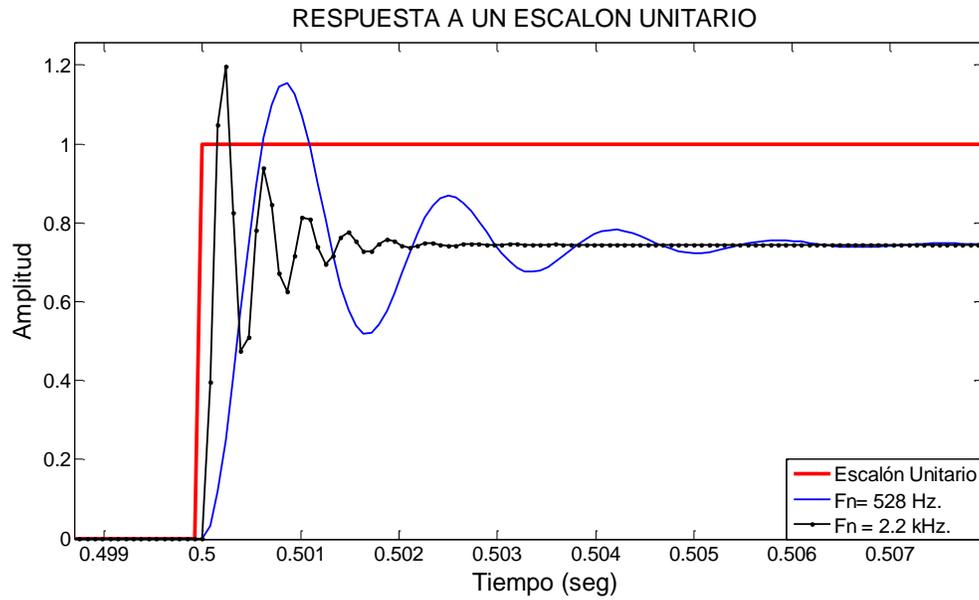


Figura 3.10 Respuesta escalón para dos frecuencias naturales ( $F_n$ ) del controlador.

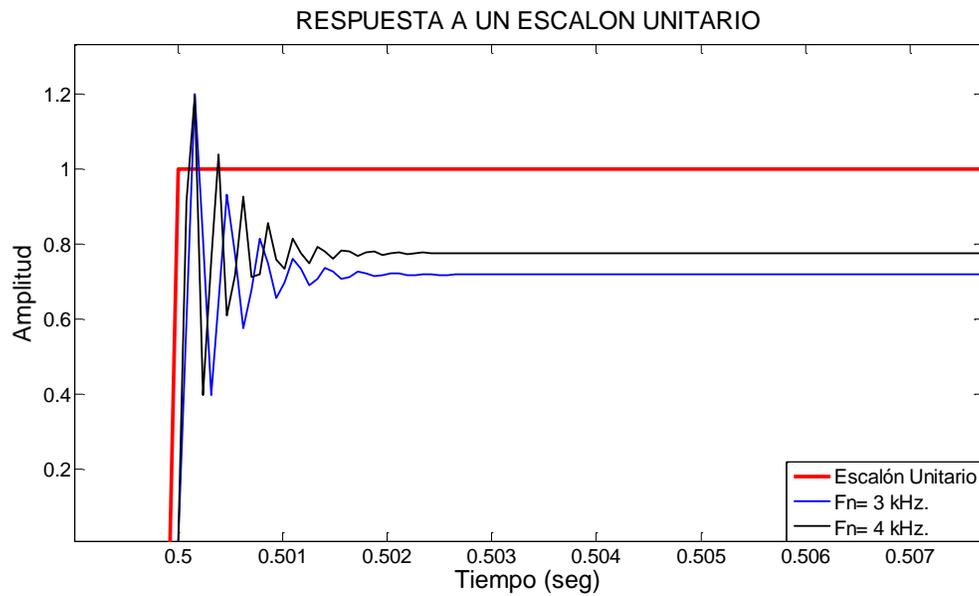


Figura 3.11 Respuesta escalón para dos frecuencias naturales ( $F_n$ ) del controlador.

De las Figuras 3.10 y 3.11 se pueden observar que las amplitudes máximas en el tiempo de establecimiento no son iguales a la unidad, pero este problema se puede solucionar aumentando en simulink la ganancia  $k$  en cada uno de los controladores obtenidos y así acercarse al valor deseado en la salida, con este método se obtiene una ganancia máxima.

Para confirmar la elección del controlador con una frecuencia natural de 4000 Hz con sus polos respectivos y con una ganancia máxima obtenida de  $k=1.1$ , se compara únicamente con el controlador #1, ya que su número de muestras para llegar al tiempo de establecimiento con una entrada escalón unitario es mayor al número de muestras del controlador seleccionado; pero ahora la señal de referencia de la Figura 3.9 se sustituye por una señal sinusoidal con una frecuencia de 400 Hz para verificar el comportamiento de estos dos controladores con este tipo de señales. Los resultados se observan en la Figura 3.12.

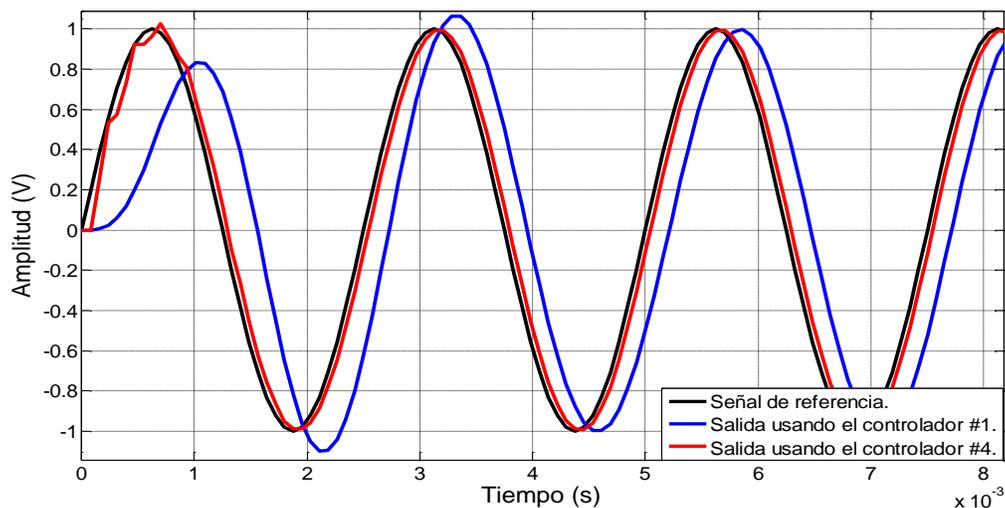


Figura 3.12 Respuesta a una señal sinusoidal como referencia para el controlador #1 y #4.

En figura anterior la respuesta del controlador seleccionado (línea roja) alcanza el valor de referencia en medio ciclo, en cambio el del controlador #1 a partir de un ciclo y medio presentando a su vez un atraso, lo cual habría la necesidad de añadir un compensador de adelanto.

Por lo tanto, la arquitectura de control queda como en la Figura 3.13.

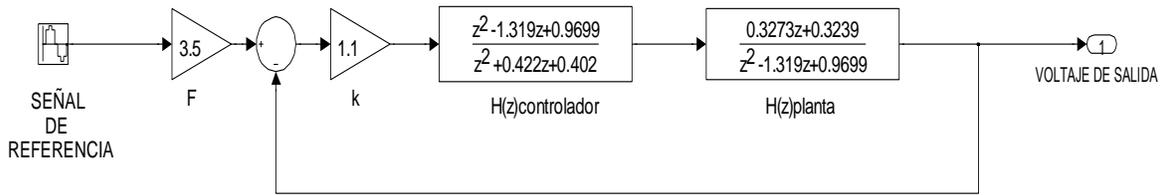


Figura 3.13 Arquitectura de control (control de seguimiento y planta).

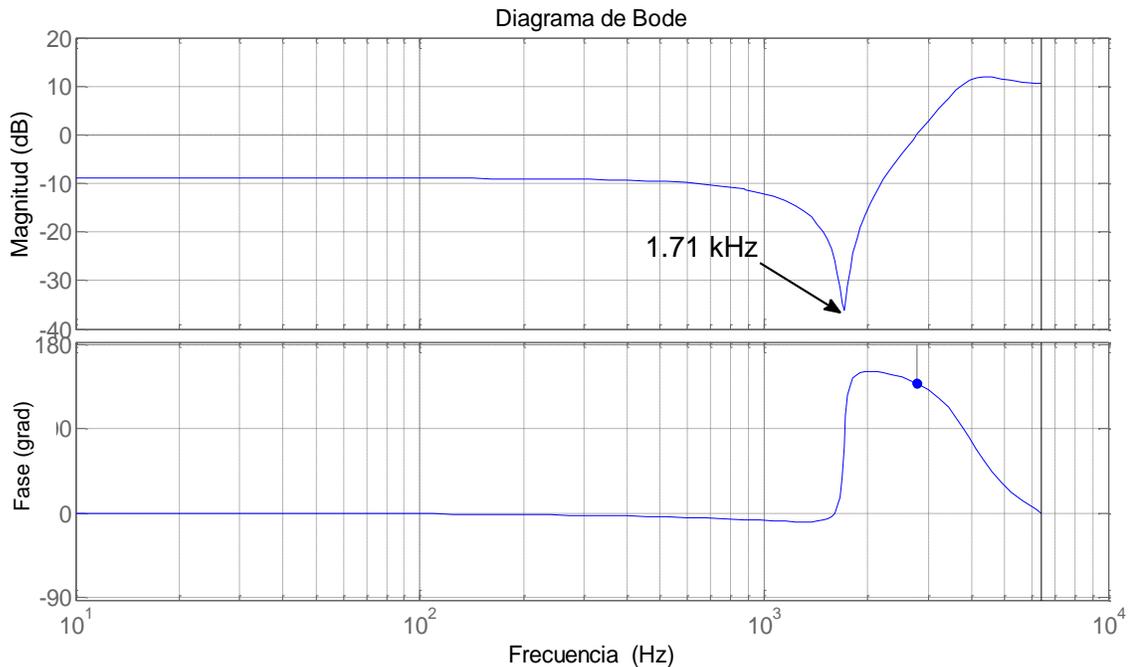


Figura 3.14 Diagrama de Bode del controlador.

En el diagrama de Bode del controlador (Figura 3.14), se observa con claridad que el controlador atenúa el pico de resonancia de la planta debido a que la localización de los ceros del controlador están por encima de los polos de la planta, esta cancelación de polos dominantes asociados con el comportamiento oscilatorio del filtro de salida LC, modifica la respuesta en frecuencia del sistema.

### 3.3 DISEÑO DEL CONTROL REPETITIVO.

De acuerdo con la sección 2.6, Figura 2.16, el valor de  $Q(z)$  es una constante cercana a la unidad, la cual ordinariamente es de 0.95 [45]. El compensador  $S(z)$  limita la amplificación de armónicos proporcionados por el control repetitivo en altas frecuencias y ruido. Diversas literaturas proponen distintos compensadores, pero en este caso es un filtro IIR paso bajo de segundo orden con una frecuencia de corte de 400 Hz [46].

Para el diseño de este compensador se usa la herramienta de `fdatool` de Matlab v7.6, la cual es una interfaz gráfica para el diseño de filtros digitales. El primer paso es abrir esta herramienta capturando directamente en la pantalla principal de Matlab v7.6 la instrucción “`fdatool`” que despliega una interfaz como se muestra en la Figura 3.15.

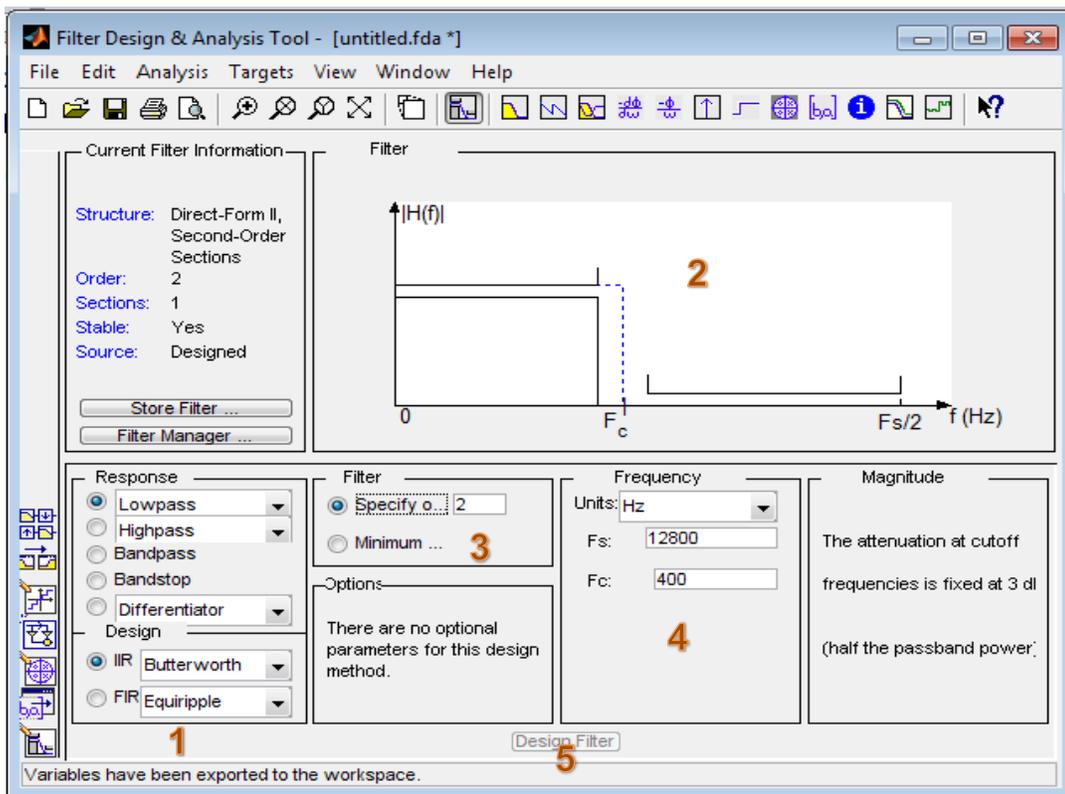


Figura 3.15 Herramienta `fdatool` para diseño de filtros digitales.

En el punto 1 de la figura anterior, se selecciona el tipo de filtro a diseñar, en este caso es un filtro IIR de tipo paso bajo empleando el método “butterworth”. En el punto 2, se observa la respuesta en frecuencia del filtro seleccionado. En el punto 3, se especifica el orden del filtro donde se captura un valor de 2do orden. En el punto 4, se fija la frecuencia de muestreo ( $f_{SW}$ ) del convertidor que es igual a 12.8 kHz y la frecuencia de corte (Fc) del filtro que es igual a 400 Hz. Una vez que se han capturado estos datos, se selecciona “Diseñar filtro” (punto 5) y la herramienta de diseño despliega los coeficientes del numerador y denominador del filtro en forma de matriz SOS (second-order section), ec. 3.16 con una ganancia  $g$  [47].

$$SOS = \begin{bmatrix} b_{01} & b_{11} & b_{22} & 1 & a_{11} & a_{21} \\ b_{02} & b_{12} & b_{22} & 1 & b_{12} & b_{22} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ b_{0L} & b_{1L} & b_{2L} & 1 & a_{1L} & a_{2L} \end{bmatrix} \quad (3.16)$$

Para poder acceder a estos coeficientes y a la ganancia  $g$ , en el menú de archivos se selecciona “Export” (Figura 3.16) para exportarlos en forma de la matriz SOS con la ganancia  $g$  en workspace.

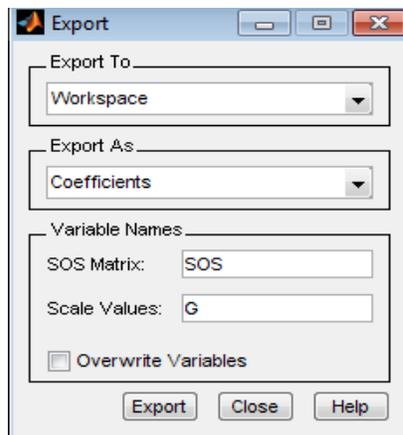


Figura 3.16 Menú “Export”.

Entonces la matriz para este filtro y la ganancia  $g$  que se obtiene es:

$$\begin{aligned} SOS &= [1.0 \quad 2.0 \quad 1.0 \quad 1.0 \quad -1.7238 \quad 0.7575]; \\ g &= 0.0084. \end{aligned} \quad (3.17)$$

Para convertir la representación SOS de este filtro digital a una función de transferencia equivalente  $S(z)$  dada por la ec. 3.18 [47]. Se hace uso de la función `sos2tf(SOS,g)` de Matlab v7.6.

$$S(z) = g \sum_{k=1}^L S_k(z) = \sum_{k=1}^L \frac{b_{0k} + b_{1k}z^{-1} + b_{2k}z^{-2}}{1 + a_{1k}z^{-1} + a_{2k}z^{-2}} \quad (3.18)$$

De la ecuación anterior se tiene que la función de transferencia de este filtro es:

$$S(z) = \frac{0.0084z^2 + 0.0169z + 0.0084}{z^2 - 1.724z + 0.7575} \quad (3.19)$$

En la Figura 3.17 se observa la respuesta en frecuencia de la ec. 3.19, donde la frecuencia de corte es de 400 Hz cuya magnitud decae rápidamente en altas frecuencias.

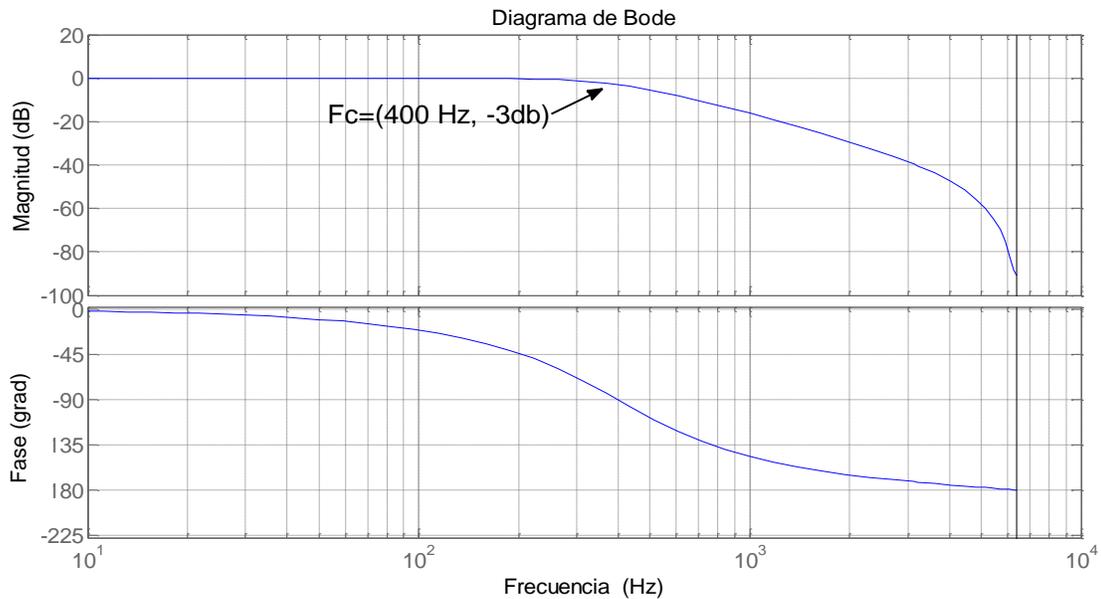


Figura 3.17 Diagrama de Bode del filtro de segundo orden  $S(z)$ .

La selección más importante en el control repetitivo (Figura 2.16) es el valor de  $N$ , donde se especifica en la sección 2 que es el número de muestras de un periodo fundamental del voltaje de referencia y está dada por la ec. 3.20, donde  $f_{sw}$  es la frecuencia de operación y  $f_o$  es la frecuencia de salida del sistema [48].

$$N = \frac{f_{sw}}{f_o} = \frac{12800}{400} = 32 \quad (3.20)$$

El valor dado por esta última ecuación representa las muestras de retardo en que se ejecuta la acción de control, es decir que el error en un periodo fundamental de 32 muestras se integra con el error del siguiente ciclo.

El valor de  $K_r$  de la Figura 2.16 es la ganancia del CR, y de acuerdo a la ec. 2.69, si  $T(z)$  es pequeño, el rango de convergencia es grande, por lo tanto el valor de  $K_r$  debe ser alto sin embargo el margen de estabilidad disminuye, pero si  $K_r$  es de un valor muy bajo su margen de estabilidad es mayor pero la convergencia es lenta. Por lo tanto, para no afectar la condición de la ec. 2.69 el valor máximo recomendado es de 1, para este caso se selecciona  $K_r=0.6$  [49].

Debido al polinomio generador  $C(z)$  (ec. 2.59) del CR y de  $P(z)$  ( $P(z)=H(z)_{controlador} * H(z)_{planta}$ ), existirá retardo en la señal generada con respecto a la señal de referencia el cual puede ser compensado con  $z^{-k} = z^{-k_1} * z^{-k_2}$ . Una forma de definir el valor de  $k_1$  y  $k_2$  es monitorear en las simulaciones el punto de salida de  $C(z)$  y el punto de la señal de referencia (ver Figura 3.18) para poder ajustar el desfase existente entre estas dos señales. Después de varias pruebas los valores que se obtienen son:  $k_1=21$  y  $k_2=2$ , por lo tanto  $z^{-23}$ .

El control repetitivo queda representado como en la Figura 3.18, en donde su salida es una nueva señal generada sin error para al control de seguimiento.

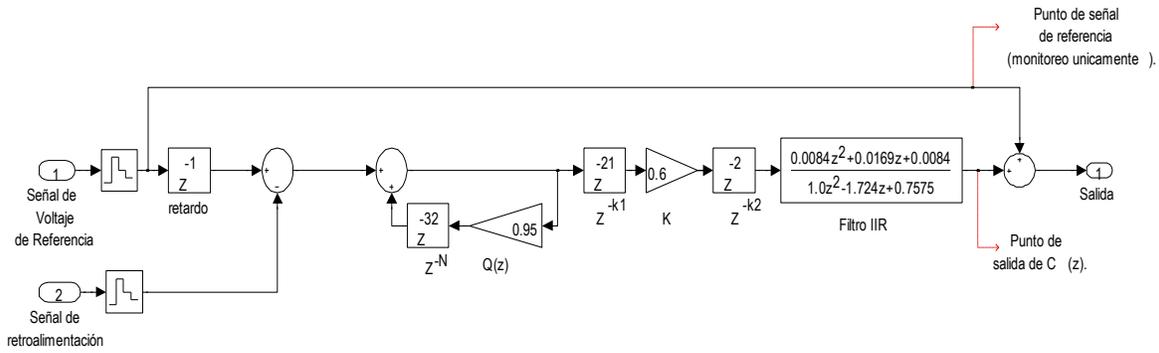


Figura 3.18 Diagrama de bloques del control repetitivo (CR).

En el CR de la Figura 3.18, se agrega un retardo ( $z^{-1}$ ) a la señal de referencia para estar en fase con la señal de retroalimentación.

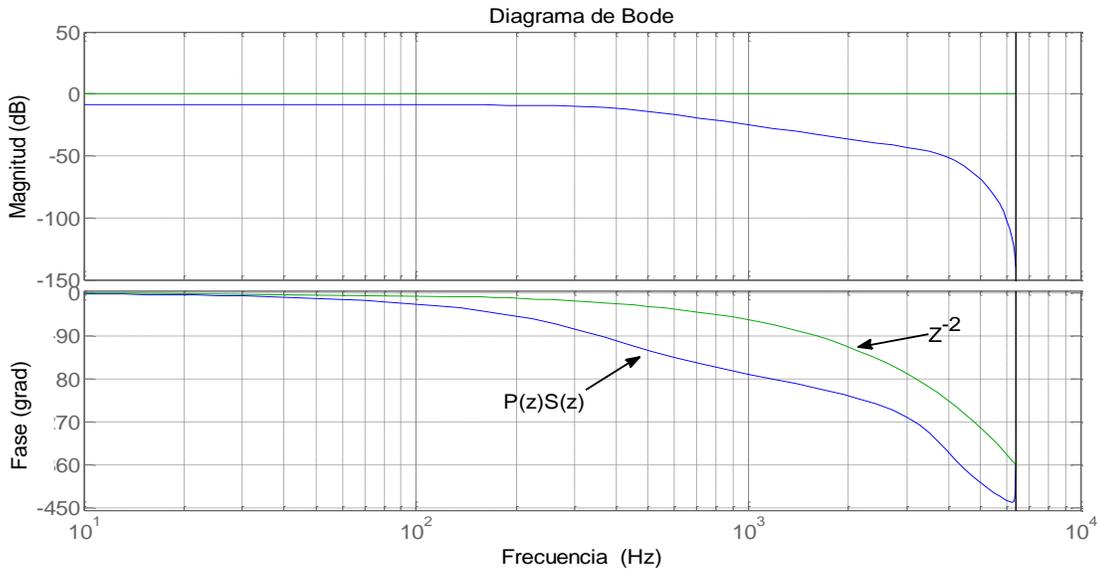


Figura 3.19 Curva de magnitud de  $P(z)S(z)$ .

En la Figura 3.19 se observa que  $z^{-k2}$ , compensa el retardo generado por  $P(z)S(z)$  en altas frecuencias, sea  $P(z) = H(z)_{\text{controlador}} * H(z)_{\text{planta}}$  de la Figura 3.13, es decir:

$$P(z) = \frac{0.3273z + 0.3239}{z^2 + 0.422z + 0.402} \quad (3.2)$$

## **CAPÍTULO 4. SIMULACIÓN DEL CONVERTIDOR MATRICIAL.**

### **4.1 INTRODUCCIÓN.**

En este capítulo se realizan las simulaciones en Matlab v7.6/Simulink del convertidor matricial 3x3, con y sin el sistema de control propuesto en los capítulos anteriores, bajo diferentes condiciones de carga: resistiva (R) y resistiva-inductiva (RL) ya sean balanceadas o desbalanceadas.

Las primeras simulaciones corresponden al funcionamiento en lazo abierto sin el filtro de entrada y salida, posteriormente serán añadidos. En la segunda etapa se cierra el lazo de control del voltaje de salida, integrado por el control de seguimiento propuesto en la sección 3.2. Finalmente, al lazo de control del voltaje se añade el control repetitivo para disminuir el error entre los voltajes de referencia y los voltajes de salida medidos en las terminales de los capacitores del filtro de salida, lográndose además con este control atenuar el contenido armónico en los voltajes de salida. En cada etapa se analiza el espectro armónico de los voltajes de salida así como los de la corriente de entrada y salida. Estas simulaciones son importantes para analizar el comportamiento del convertidor matricial antes de que los controladores y la técnica de modulación sean implementados en el prototipo.

La técnica de modulación utilizada es por vectores espaciales (SVM) descrita en la sección 2.2.1.

## 4.2 SIMULACIÓN DEL CONVERTIDOR MATRICIAL SIN FILTROS.

Las siguientes simulaciones son en lazo abierto sin incluir el filtro de entrada y salida. La Figura 4.1 representa el modelo gráfico en Simulink del sistema del convertidor matricial 3x3.

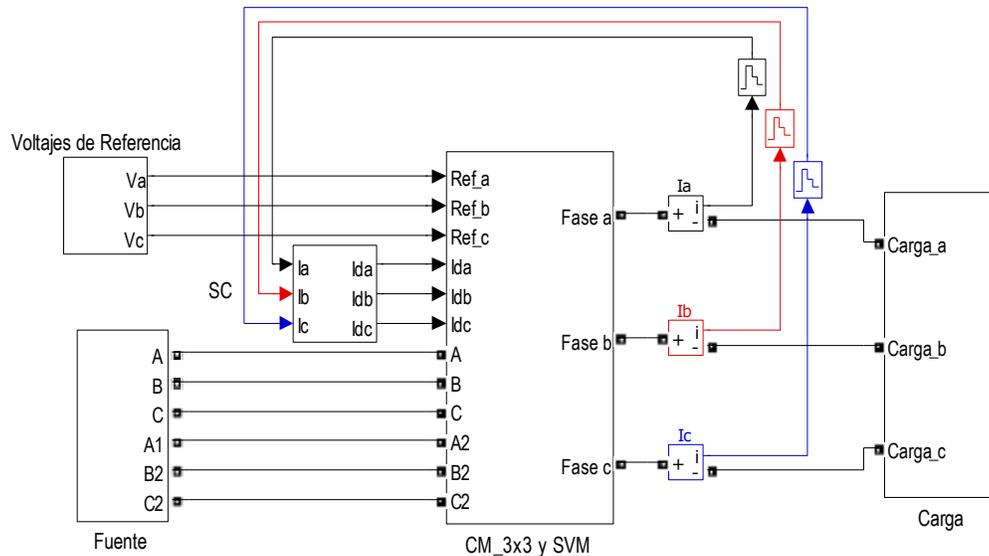


Figura 4.1 Esquema del convertidor matricial 3x3 sin filtros.

A continuación se describen los contenidos de los bloques que integran el sistema. Los bloques definidos como *fuentes* y *carga* se ilustran en la Figura 4.2.

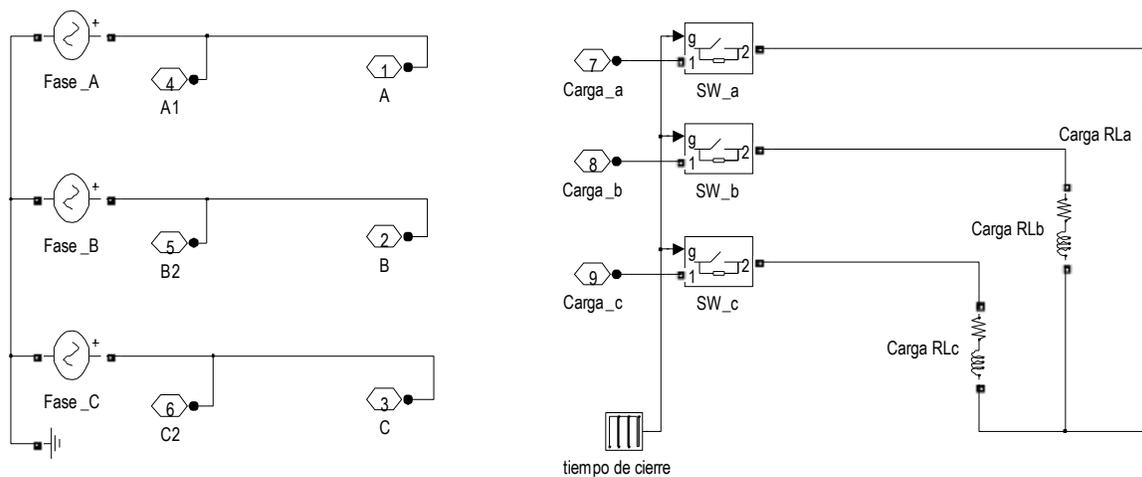


Figura 4.2 Contenido de los bloques de la fuente y carga.

La fuente de alimentación trifásica se fija a un voltaje de 90 Vrms<sub>L-N</sub>. Las etiquetas A1, B2 y C2, son puntos de medición de los voltajes de entrada utilizados en el SVM para calcular el vector de entrada. Las etiquetas A, B y C, son los puntos de conexión de la fuente con el CM (ver Figura 4.4). Los interruptores SW\_a, b y c, son para conectar/desconectar la carga. Generalmente, se recomienda que la carga este siempre conectada al convertidor, así como una inductancia en cada fase de salida con el objetivo de proteger al CM de altos valores del di/dt, causados por las altas frecuencias de conmutación de los interruptores bidireccionales [50] - [51].

El bloque de los voltajes de referencia contiene la transformación lineal al marco de referencia d-q (Apéndice B). Donde se puede fijar el valor del voltaje de referencia, a un valor constante (Vo), y de la frecuencia de salida del sistema (Figura 4.3). El voltaje de referencia (Vo) se fija a 56 Vrms<sub>L-N</sub> con frecuencia de salida de 400 Hz. El valor de Vo puede ser variable, pero sin exceder el índice de modulación (ec. 2.32), entonces en este caso se tiene que:

$$q = V_o / V_i = 56 / 90 = 0.622 \quad (4.1)$$

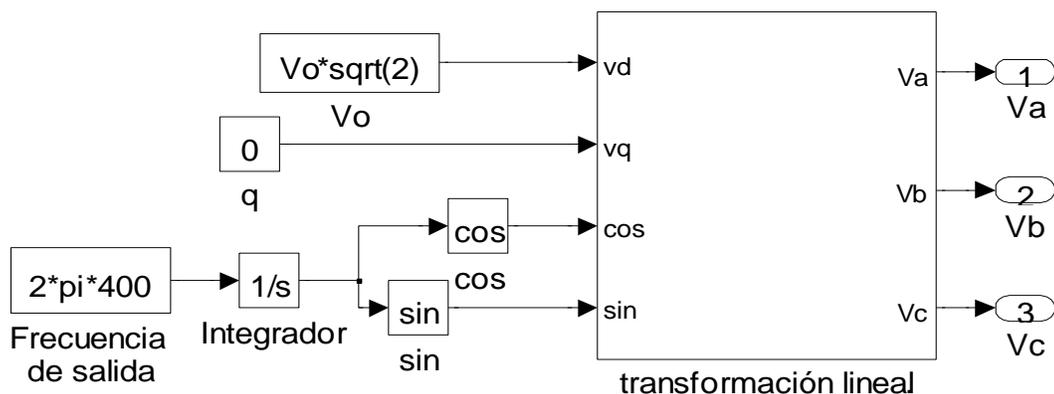


Figura 4.3 Contenido del bloque de los voltajes de referencia.

En la Figura 4.4a el *bloque del sentido de las corrientes* (SC) contiene una instrucción lógica por fase: Si la corriente  $I_x > 0$ , la salida  $I_{dx} = 1$  pero si  $I_x < 0$ , la salida  $I_{dx} = 0$ ; donde  $x = a, b$  ó  $c$ . Este tren de pulsos de unos y ceros determina el sentido de la corriente en cada una de las fases, y es un pulso de entrada al diagrama lógico del sentido de la corriente (DL de SC).

El contenido del *bloque de CM 3x3 y SVM* se ilustra en la Figura 4.4 y el contenido interno de SVM se ilustra en la Figura 4.4a.

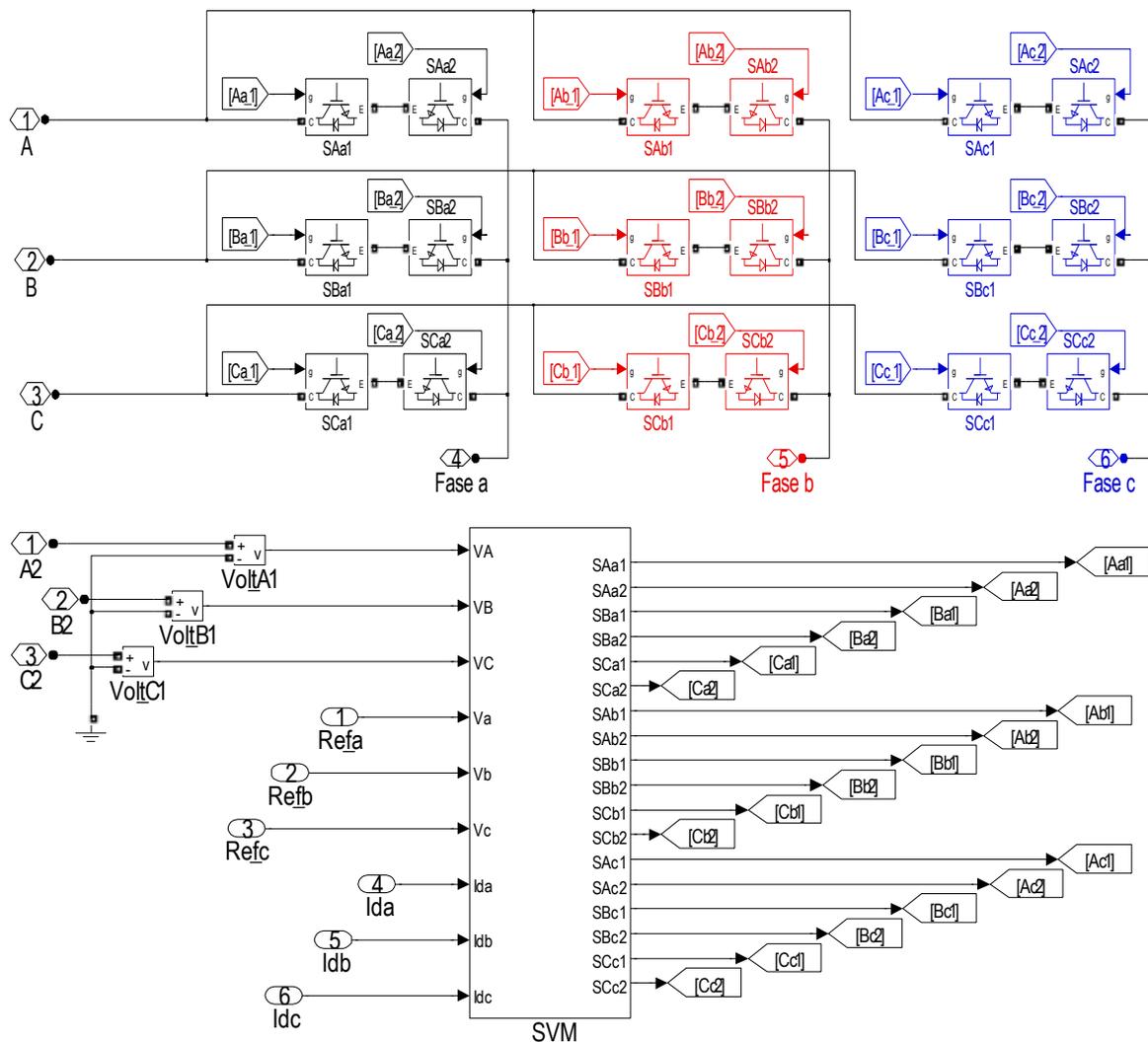


Figura 4.4 Contenido del bloque de CM 3x3 y SVM.

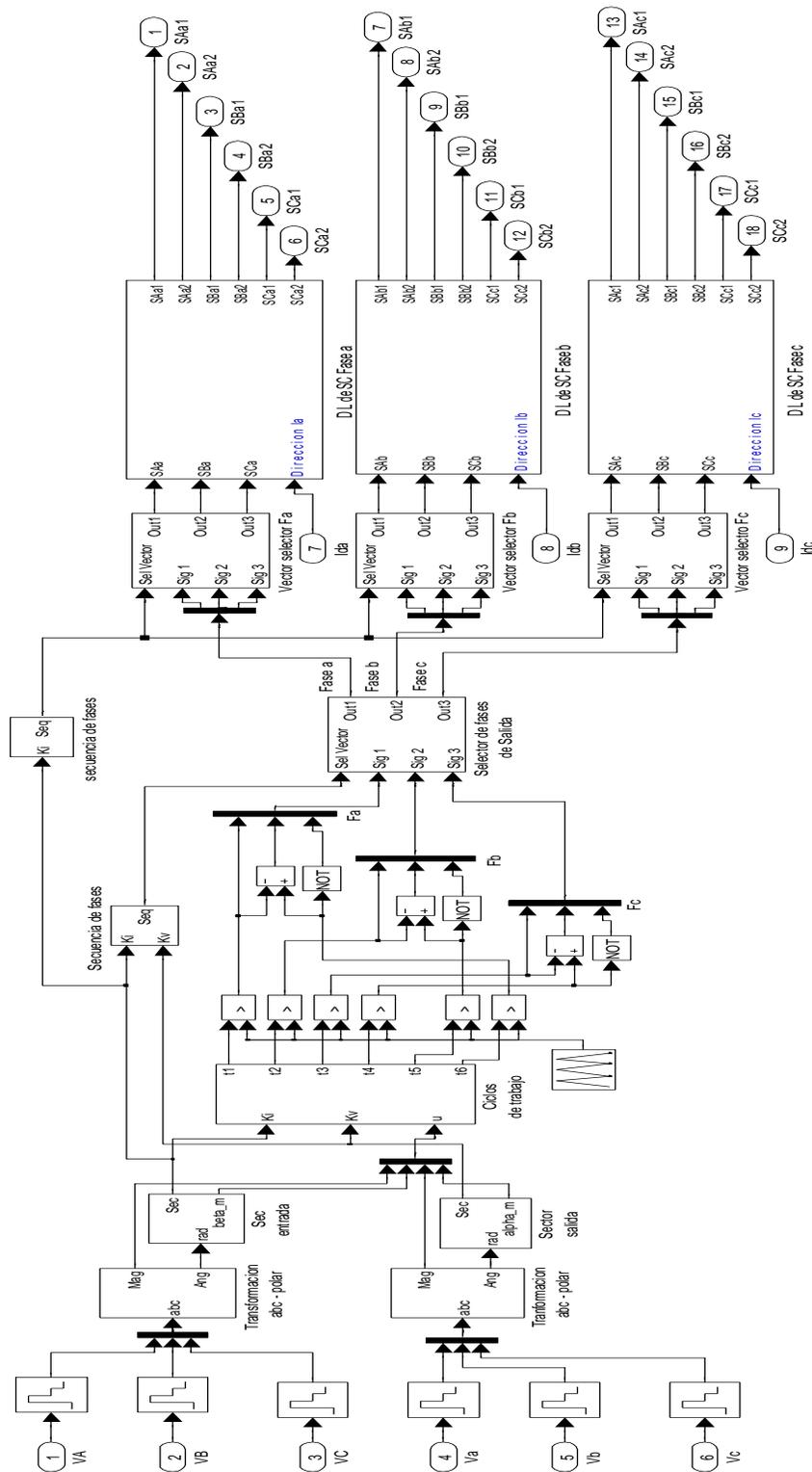


Figura 4.4a. Contenido del bloque SVM.

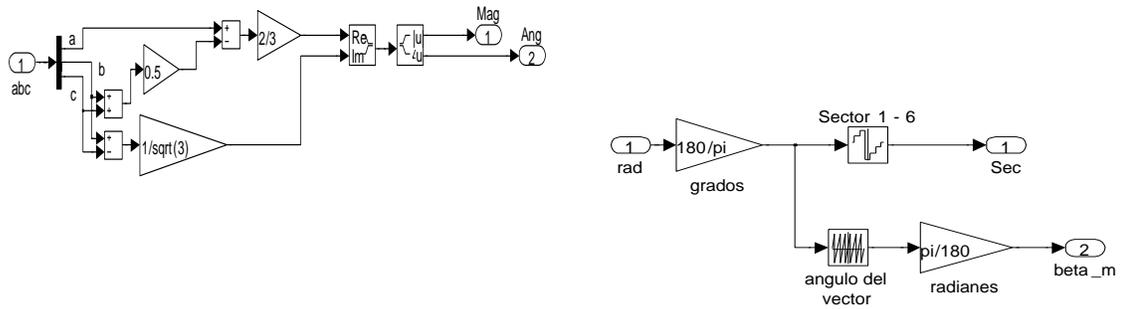


Figura 4.5 Bloques de Transformación abc- polar (izq.) y sector de entrada (der.).

En la Figura 4.5, se presenta la primera etapa del SVM, donde se determina la magnitud y el ángulo del vector del voltaje de entrada o de referencia (Tabla 2.2, sección 2.2.1) y se obtiene el sector ( $K_i$  o  $K_v$ ). Los valores de los ángulos alfa y beta se calculan en el *bloque del sector de entrada/salida* (ec. 2.21 y 2.22). La segunda etapa consiste en determinar los ciclos de trabajo (ec. 2.28) que dependen de las variables calculadas durante la primer etapa ( $V_i$ ,  $V_o$ ,  $K_v$ ,  $K_i$ , alfa y beta). En la tercer etapa, para determinar los anchos de pulsos que se aplican a las compuertas de los interruptores bidireccionales de la fase de salida a, b y c ( $F_a$ ,  $F_b$  y  $F_c$ ), los ciclos de trabajo se comparan con una forma de onda diente de sierra con una frecuencia de 12.8 kHz. En la cuarta etapa, de acuerdo al valor de  $K_i$  y  $K_v$ , se calculan los parámetros de conmutación (ver Figura 2.3, Tabla 2.3). La etapa final del SVM consiste en un bloque llamado Diagrama Lógico de Sentido de la Corriente por fase (*DL de SC fase x*), donde una de las variables de entrada es un tren de pulsos lógicos ( $I_{dx}$ ) que define el sentido de la corriente de salida en cada fase y el resto de las variables de entrada son  $S_{Ax}$ ,  $S_{Bx}$  y  $S_{Cx}$ ; donde  $x = a, b, c$ . Estos últimos trenes de pulsos se comparan unos a otros en el diagrama lógico (Figura 4.6) y como resultado se obtienen los 6 pulsos PWM correspondientes a cada interruptor ( $S_{Yx1}$ ,  $S_{Yx2}$ ; donde  $Y = A, B$  o  $C$ ) que integran a una fase de salida, realizándose de esta forma la conmutación de 4 pasos. En la Figura 4.6 se ilustra este diagrama lógico de la fase a de salida.

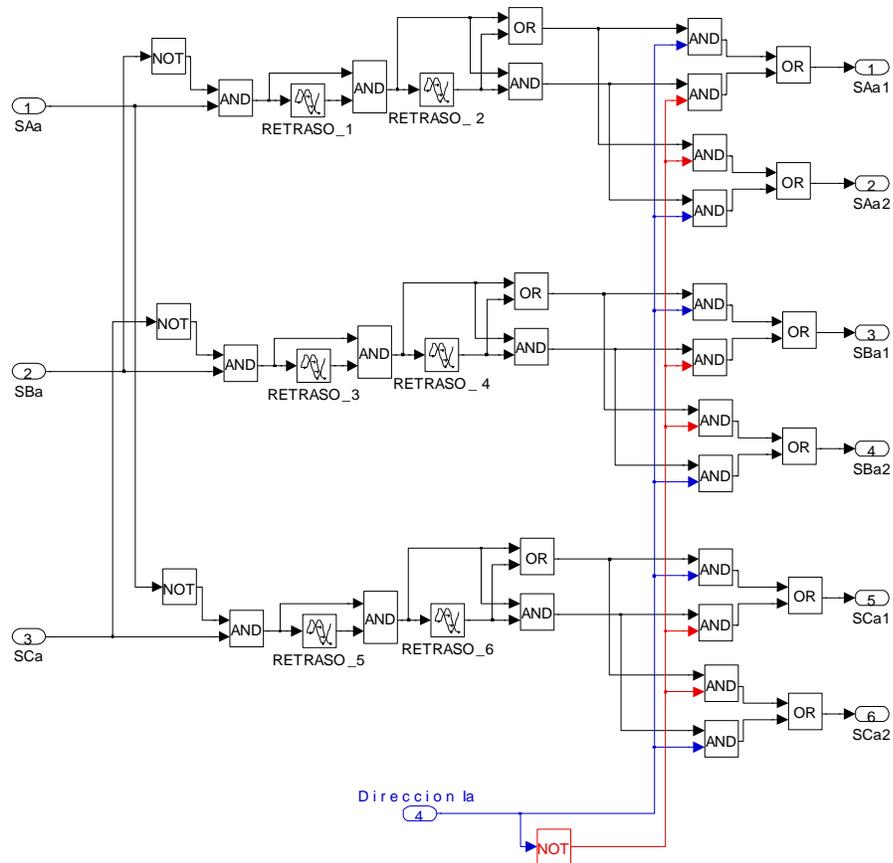


Figura 4.6 Diagrama lógico para realizar la conmutación a 4 pasos.

En la Figura 4.7 se observa la conmutación de 4 pasos; si la corriente  $I_a$  de salida es mayor a cero, entonces  $I_{da}=1$  y cuando  $I_a$  es menor a cero  $I_{da}=0$ . Por lo tanto, durante cada cambio de estado de esta señal, se ejecuta el algoritmo mostrado en la Figura 2.8. Por ejemplo, si, se necesita pasar del interruptor bidireccional SBa al SAa (Figura 4.8), siendo la corriente de salida mayor a cero, el IGBT SBa2 se abre pero se mantiene cerrado SBA1. Posteriormente en el instante  $t_1$  entra en conducción el IGBT SAa1 y en el instante  $t_2$ , el SBA1 sale de conducción. Por último en el instante  $t_3$ , el IGBT SAa2 entra en conducción, quedando la fase a de salida conectada con la fase de entrada A.

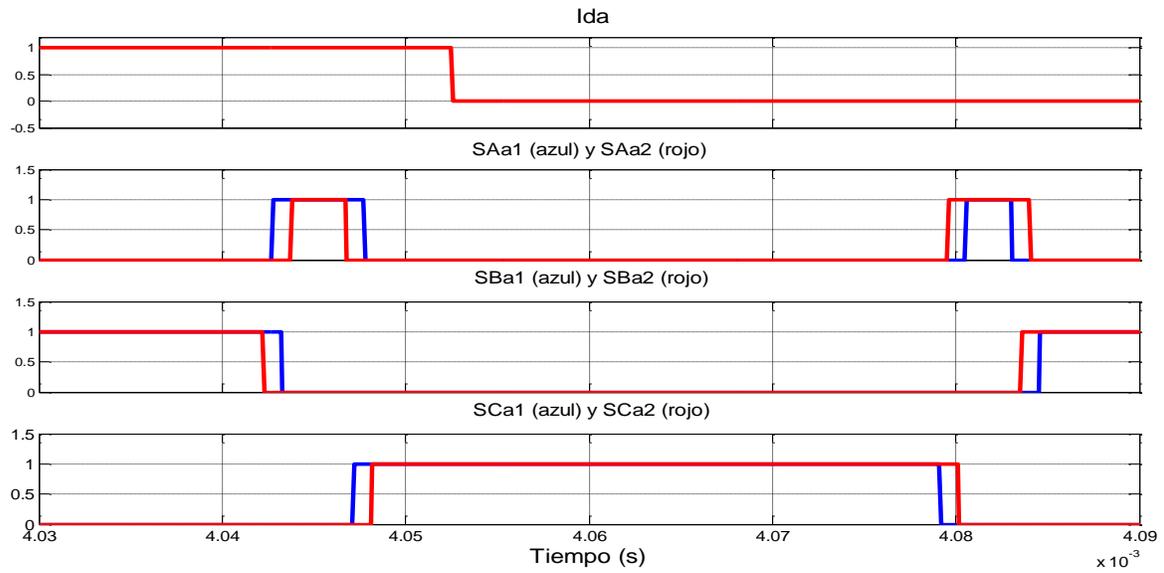


Figura 4.7 Conmutación de 4 pasos ejecutada en la simulación.

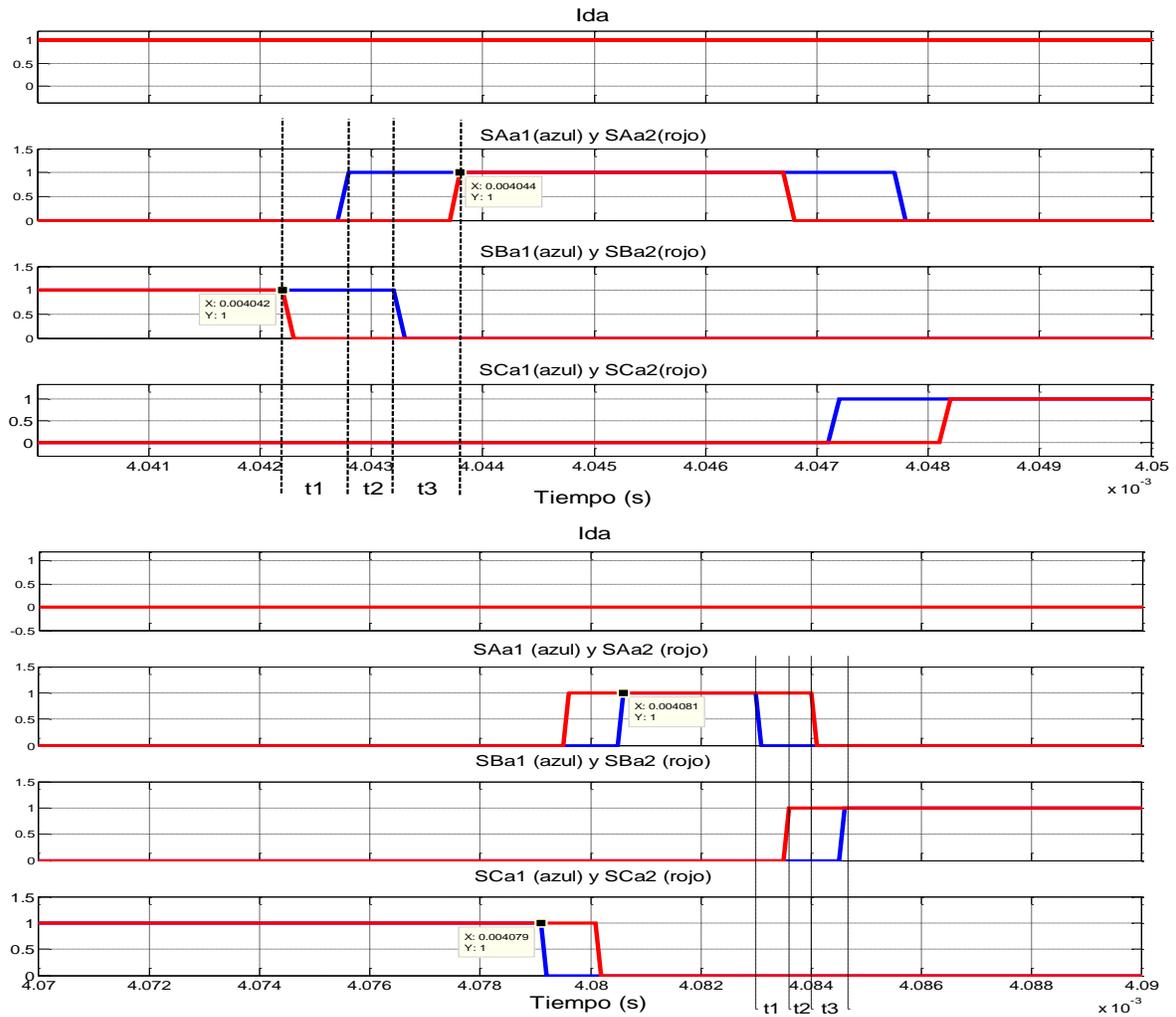


Figura 4.8 Conmutación de 4 pasos: cuando  $I_{da}=1$  (arriba) y cuando  $I_{da}=0$  (abajo).

En las simulaciones realizadas el  $t1=1\mu s$ ,  $t2=200ns$  y  $t3=800ns$ , entonces:

$$td = t1 + t2 + t3 = 2\mu s \quad (4.2)$$

Ahora bien, el siguiente procedimiento es verificar los parámetros de conmutación descritos en la sección 2.3 y Tabla 2.3. A continuación se muestran solo 2 combinaciones.

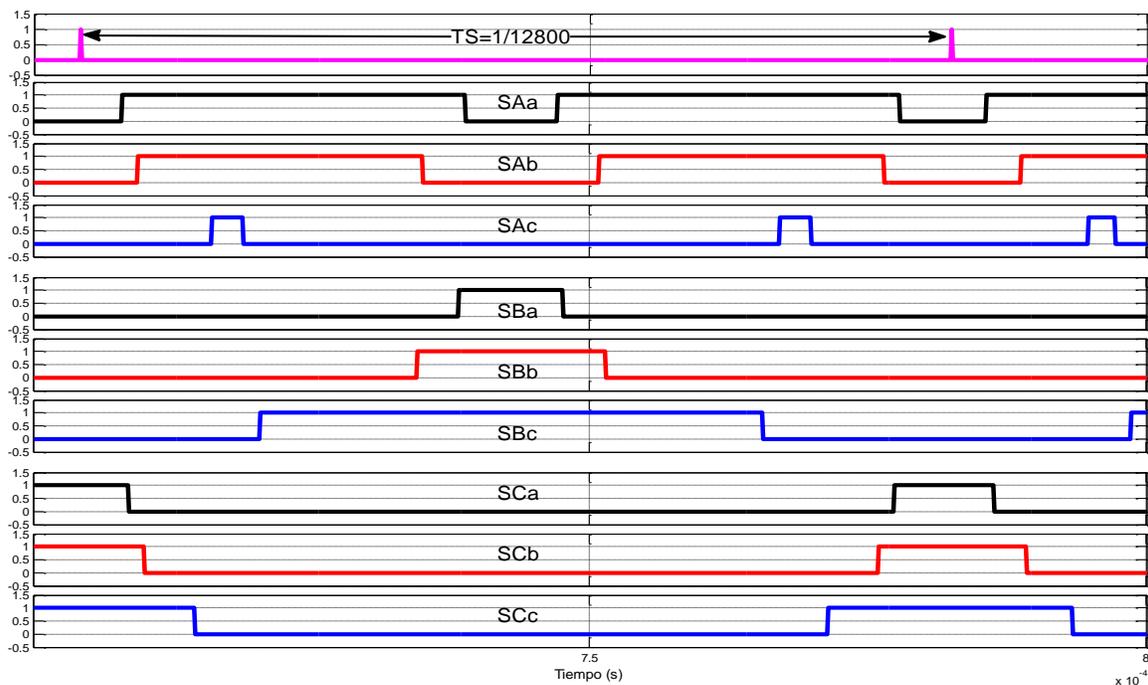


Figura 4.9 Parámetro de conmutación cuando  $Kv=1$  y  $Ki=1$ .

En la Figura 4.9 se observa el parámetro de conmutación en un periodo de muestreo ( $T_s$ ) cuando  $Kv=1$  y  $Ki=1$ . Y en la Figura 4.9a cuando  $Kv=1$  y  $Ki=3$ .

Una vez verificado el correcto funcionamiento de los bloques, se inicia con las simulaciones del convertidor matricial 3x3 con carga, sin incluir el filtro de entrada y salida.

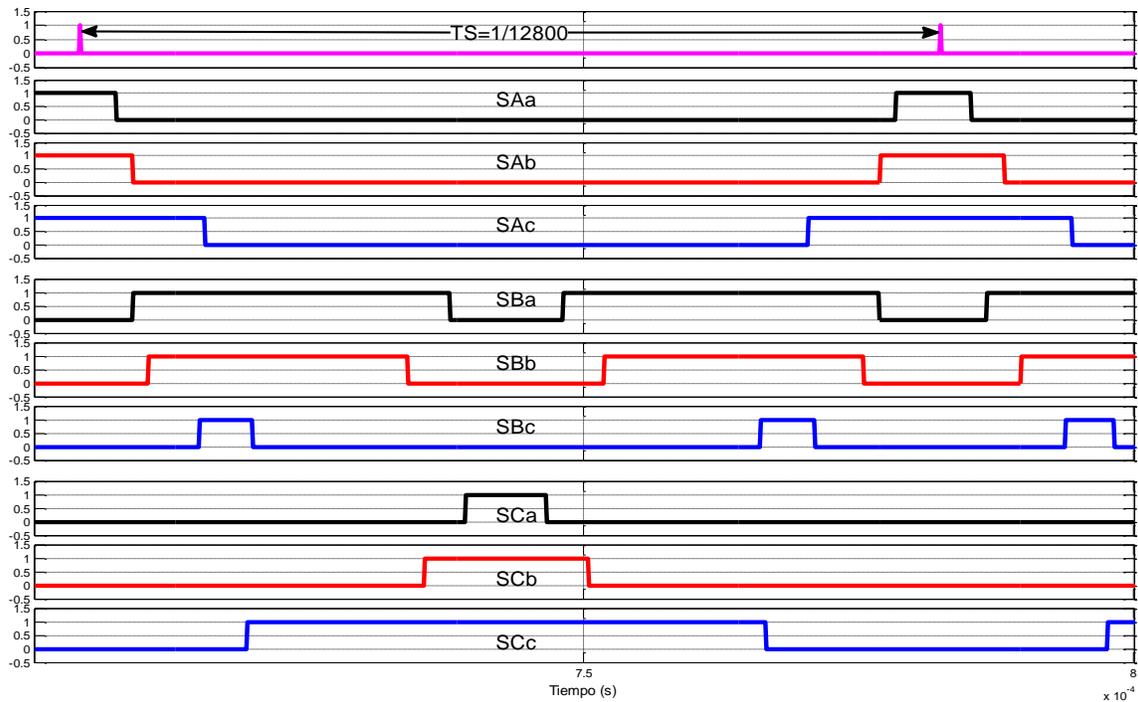


Figura 4.9a Parámetro de conmutación cuando  $K_v=1$  y  $K_i=3$ .

Los parámetros de la carga (Figura 4.2) tienen los siguientes valores:  $R=4 \Omega$  con una inductancia de  $L=128 \mu\text{H}$  por fase (estos elementos son los que se disponen en el laboratorio).

En la Figura 4.10 se observan los voltajes de salida de fase a neutro en la carga resistiva, el contenido armónico es elevado debido a que no se tiene conectado el filtro de salida. En el espectro armónico de este voltaje (Figura 4.11) se observa que no existen armónicos de amplitud elevada alrededor de la componente fundamental, presentando un  $\%THD=9.28$  (ver Apéndice E), sin embargo se aprecian bandas de armónicos a frecuencias lejanas a la fundamental con magnitudes inferiores al 3.75% con respecto a la magnitud máxima (Figura 4.12).

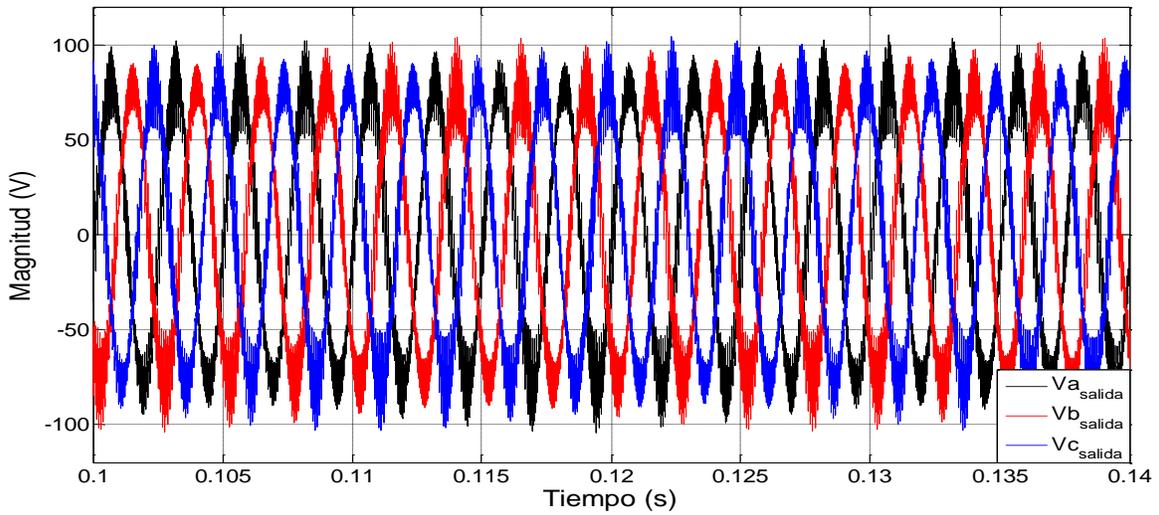


Figura 4.10 Voltajes trifásicos de salida de fase a neutro con carga balanceada.

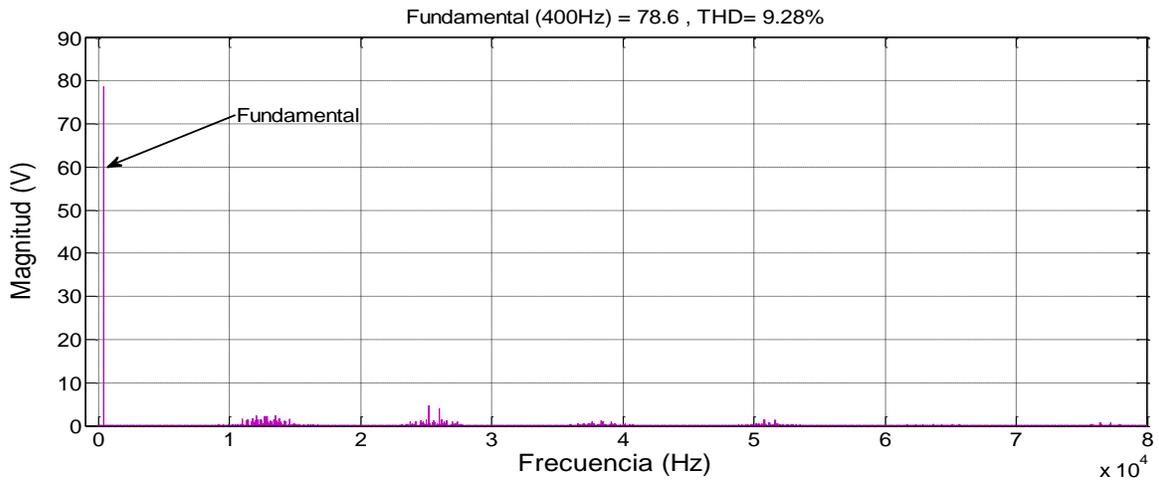


Figura 4.11 Espectro armónico del  $V_{a\_salida}$ .

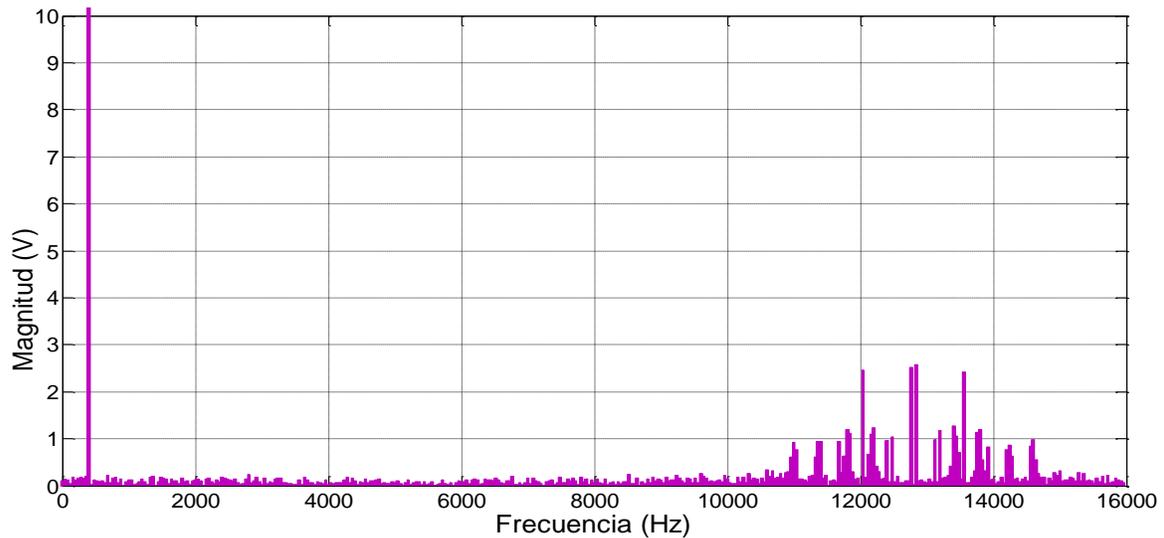


Figura 4.12 Detalle del espectro armónico del  $V_{a\_salida}$ .

Las corrientes de salida del convertidor, se aprecian en la Figura 4.13, y en la Figura 4.14 se representa el contenido armónico de la corriente de la fase de salida a, donde no se tienen armónicos de amplitud considerable cercanos a la fundamental pero si en la frecuencia de conmutación sin embargo son de magnitudes menores al 3.3% con respecto a la magnitud de la fundamental, que es igual a 19.65 Amperes (ver Figura 4.15).

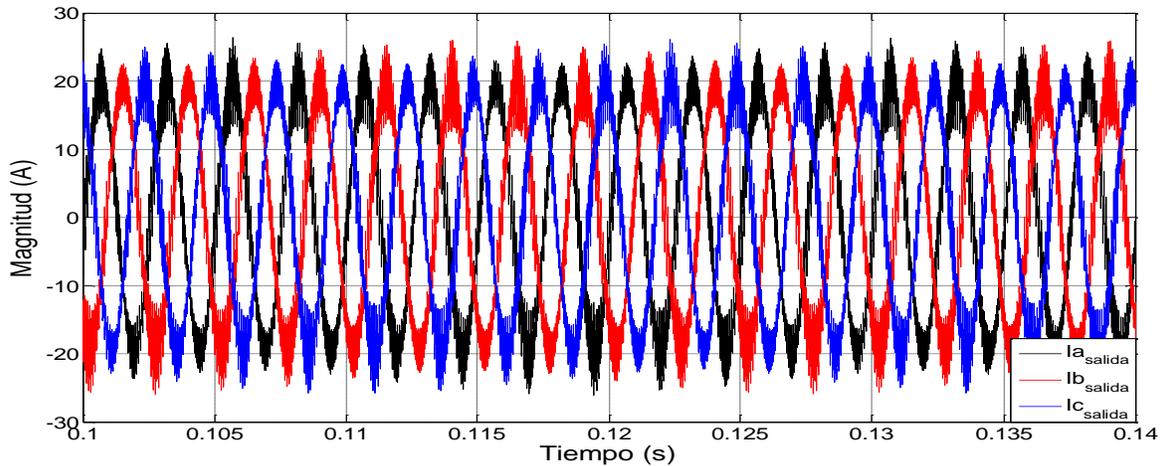


Figura 4.13 Corrientes trifásicas de salida por fase con carga balanceada.

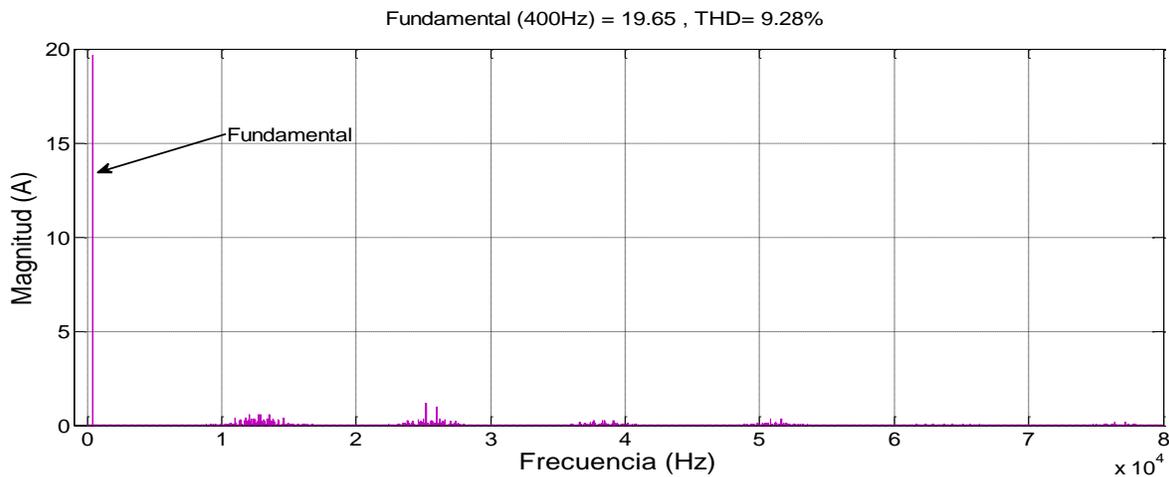


Figura 4.14 Espectro armónico de  $I_{a_{salida}}$ .

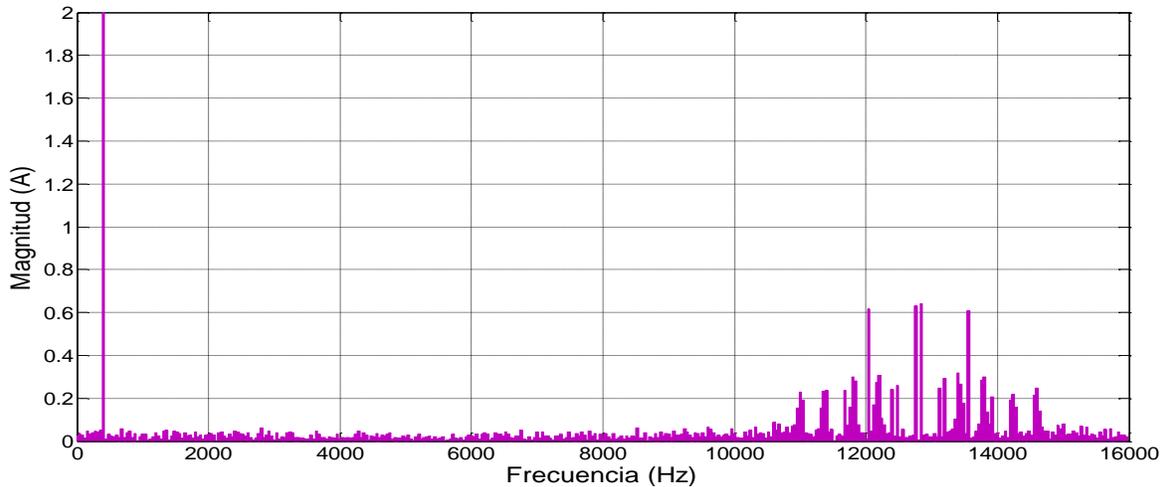


Figura 4.15 Detalle del espectro armónico de  $I_{salida}$ .

La Figura 4.16 representa la forma de onda de  $V_{Linea-Linea}$  en la salida del convertidor.

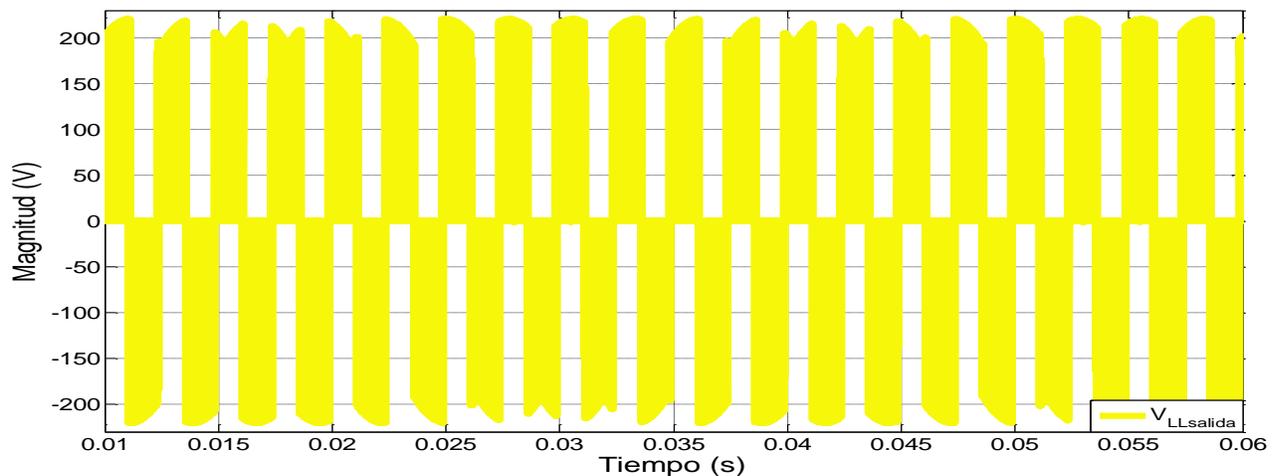


Figura 4.16 Voltaje de fase a fase ( $V_{L-L}$ ) en la salida del convertidor.

En la Figura 4.17 se observa la forma de onda de la corriente de entrada ( $I_{entrada}$ ), donde las magnitudes de los armónicos a altas frecuencias son considerables (Figura 4.18 y Figura 4.19). El valor del %THD calculado es de %THD=7.86.

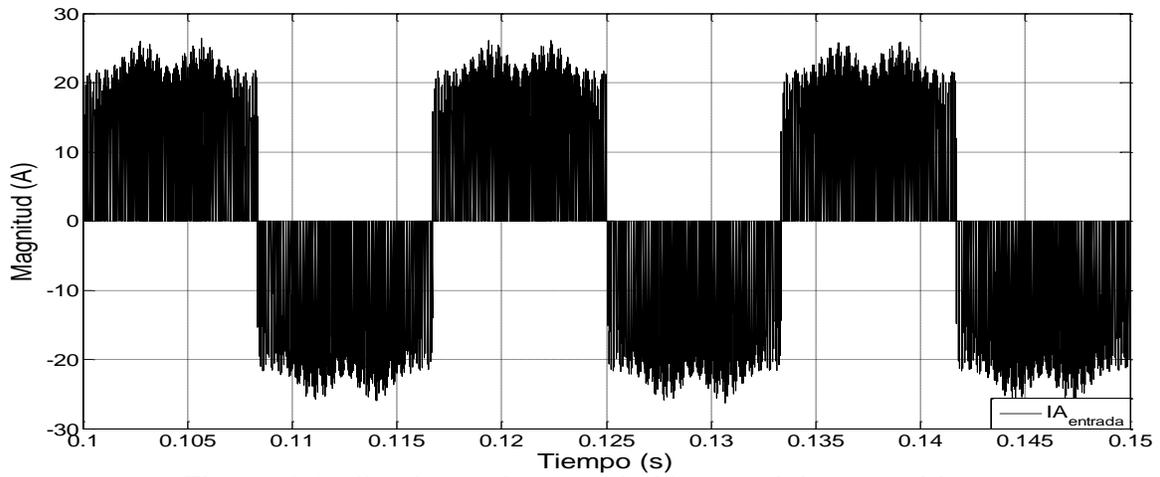


Figura 4.17 Corriente de entrada  $IA_{entrada}$  del convertidor.

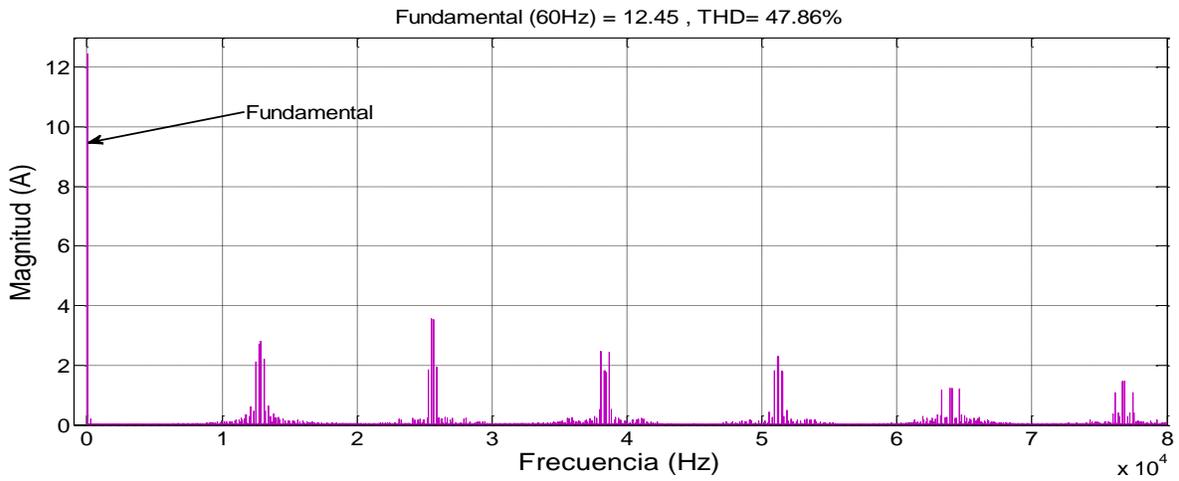


Figura 4.18 Espectro armónico de  $IA_{entrada}$ .

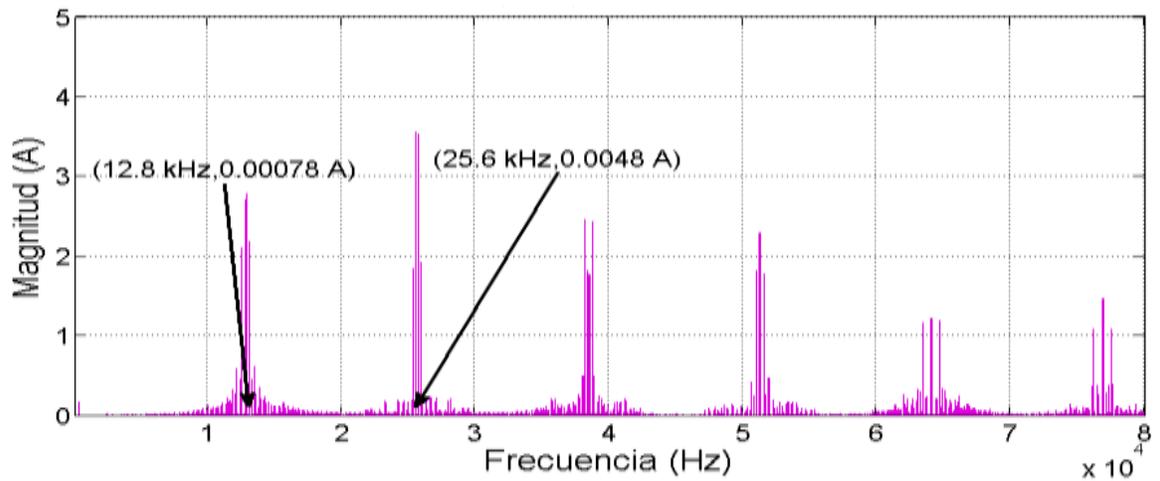


Figura 4.19 Detalle del espectro armónico de  $IA_{entrada}$ .

## 4.3 SIMULACIÓN DEL CONVERTIDOR MATRICIAL CON FILTRO DE ENTRADA Y SALIDA EN LAZO ABIERTO.

En esta sección se muestra el comportamiento del convertidor matricial en lazo abierto, cuando se conectan los filtros de entrada y salida (Figura 4.20).

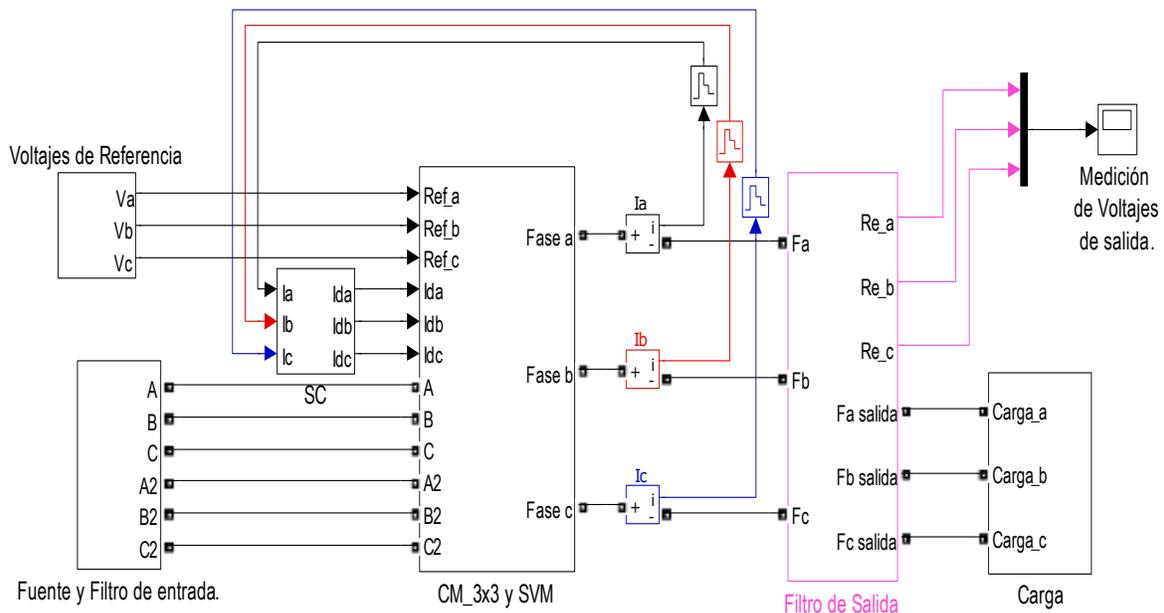


Figura 4.20 Esquema del convertidor matricial 3x3 con filtros.

En Figura 4.21 se observa el modelo del *filtro de entrada*, utilizado en la simulación, el cual se integra por los siguientes componentes cuyos valores son calculados en la sección 2.4.1:

- $L = 700 \mu\text{H}$  con  $R_L = 50 \text{ m}\Omega$  (resistencia interna del inductor).
- $R = 56 \Omega$  (resistencia de amortiguamiento).
- $C = 26 \mu\text{F}$ .

Los puntos de medición de los voltajes de entrada para el SVM son antes del filtro (puntos A2, B2 y C2).

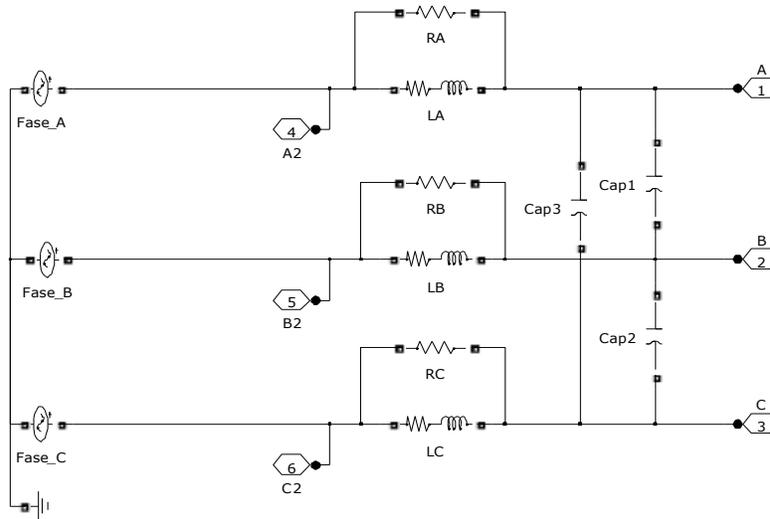


Figura 4.21 Bloque de fuente y filtro de entrada.

El *bloque del filtro de salida* contiene los siguientes componentes por fase (Figura 4.22), cuyos valores son obtenidos en la sección 2.4.2:

- $L_{salida} = 128 \mu\text{H}$ .
- $R_{Lsalida} = 50 \text{ m}\Omega$  (resistencia interna del inductor).
- $C_{salida} = 68 \mu\text{F}$ .

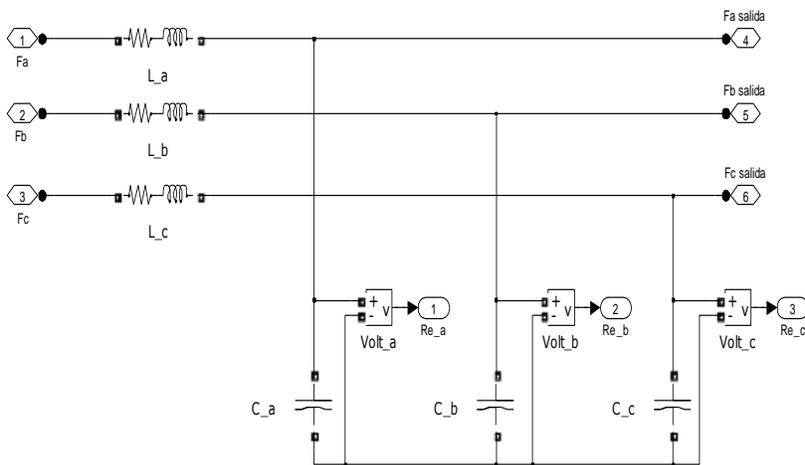


Figura 4.22 Bloque del filtro de salida.

Los voltajes de salida del convertidor se miden en las terminales de los capacitores del filtro de salida ( $C_a$ ,  $C_b$  y  $C_c$ ) ya que la carga se conecta en paralelo con estos. Y las corrientes de salida se miden tal como se muestran en la Figura 4.23.

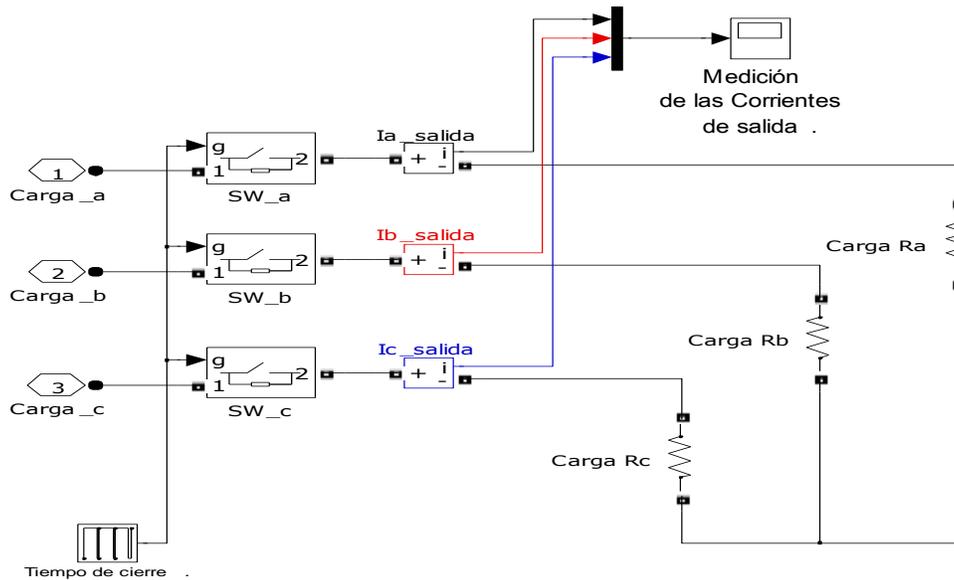


Figura 4.23 Bloque de la carga.

La carga es puramente resistiva con un valor por fase de  $R=4\ \Omega$  con una potencia de 2500 W (elemento que se tiene en el laboratorio).

La Figura 4.24 representa los voltajes trifásicos de salida filtrados, los cuales tienen la misma magnitud del voltaje de referencia ( $V_o=56\ V_{rms}$ ), cuando la carga es balanceada. En el detalle de la Figura 4.25 se aprecia un rizado en estos voltajes. El contenido armónico no superan magnitudes de 0.3 V en altas frecuencias, y los armónicos cercanos a la frecuencia fundamental no superan magnitudes de 0.55 V (Figuras 4.26 y 4.27). El valor de %THD calculado es: %THD= 3.37.

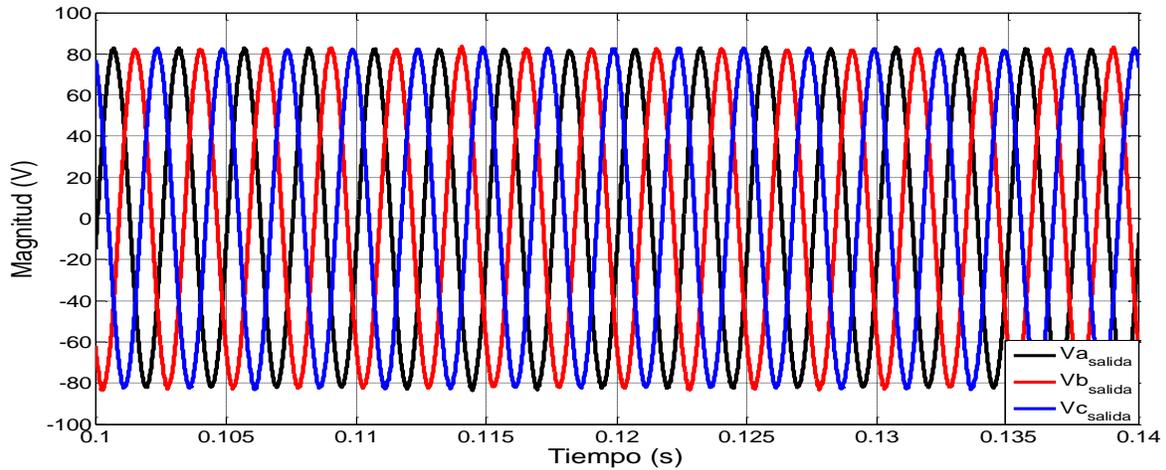


Figura 4.24 Voltajes trifásicos de salida de fase a neutro.

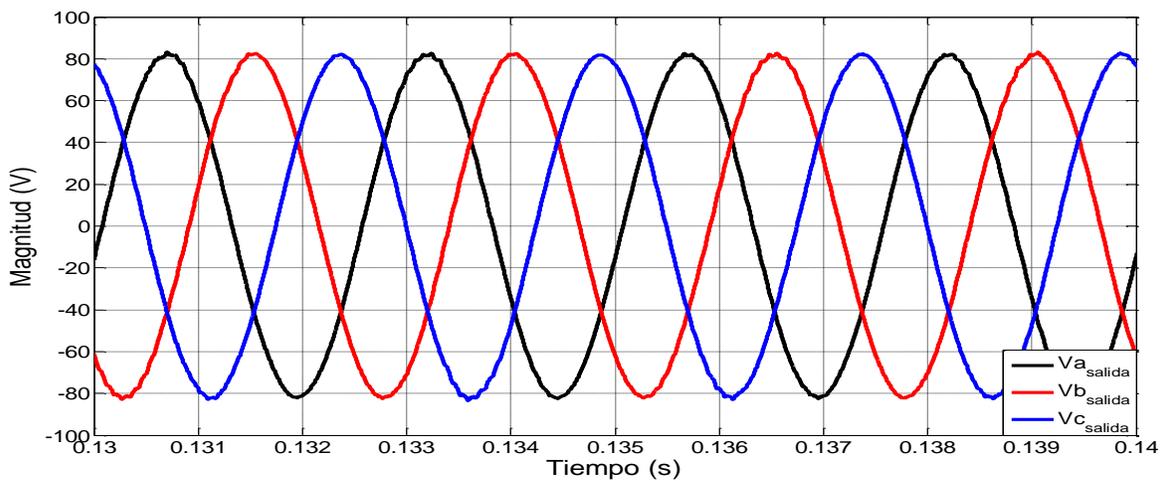


Figura 4.25 Detalle de los voltajes trifásicos de salida de fase a neutro.

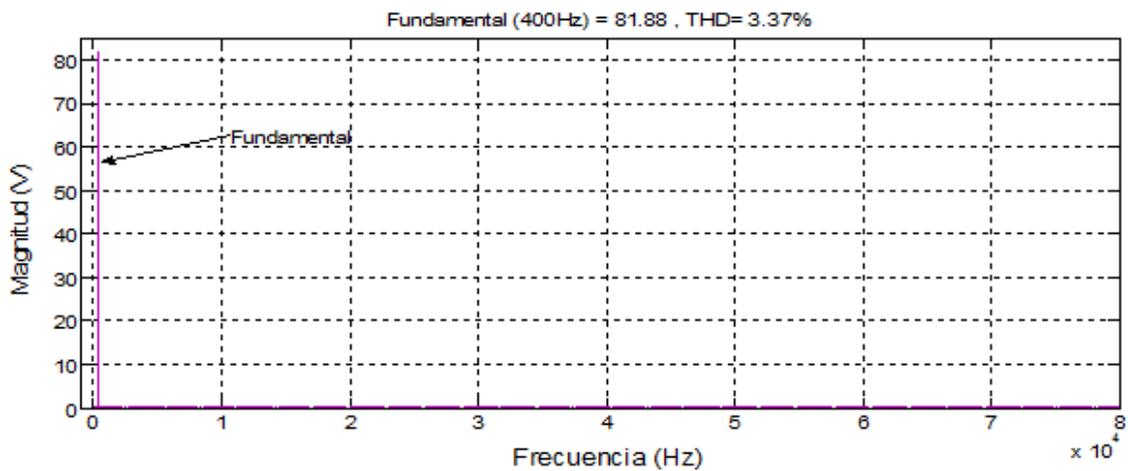


Figura 4.26 Espectro armónico del  $V_{a\_salida}$ .

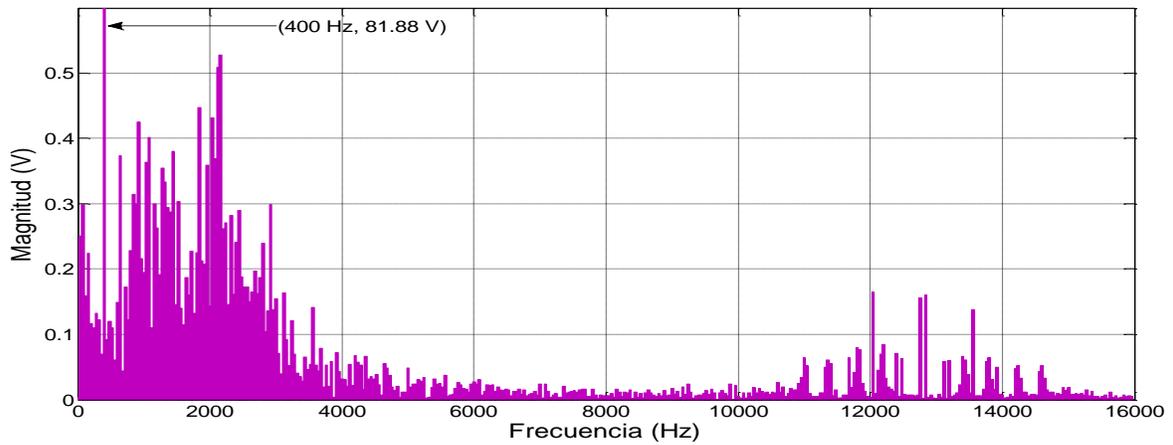


Figura 4.27 Detalle del espectro armónico del  $V_{a\_salida}$ .

Las corrientes de salida después del filtro se muestran en la Figura 4.28 con su respectivo detalle (Figura 4.29).

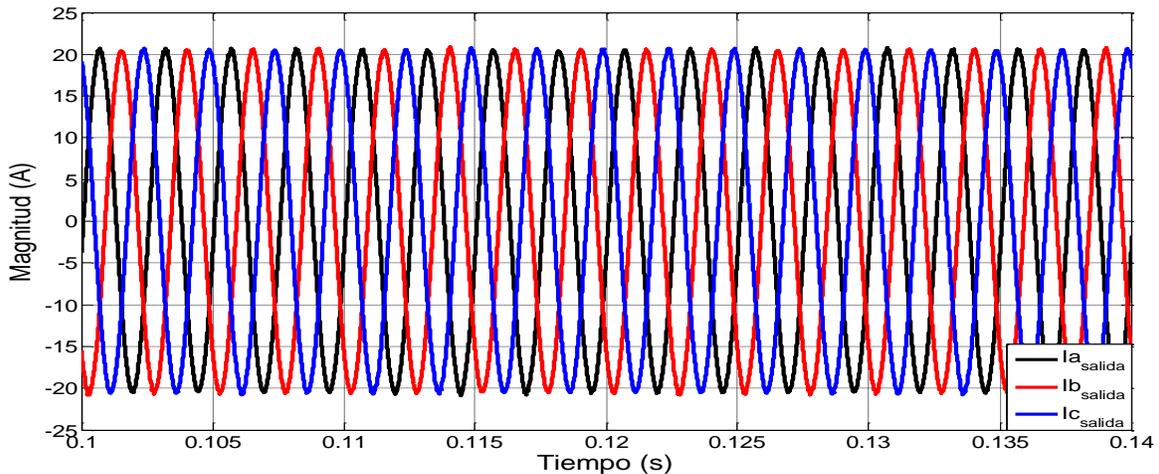


Figura 4.28 Corrientes trifásicas de salida con carga balanceada.

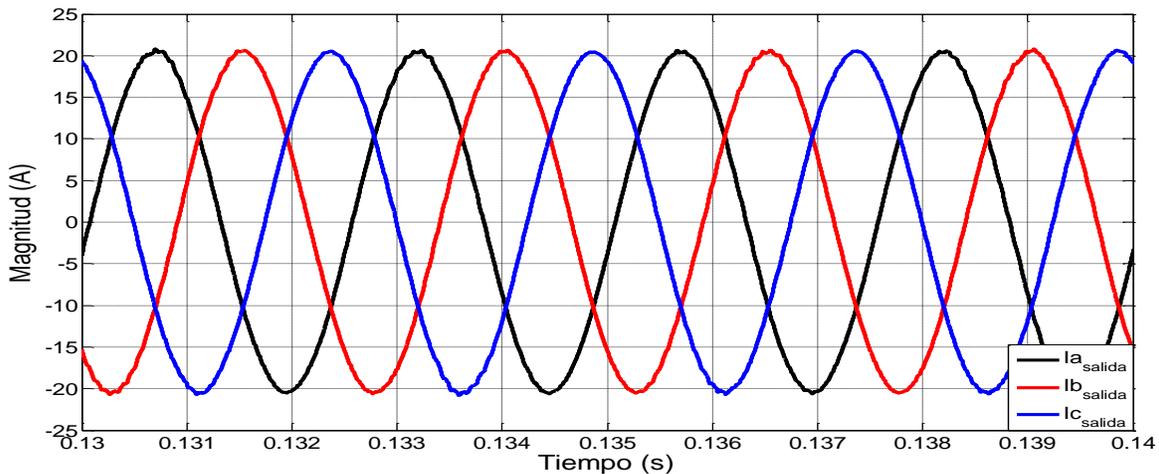


Figura 4.29 Detalle de las corrientes trifásicas de salida con carga balanceada.

En el contenido armónico de  $i_{a\text{salida}}$  (Figura 4.30) se observa un armónico de frecuencia fundamental con una magnitud de 20.47 A, sin existir armónicos de magnitudes elevadas alrededor de esta frecuencia, sin embargo en la Figura 4.31 se percibe aún bandas de contenido armónico alrededor de la frecuencia fundamental y a la frecuencia de conmutación pero sus magnitudes no superan el 0.5% con respecto a la fundamental.

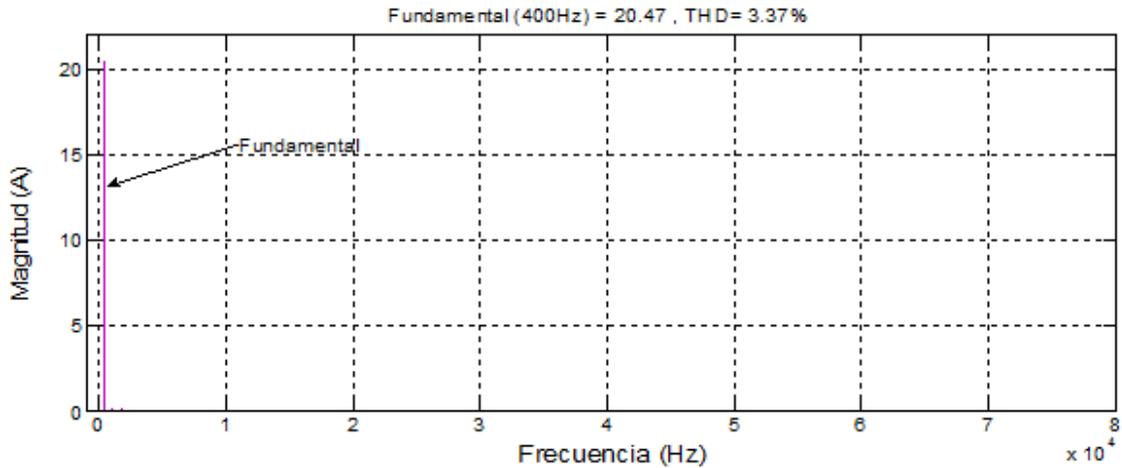


Figura 4.30 Espectro armónico del  $i_{a\text{salida}}$ .

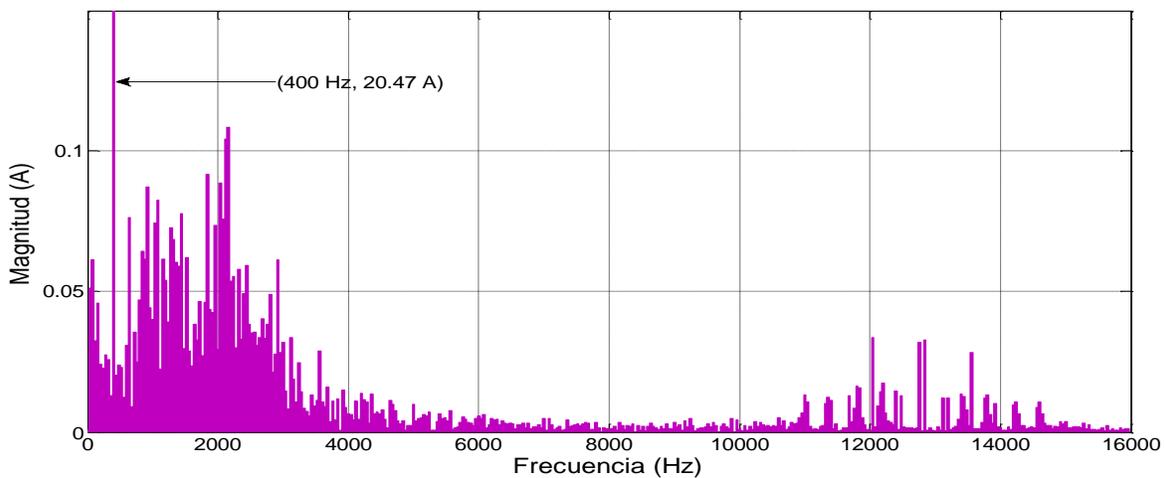


Figura 4.31 Detalle del espectro armónico del  $i_{a\text{salida}}$ .

Debido a que se añadió el filtro de entrada es necesario observar las formas de onda de las corrientes de entrada (Figura 4.32). En la Figura 4.33 se aprecia que estas corrientes tienen un ligero rizado. En la Figura 4.34 se muestra el contenido armónico de la corriente de entrada.

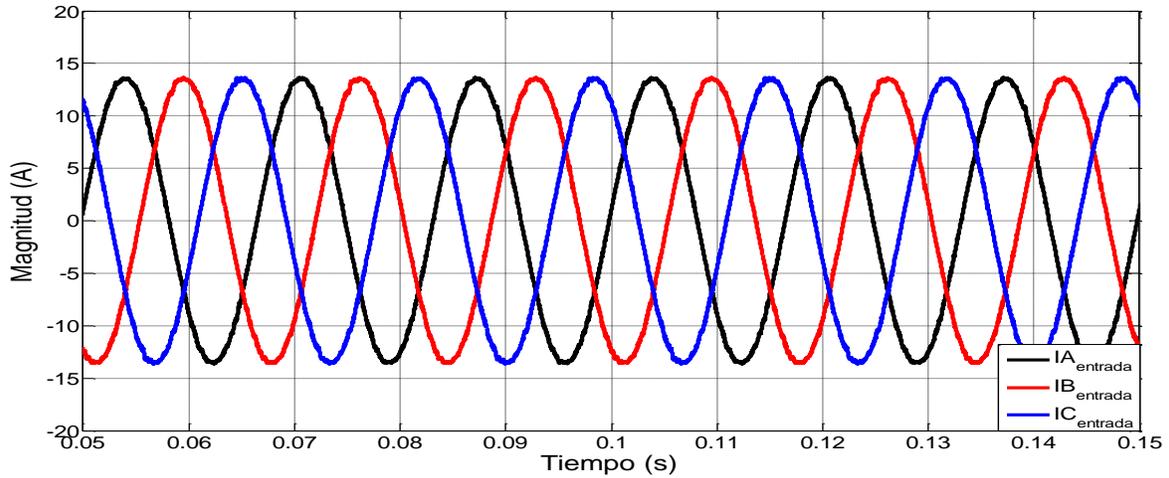


Figura 4.32 Corrientes de entrada trifásicas.

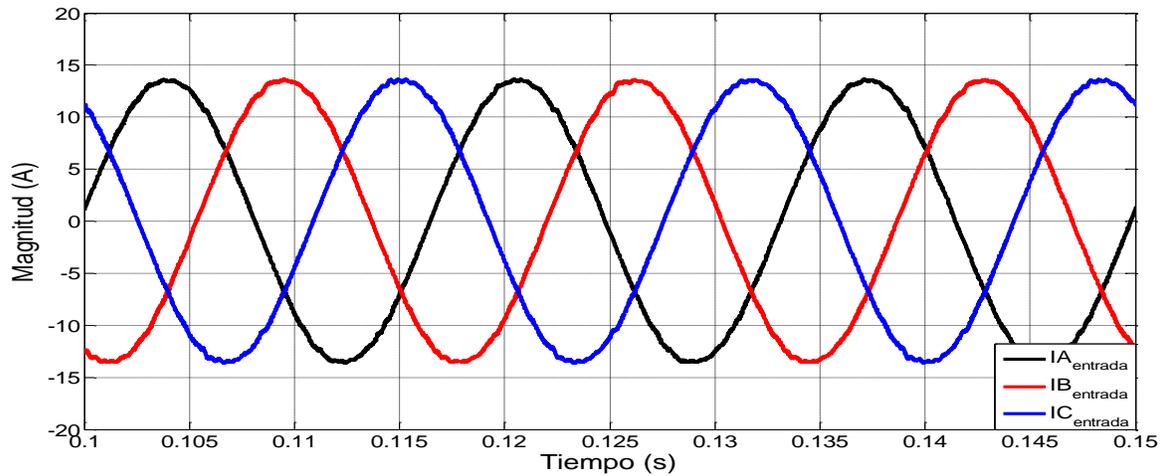


Figura 4.33 Detalle de las corrientes de entrada trifásicas.

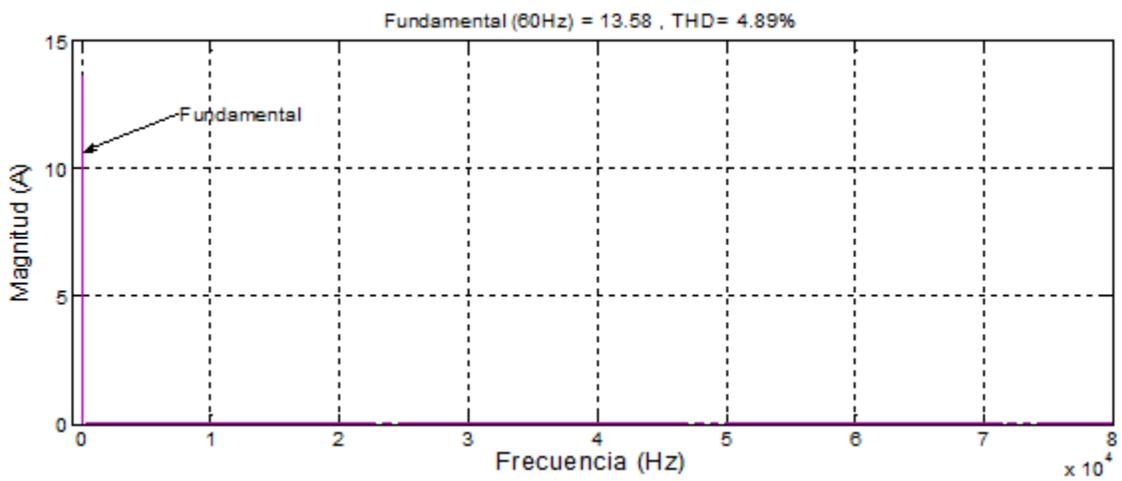


Figura 4.34 Espectro armónico de  $I_{A_{entrada}}$ .

La Figura 4.34 puede ser comparada con la Figura 4.18, donde se aprecia que las magnitudes del contenido armónico disminuyen considerablemente con el uso del filtro de entrada presentándose tan solo un %THD= 4.89 (Figura 4.35).

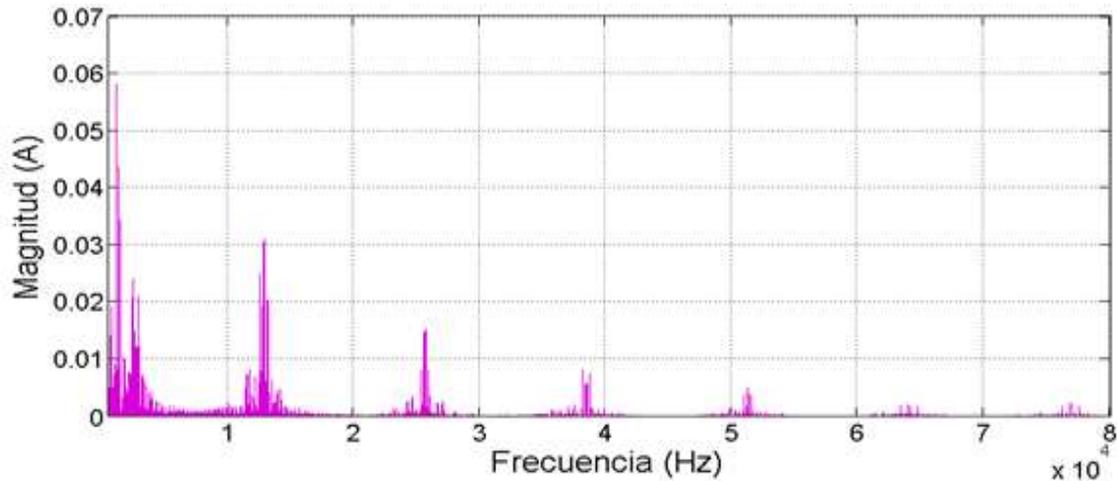


Figura 4.35 Detalle del espectro armónico de  $I_{A_{entrada}}$ .

A continuación se muestra el comportamiento del convertidor con carga desbalanceada usando únicamente modulación por vectores espaciales (SVM) sin ningún tipo de controlador. Los valores tomados de la carga trifásica en conexión estrella es:

- Carga en fase **a**:  $R = 4 \Omega$ .
- Carga en fase **b**:  $R = 8 \Omega$ .
- Carga en fase **c**:  $R = 10 \Omega$ .

En la Figura 4.36, los voltajes de salida del convertidor de cada fase fluctúan por encima o por debajo del valor de referencia (detalle en la Figura 4.37).

El voltaje de salida es de:

$$V_{a_{salida}} = 77 V_{max}$$

$$V_{b_{salida}} = 87 V_{max}$$

$$V_{c_{salida}} = 86 V_{max}$$

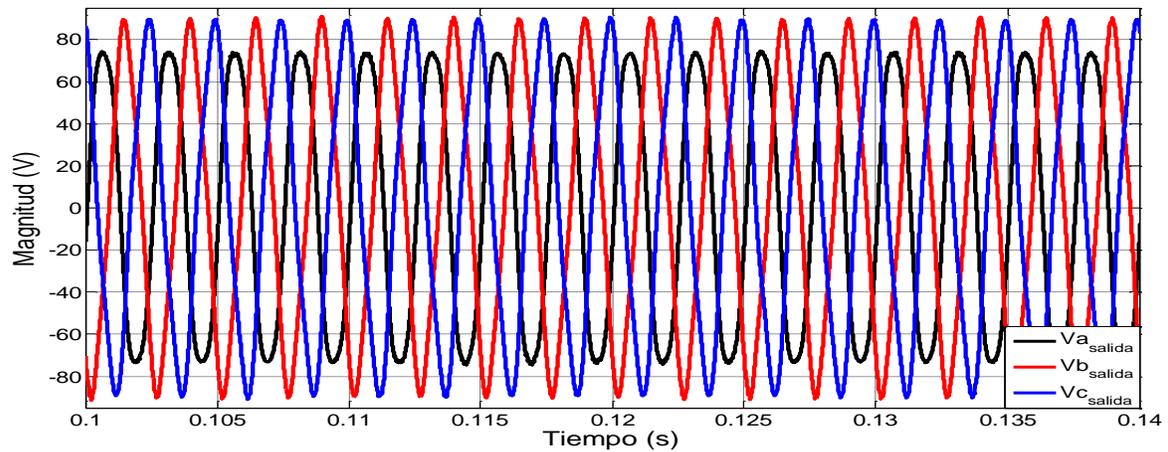


Figura 4.36 Voltajes trifásicos de salida con carga desbalanceada.

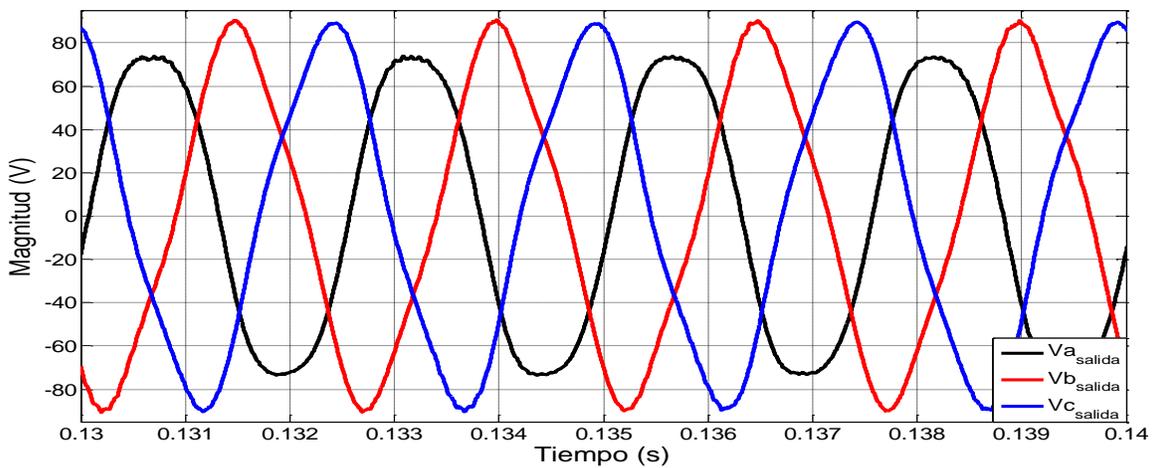


Figura 4.37 Detalle de los voltajes de salida con carga desbalanceada.

Por consiguiente las corrientes de salida bajo estas condiciones se ilustran en la Figura 4.38.

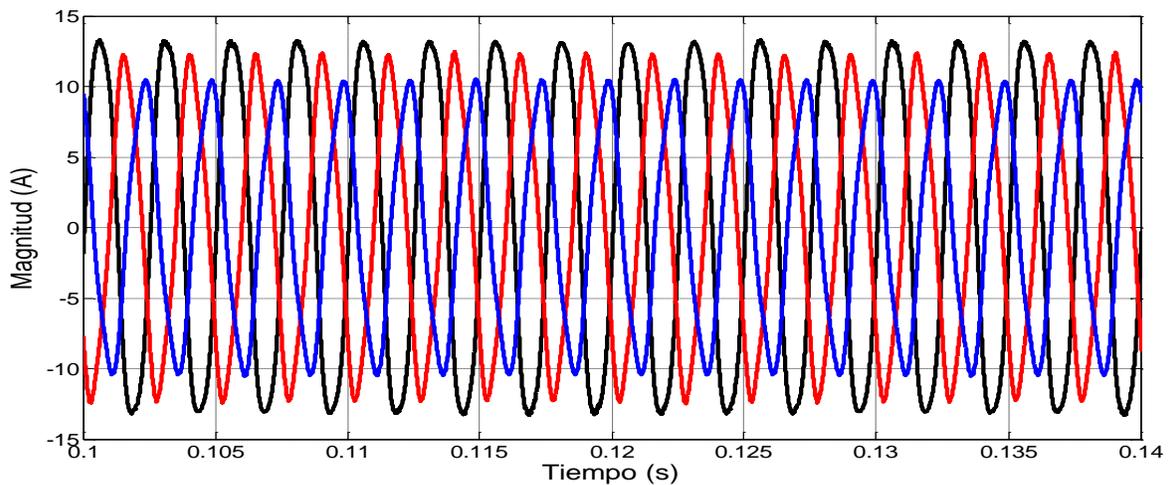


Figura 4.38 Corrientes de salida con carga desbalanceada.

## 4.4 SIMULACIÓN DEL CONVERTIDOR MATRICIAL CON FILTRO DE ENTRADA Y SALIDA CON LAZO DE CONTROL DE VOLTAJE.

En esta sección se realizan las simulaciones de los controladores diseñados en el capítulo anterior. Para cada control añadido se analiza el espectro armónico del voltaje y de la corriente de salida. Al final de esta sección se observará que al agregar un control repetitivo, el error de comparación entre la señal de referencia con respecto a la señal de retroalimentación disminuye en condiciones de carga desbalanceada.

### 4.4.1 Simulación del control de seguimiento con carga resistiva.

Este controlador sigue una señal de referencia. Cuando la señal de retroalimentación sea comparada con la señal de referencia, el error será compensado por el controlador, el cual está compuesto por una función de transferencia cuyo denominador es una ecuación de segundo orden con un par de polos deseables para mejorar la respuesta dinámica del sistema. De acuerdo a la sección 3.2, donde se define la arquitectura del control de seguimiento (Figura 3.13), la señal de referencia tiene una frecuencia de 400 Hz con una amplitud de  $V_o = 56 V_{rms}$ . Por lo tanto en la Figura 4.39 se muestra el modelo en Simulink del CM en lazo cerrado, donde se observa que el contenido del controlador tiene implementada la función de transferencia de segundo orden  $(H(z)_{controlador})$  calculada en la sección 3.2.

En el programa se mide el voltaje de los capacitores del filtro de salida que corresponden con las señales de retroalimentación en cada fase de salida (Re\_a., Re\_b y Re\_c), y en cada periodo de muestreo se compara una muestra de la señal de retroalimentación con una muestra de la señal de referencia (Ref\_A\_Cont, Ref\_B\_Cont y Ref\_C\_Cont). El error de esta comparación es atenuado por la función de transferencia del controlador generando una nueva señal de referencia para el SVM.

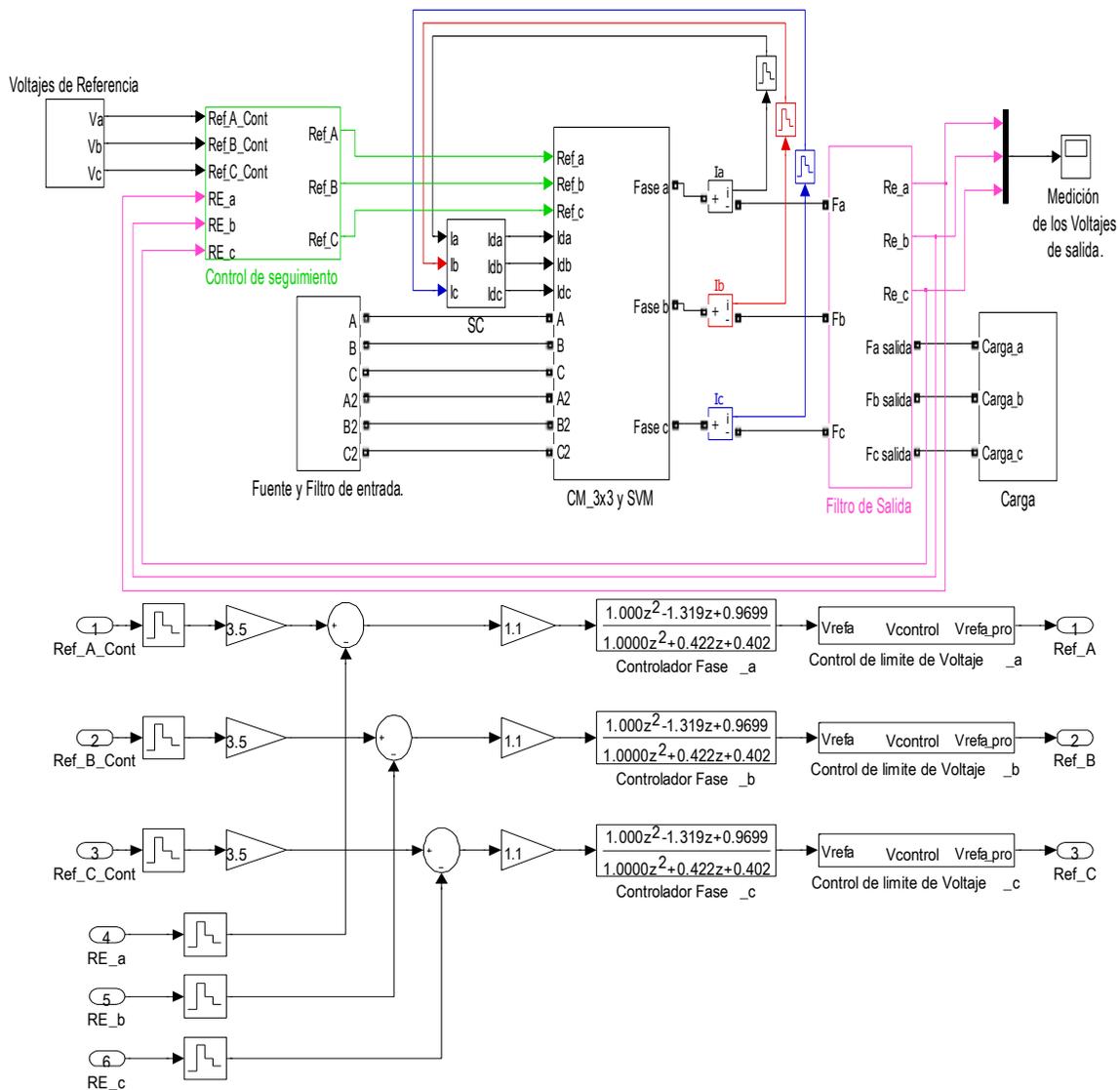


Figura 4.39 Sistema del CM 3x3 (arriba) con el control de seguimiento (abajo).

En la Figura 4.39 se observan tres bloques llamados *control de límite de voltaje*, que tienen la instrucción por fase de no sobrepasar el 1.25% del voltaje de referencia a la salida del controlador, esta condición se utiliza en el código del DSP para una protección por software y evitar un sobretiro.

Ahora bien, con una carga balanceada  $R= 4 \Omega$  por fase, los voltajes de salida que se obtienen se muestran en la Figura 4.40 y 4.41, de donde se puede concluir que al ser añadido el controlador, este no va a afectar el valor del voltaje máximo de referencia y además se logra amortiguar una mayor cantidad de armónicos, con un %THD= 2.28 (ver Figura 4.42 y 4.43). Las corrientes de salida de cada fase se representan en las Figuras 4.44 y 4.45.

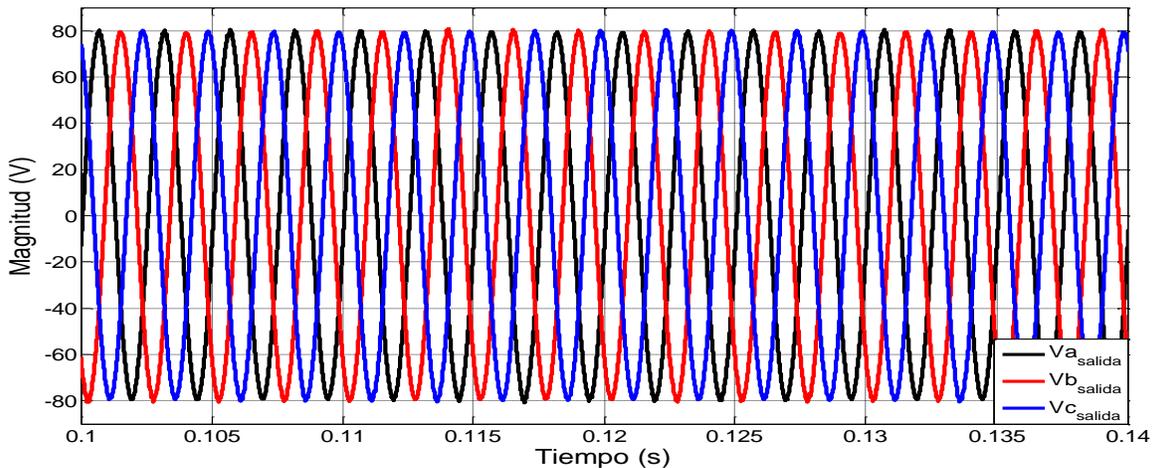


Figura 4.40 Voltajes trifásicos de salida de fase a neutro.

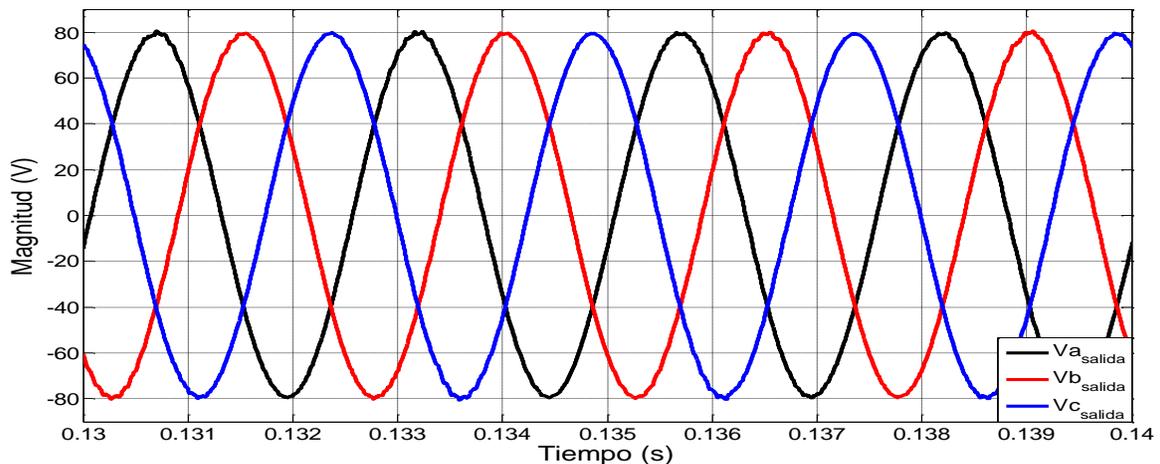


Figura 4.41 Detalle de los voltajes trifásicos de salida de fase a neutro.

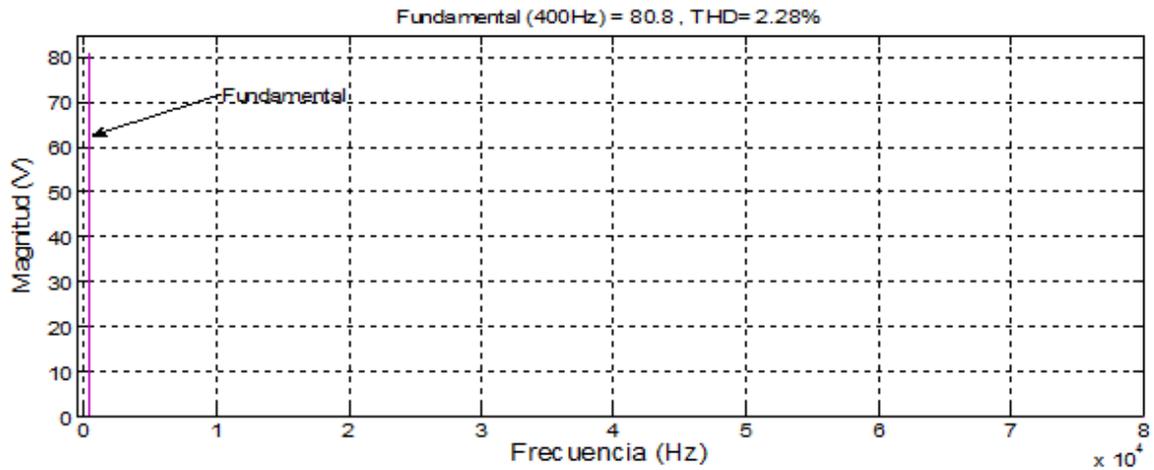


Figura 4.42 Análisis del contenido armónico de  $V_{a\_salida}$ .

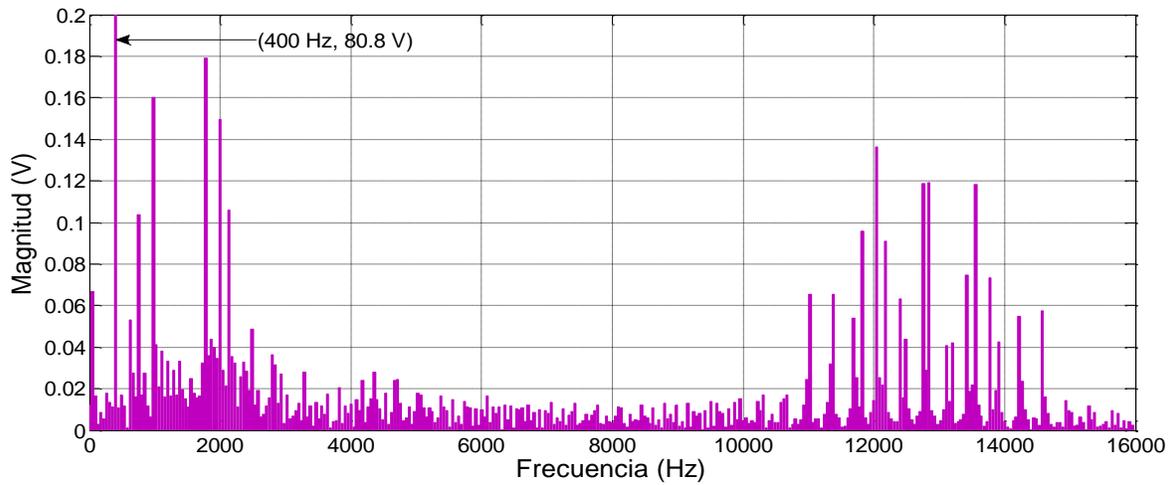


Figura 4.43 Detalle de análisis del contenido armónico de  $V_{a\_salida}$ .

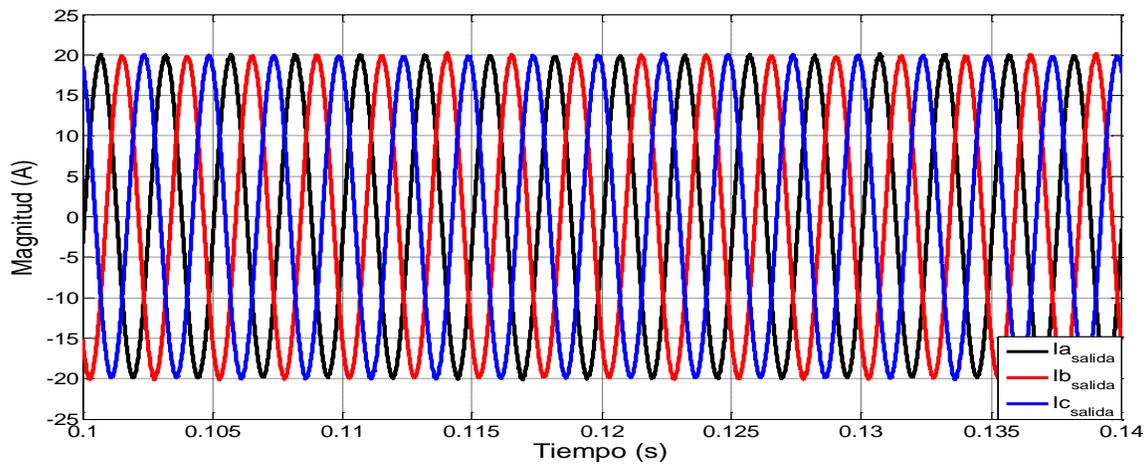


Figura 4.44 Corrientes trifásicas de salida.

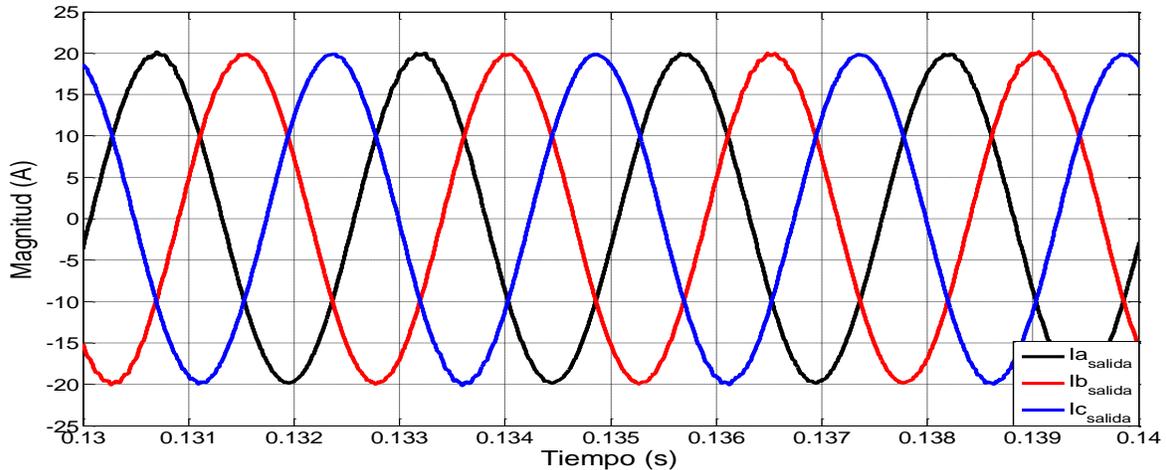


Figura 4.45 Detalle de las corrientes trifásicas de salida.

Cuando la carga es desbalanceada con los siguientes valores:

- Carga en fase **a**:  $R = 4 \Omega$ .
- Carga en fase **b**:  $R = 8 \Omega$ .
- Carga en fase **c**:  $R = 10 \Omega$ .

Los voltajes de salida son (Figura 4.46):

$$V_{a\_salida} = 76 V_{max}$$

$$V_{b\_salida} = 78 V_{max}$$

$$V_{c\_salida} = 84 V_{max}$$

En las Figuras 4.46 y 4.47 se observa que el controlador de seguimiento aún no es capaz de compensar el desbalance y mantener la magnitud del voltaje de salida a un valor de referencia. Las corrientes de salida se muestran en la Figura 4.48.

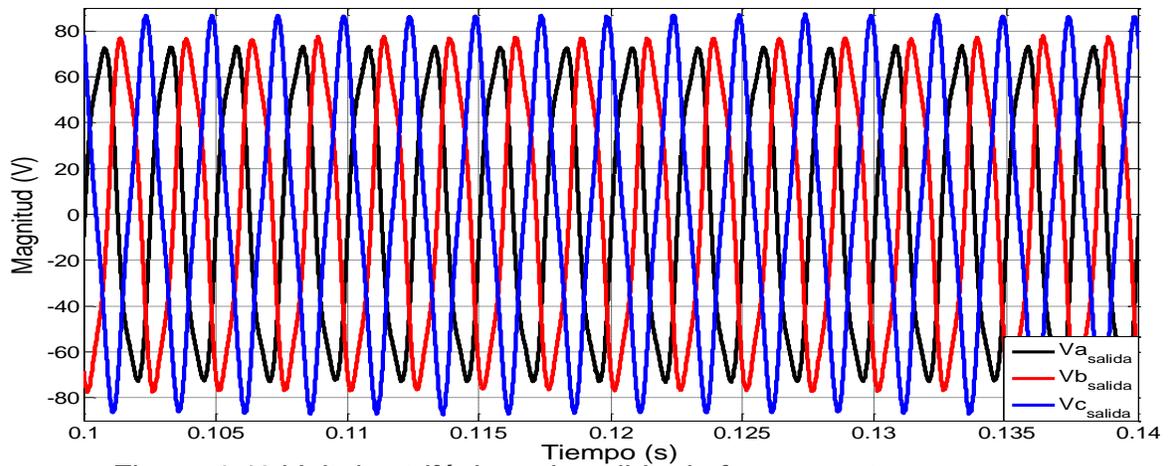


Figura 4.46 Voltajes trifásicos de salida de fase a neutro con carga desbalanceada.

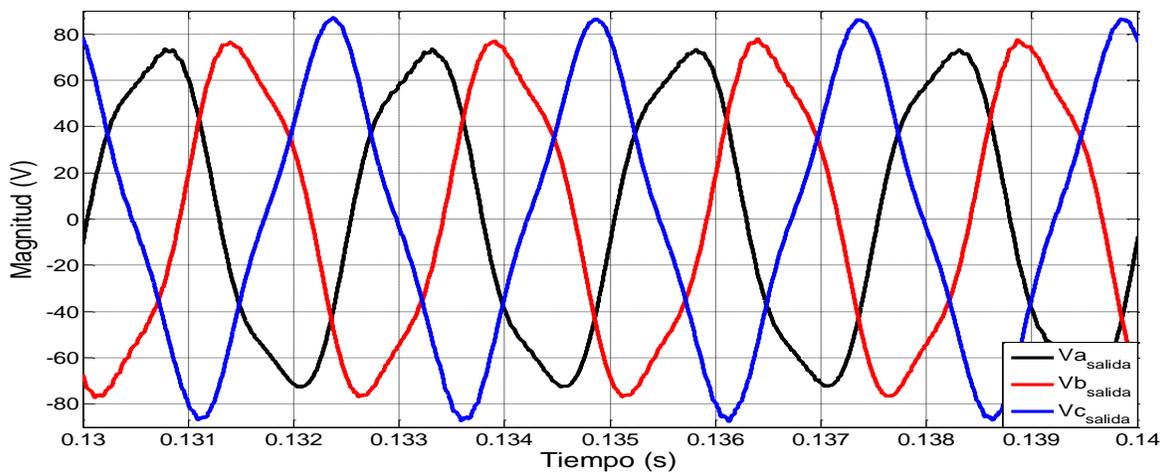


Figura 4.47 Detalle de los voltajes trifásicos de salida de fase a neutro con carga desbalanceada.

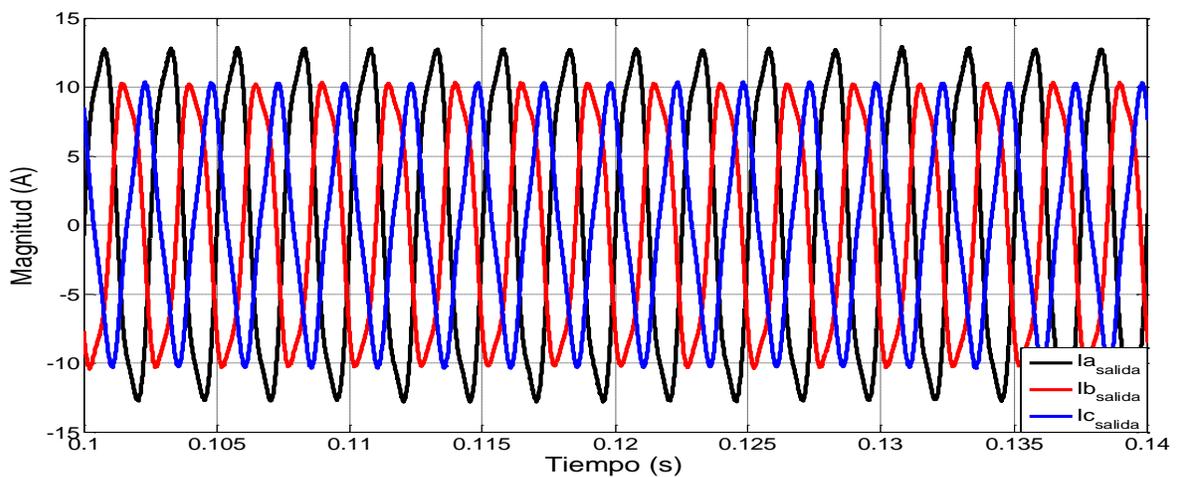


Figura 4.48 Corrientes trifásicas de salida con carga desbalanceada.

## 4.4.2 Simulación del control de seguimiento más control repetitivo con carga resistiva.

Con el objetivo de reducir el error y el contenido armónico en el voltaje de salida se añade un control repetitivo. En el esquema de la Figura 4.49 se observa el sistema completo (fuentes, carga, filtros, control de seguimiento y el control repetitivo).

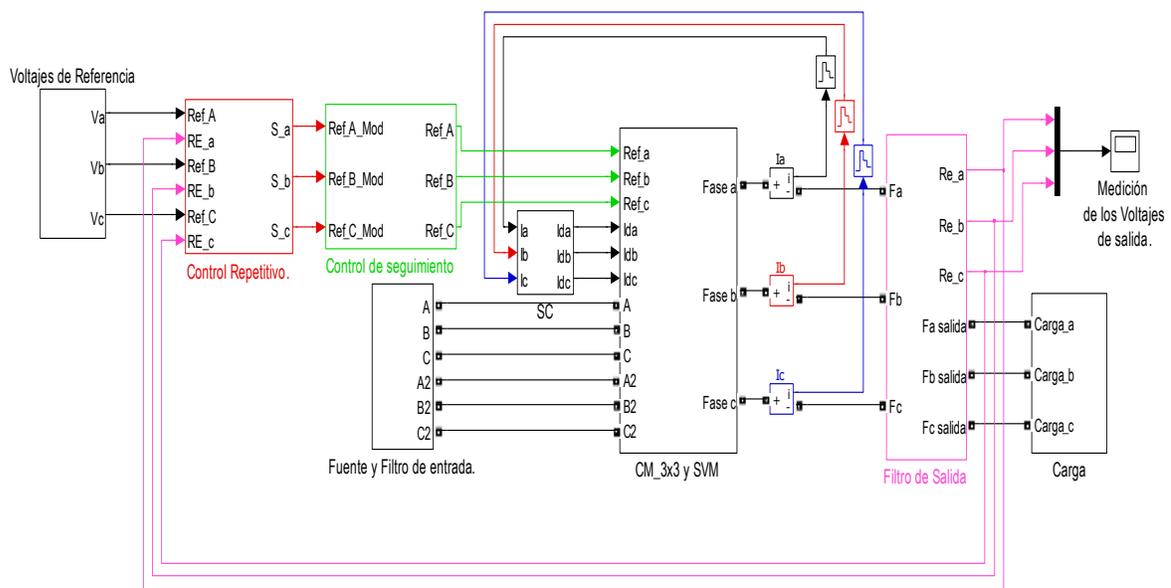


Figura 4.49 Sistema del CM\_3x3 con control repetitivo más control de seguimiento.

El contenido del *bloque del control repetitivo* de la fase a, se representa en la Figura 4.50. La señal de retroalimentación llega al control repetitivo donde se compara con la señal de referencia, el error es compensado por  $Q(z)$  y se almacena en un buffer de 32 muestras (lazo interno). El resultado de este lazo pasa a través del filtro IIR, generando el polinomio  $C(z)$  (ec.2.59). Debido al lazo interno de  $Q(z)$  y a  $C(z)*P(z)$  se genera un retraso de fase el cual es compensado por  $z^{-23}$ , el resultado es la salida  $s_a$ , la cual es la nueva señal de referencia generada con un mínimo de error para el control de seguimiento.

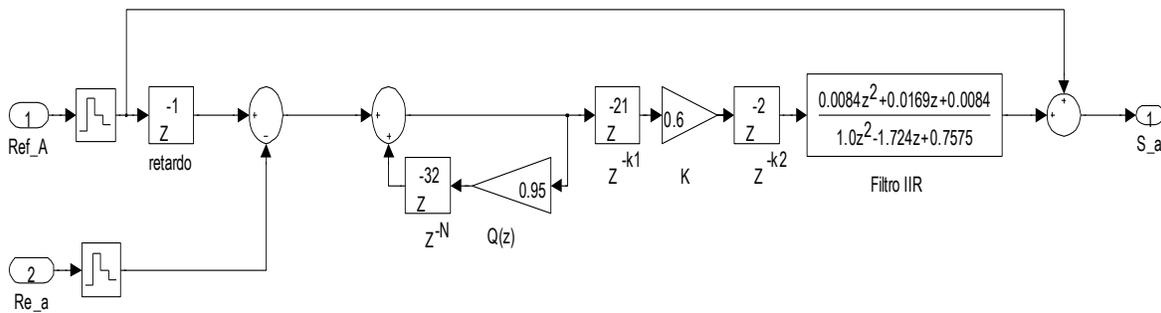


Figura 4.50 Contenido del bloque del control repetitivo de una sola fase.

Con el uso del control repetitivo se observa que los voltajes de salida de fase a neutro se mantienen en el mismo valor de referencia (Figura 4.51 y Figura 4.52) cuando la carga trifásica es balanceada  $R=4\Omega$ , y sus respectivas corrientes se representan en la Figura 4.53.

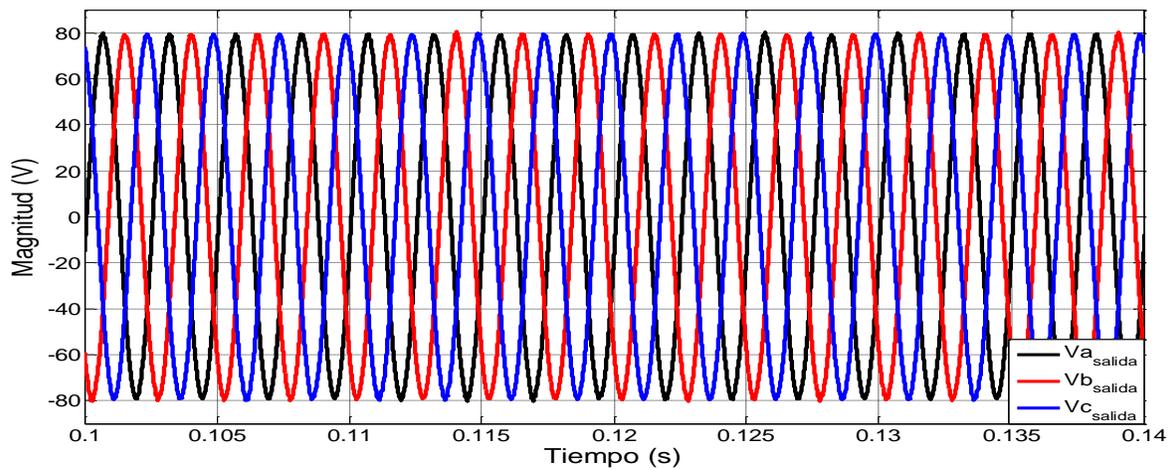


Figura 4.51 Voltajes trifásicos de salida de fase a neutro.

Sin embargo al añadir este controlador, la forma de onda de los voltajes de salida presentan un %THD= 2.2, inferior al valor resultante cuando se utiliza solamente el control de seguimiento (Figura 4.54).

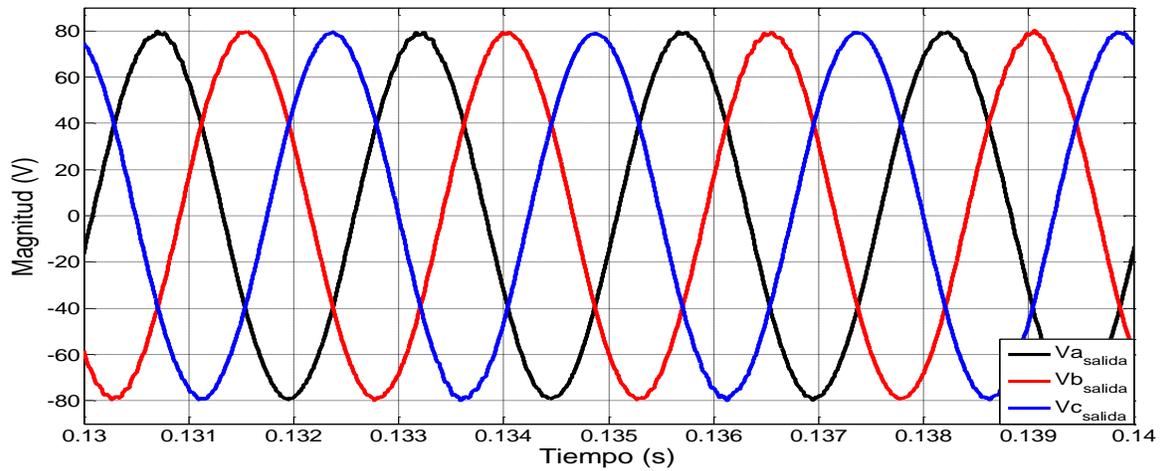


Figura 4.52 Detalle de los voltajes trifásicos de salida de fase a neutro.

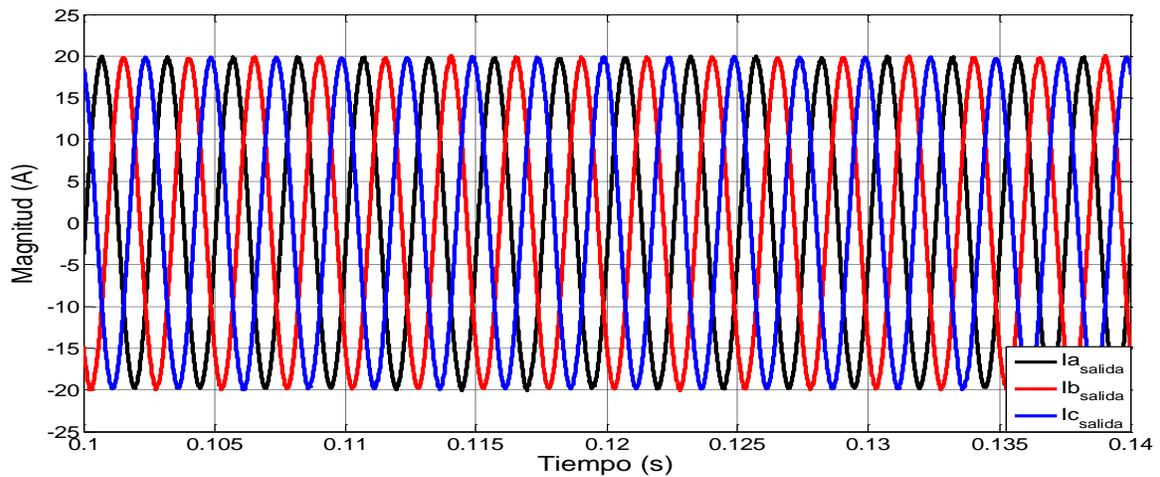


Figura 4.53 Corrientes trifásicas de salida.

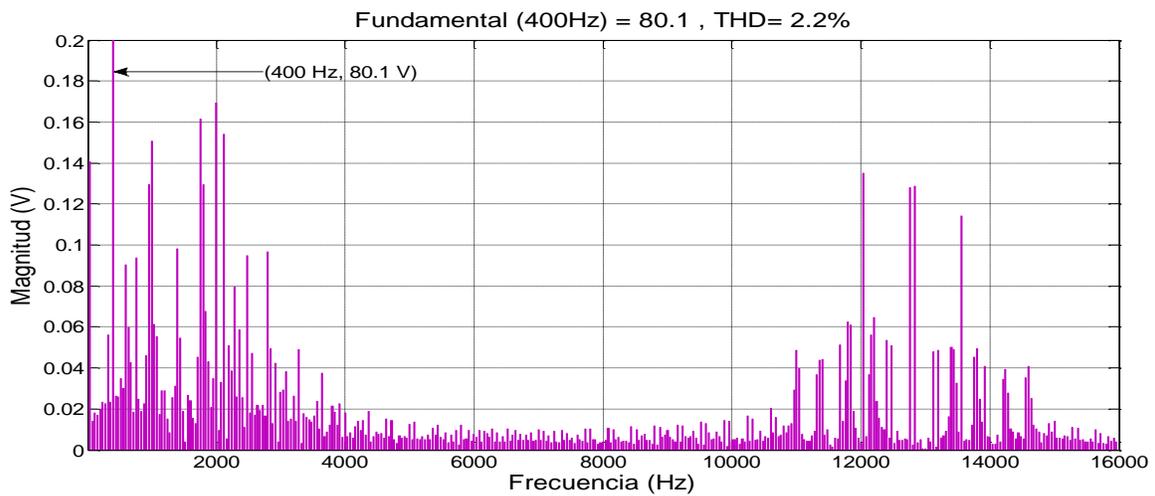


Figura 4.54 Análisis del contenido armónico de  $V_{a\_salida}$ .

Cuando se incluye el control repetitivo al sistema, teniendo una carga trifásica desbalanceada (con los valores mencionados anteriormente), los niveles de voltaje de salida en cada fase no fluctúan por encima o por debajo del voltaje permisible del  $\pm 3$  V con respecto al voltaje de referencia [52]. Los resultados en estas condiciones se observan en las Figuras 4.55 y 4.56:

$$V_{a\text{salida}} = 78 V_{\text{max}}$$

$$V_{b\text{salida}} = 79 V_{\text{max}}$$

$$V_{c\text{salida}} = 81 V_{\text{max}}$$

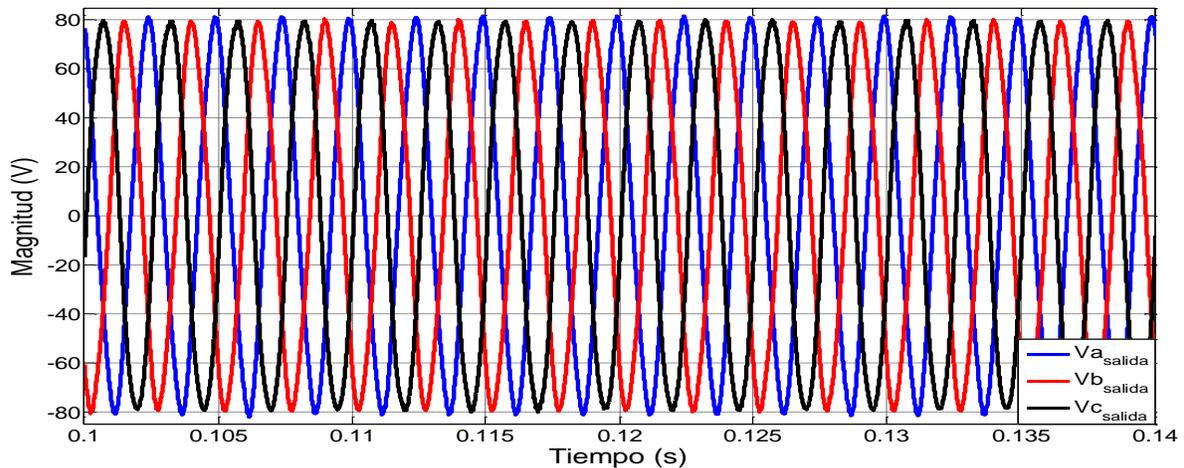


Figura 4.55 Voltajes trifásicos de salida de fase a neutro con carga desbalanceada.

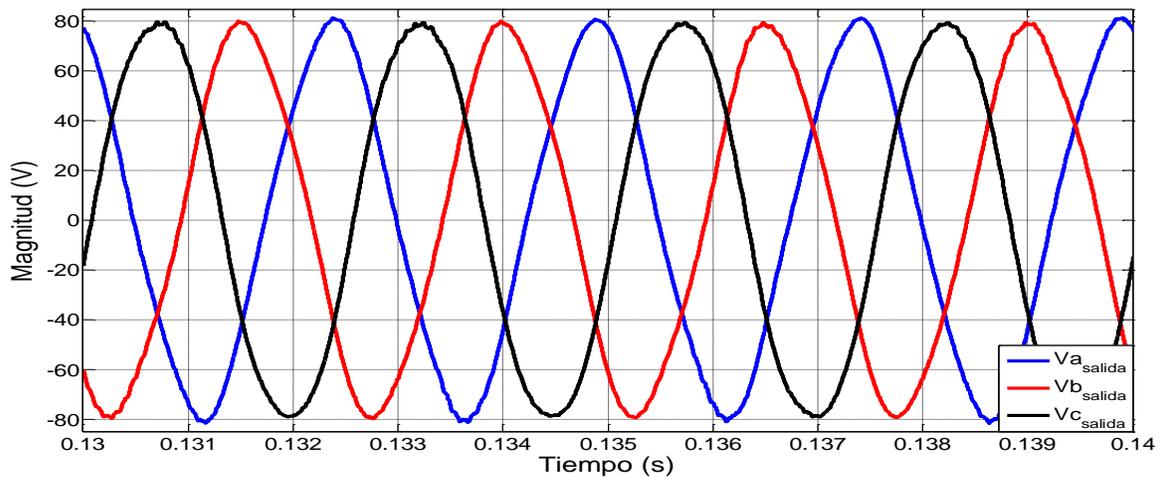


Figura 4.56 Detalle de los voltajes trifásicos de salida de fase a neutro con carga desbalanceada.

Considerando que el convertidor se comporta como una fuente de voltaje hacia la carga, entonces las corrientes de salida tienen la misma forma que los voltajes y estos se muestran en la Figura 4.57.

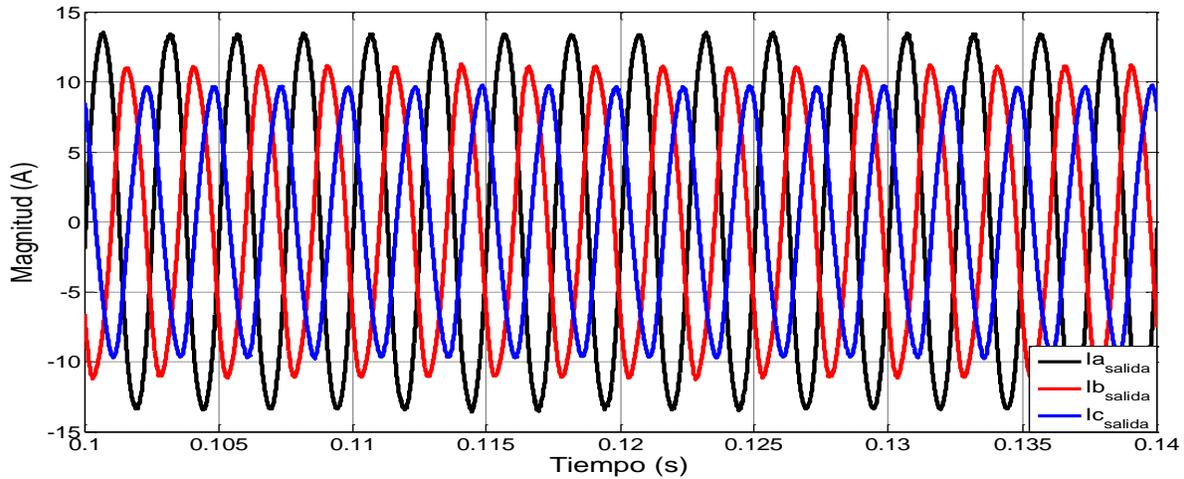


Figura 4.57 Corrientes de salida trifásica con carga desbalanceada.

En la Figura 4.58 se observa que al usar solo el control de seguimiento (CS) el resultado del error entre el valor de referencia y el valor de retroalimentación en cada tiempo de muestreo  $T_s$  es mayor, que cuando se añade al sistema el CR en condiciones de carga desbalanceada.

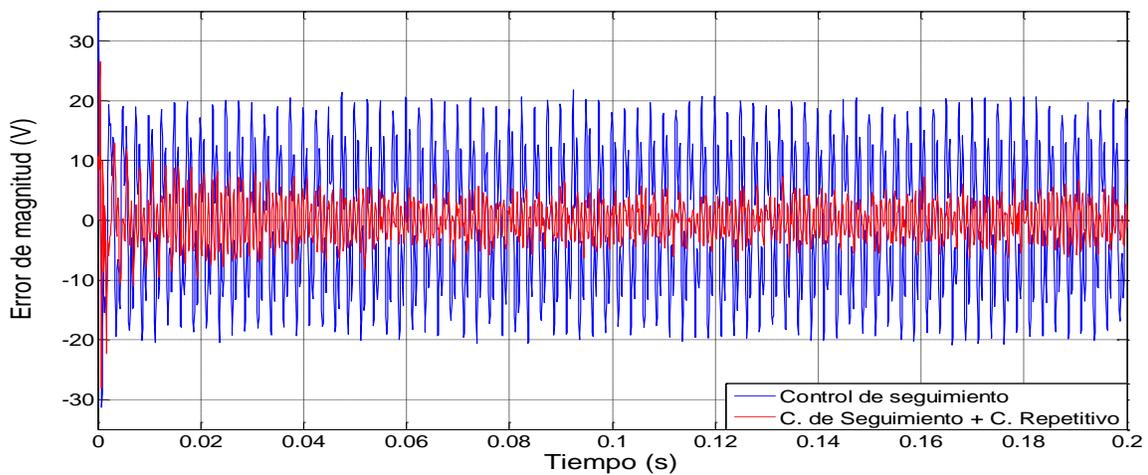


Figura 4.58 Error de CS vs CS+CR.

Cuando se usa control repetitivo, el error al inicio presenta un valor pico (>20 V) debido a que el lazo interno acumula el error en un ciclo dividido en 32 muestras (ec.3.20) y este es compensado hasta un valor inferior a 5 V, en cambio cuando se usa únicamente el control de seguimiento este valor no se atenúa después de varios ciclos, ya que el control de seguimiento solo se comporta como un compensador de altas frecuencias (ver detalle en Figura 4.59).

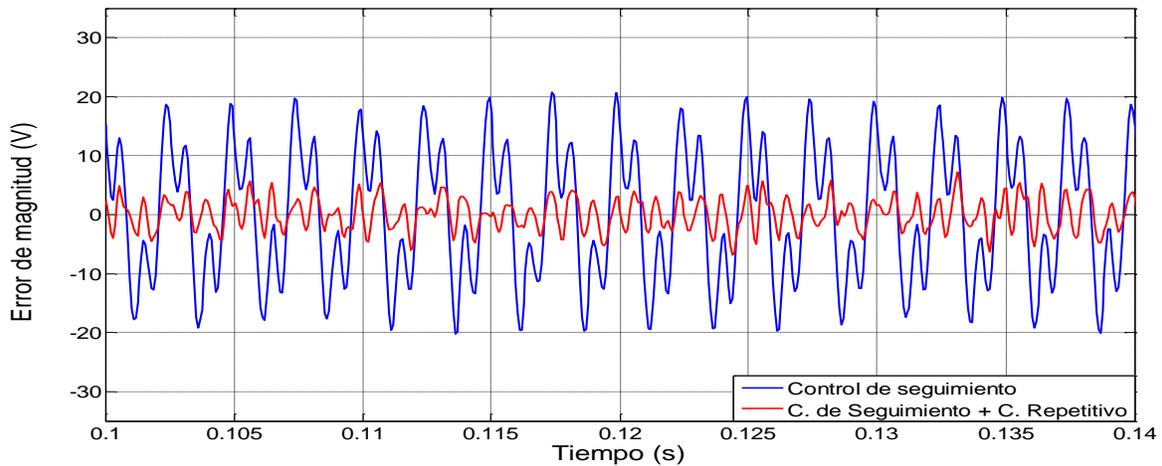


Figura 4.59 Detalle del error de convergencia CS vs CS+CR.

### 4.4.3 Simulación del control de seguimiento con carga resistiva-inductiva.

A continuación se realizan las simulaciones conectando al sistema una carga trifásica resistiva-inductiva (RL).

En este caso el único bloque que se modifica es la carga (Figura 4.60) con los valores que se describen a continuación, debido a que son los elementos que se tienen en el laboratorio.

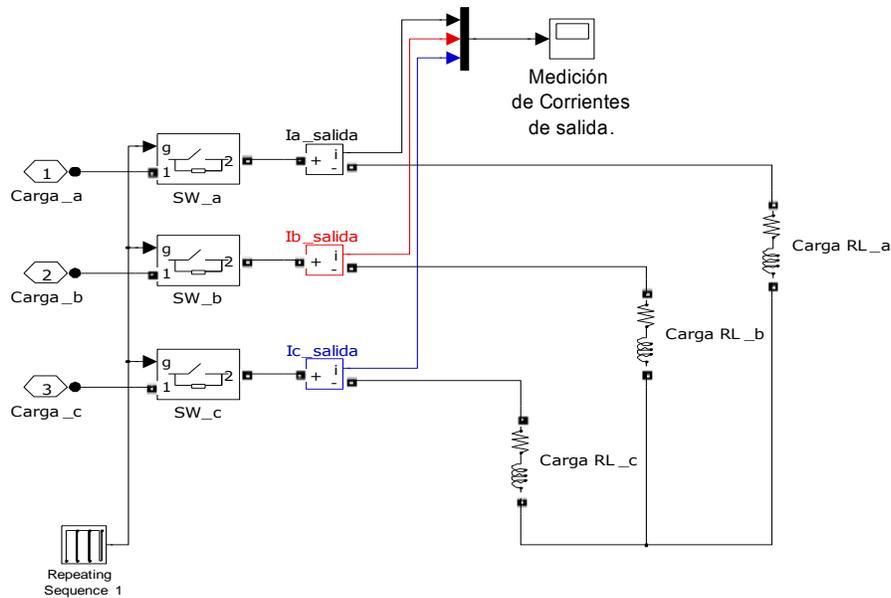


Figura 4.60 Contenido interno del bloque de la carga.

Los valores de la carga RL balanceada trifásica en conexión estrella es:

- Carga por fase:  $R = 4 \Omega$ ;  $L = 1.2 \text{ mH}$ .

Como la carga es balanceada, los voltajes de salida de fase a neutro son balanceados y se muestran en la Figura 4.61. Las corrientes trifásicas de salida en estas condiciones se observan en la Figura 4.62 cuando se usa solamente el control de seguimiento.

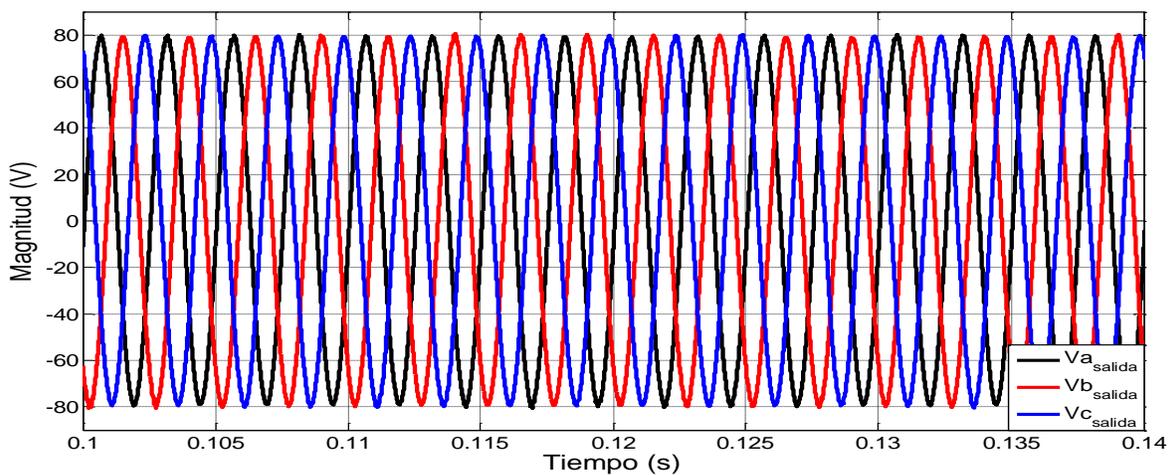


Figura 4.61 Voltajes de salida trifásicos de fase a neutro con CS.

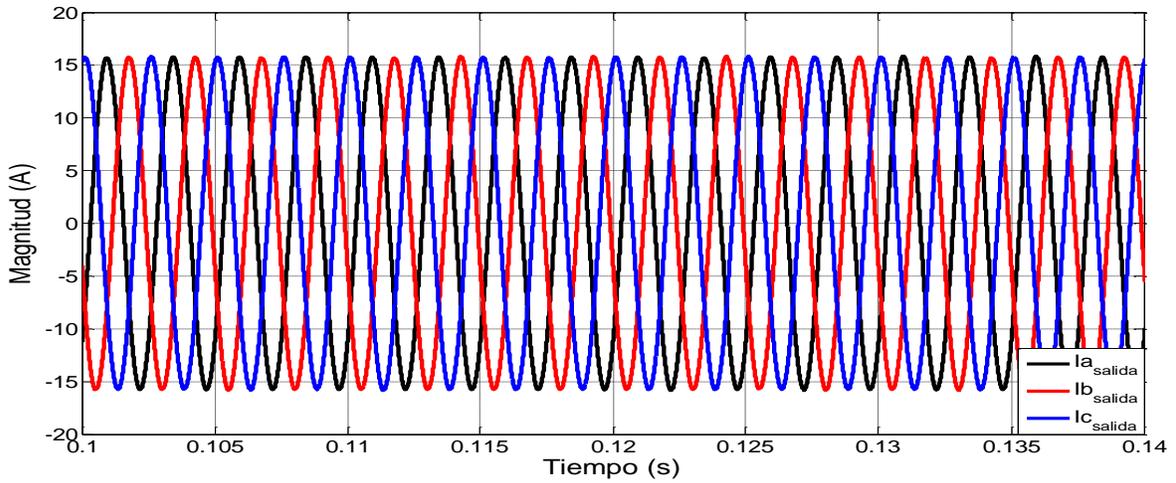


Figura 4.62 Corrientes de salida trifásica.

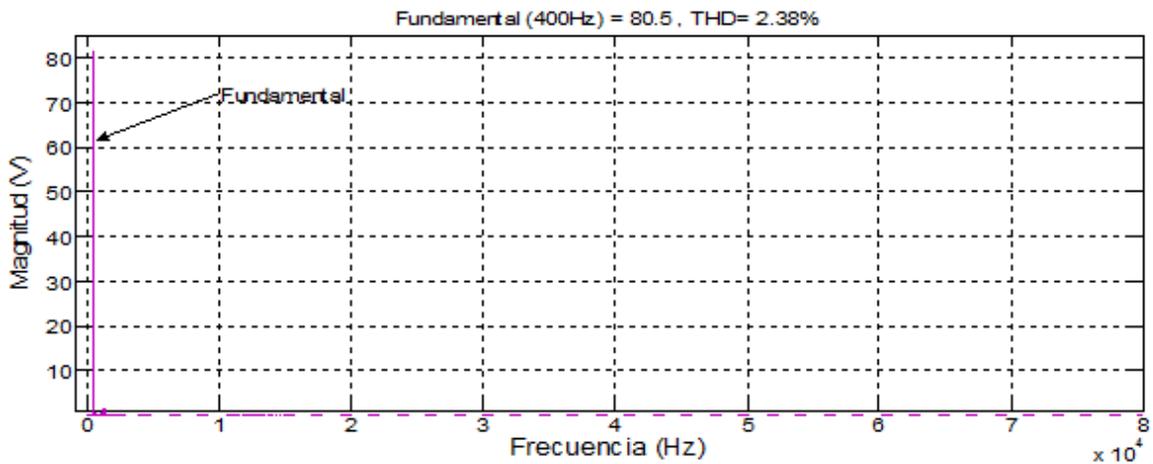


Figura 4.63 Análisis del contenido armónico de  $V_{a\text{salida}}$ .

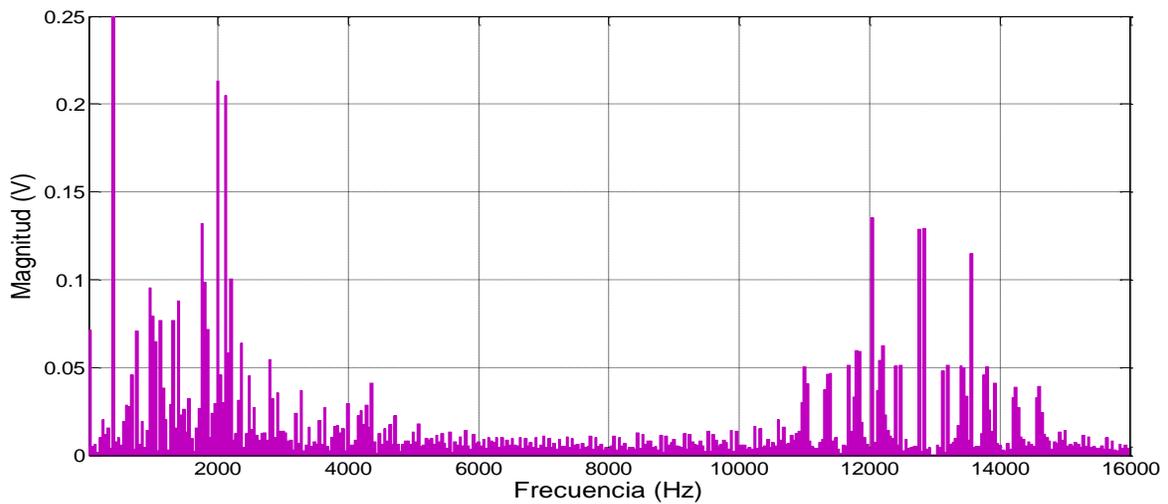


Figura 4.64 Detalle del análisis del contenido armónico de  $V_{a\text{salida}}$ .

El contenido armónico de  $V_{a\text{salida}}$  aparece en la Figura 4.63 y su detalle en la Figura 4.64. En estas figuras se puede observar armónicos de alto orden sin ser superiores a una magnitud de 0.15 V, donde se tiene un valor de %THD=2.38.

Cuando el sistema está operando con una carga RL desbalanceada usando únicamente control de seguimiento, los voltajes trifásicos de salida presentan fluctuaciones por encima o por debajo del voltaje de referencia (ver Figura 4.65 y 4.66). Se puede concluir que usar solamente este control no es suficiente para mejorar el balance de los voltajes de salida. Entonces las corrientes de salida por fase bajo estas condiciones se observan en la Figura 4.67 y su detalle en la Figura 4.68.

Los parámetros de la carga desbalanceada son:

- Carga en fase **a**:  $R = 4 \Omega$ ;  $L = 1.2 \text{ mH}$ .
- Carga en fase **b**:  $R = 8 \Omega$ ;  $L = 1.2 \text{ mH}$ .
- Carga en fase **c**:  $R = 10 \Omega$ ;  $L = 1.2 \text{ mH}$ .

Los valores de los voltajes de salida por fase en estas condiciones son:

$$V_{a\text{salida}} = 76 V_{\text{max}}$$

$$V_{b\text{salida}} = 76 V_{\text{max}}$$

$$V_{c\text{salida}} = 86 V_{\text{max}}$$

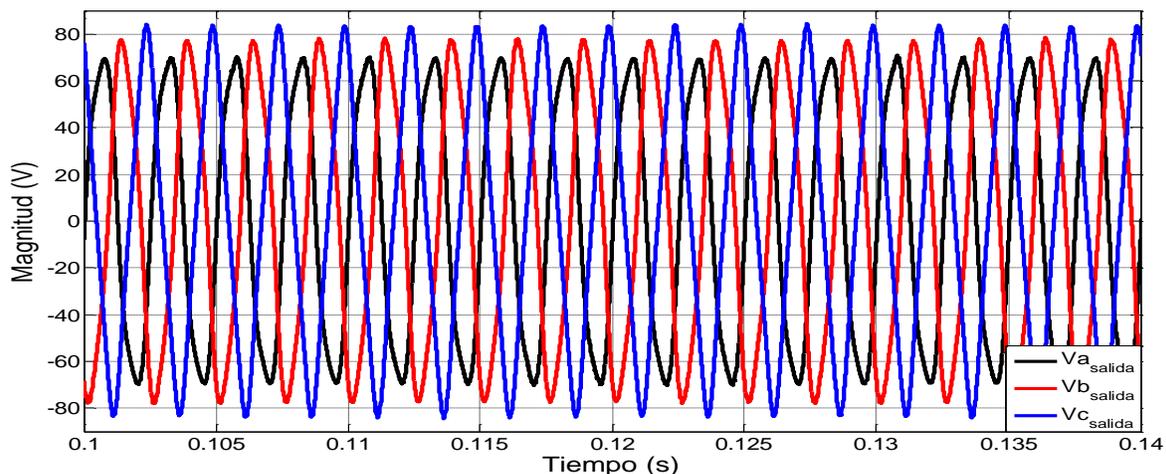


Figura 4.65 Voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada.

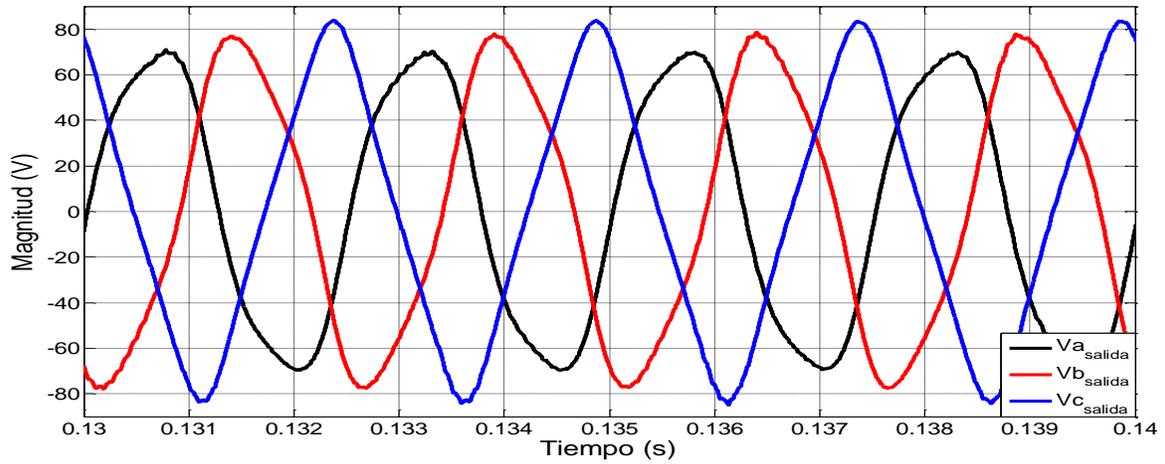


Figura 4.66 Detalle de los voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada.

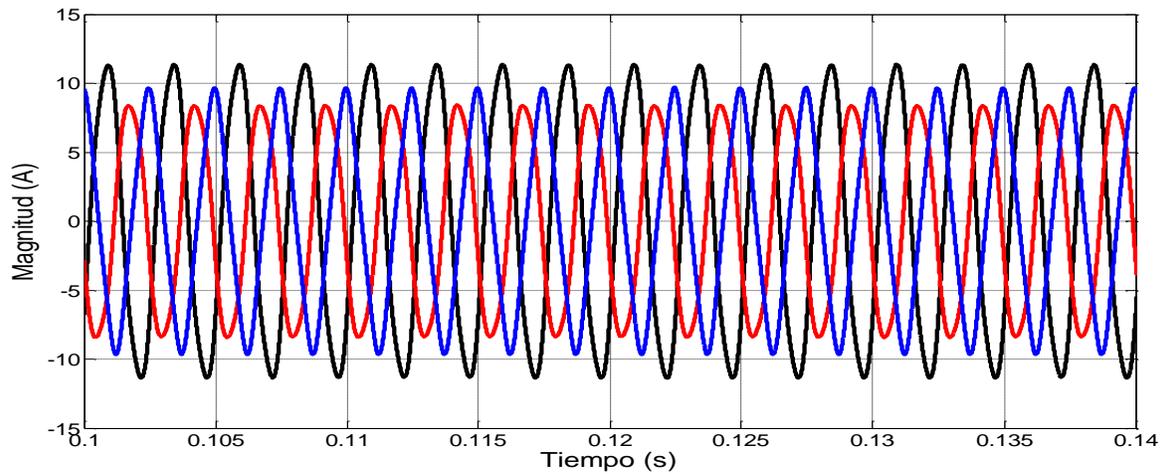


Figura 4.67 Corrientes de salida trifásica con carga desbalanceada RL.

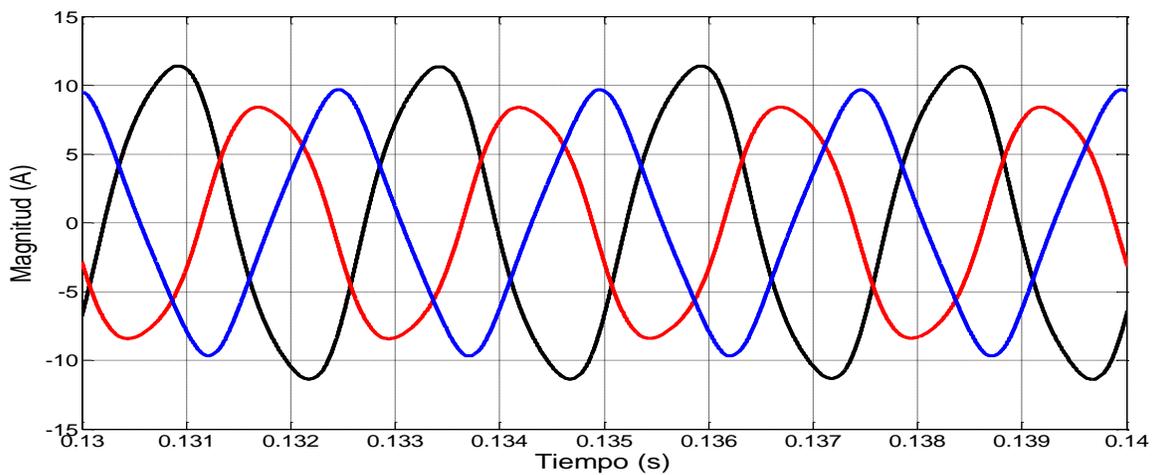


Figura 4.68 Detalle de las corrientes de salida trifásica con carga desbalanceada RL.

#### 4.4.4 Simulación del control de seguimiento más control repetitivo con carga resistiva-inductiva.

Debido a que el control repetitivo debe responder a altas frecuencias, atenuar los armónicos y el ruido sin alterar la frecuencia del sistema, entonces cuando se tiene conectada una carga RL balanceada/desbalanceada, este debe de responder satisfactoriamente.

En la Figura 4.69 cuando la carga RL es balanceada con los mismos valores mencionados, los voltajes de salida permanecen al mismo valor de magnitud de la señal de referencia. Las corrientes de salida se observan en la Figura 4.70.

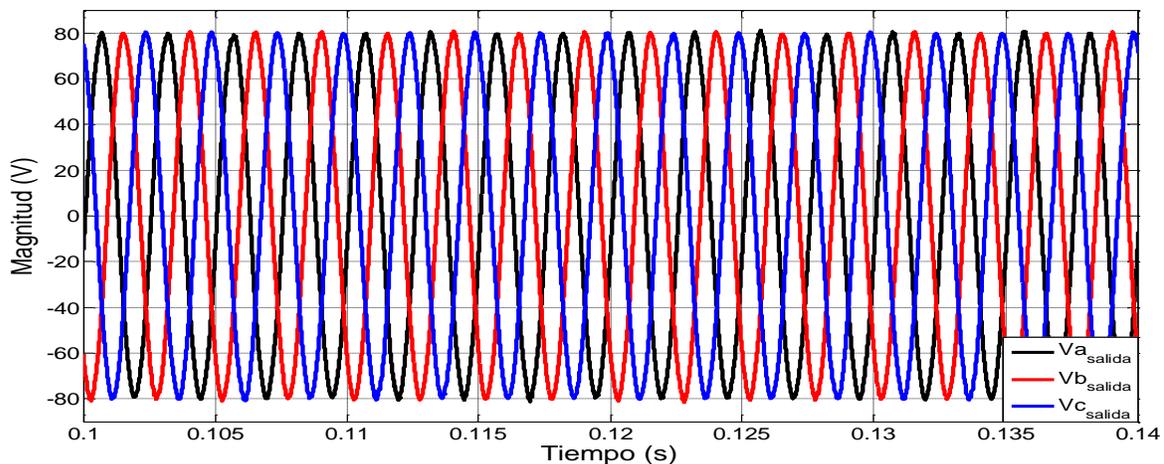


Figura 4.69 Voltajes de salida trifásicos de fase a neutro con CS más CR.

En el contenido armónico de un solo voltaje de salida se observa en la Figura 4.71 donde el valor de %THD = 2.34, el cual es menor que cuando se usa únicamente el control de seguimiento.

Por último, se observan en las Figuras 4.72 y 4.73 los voltajes de salida con carga RL desbalanceada. Las corrientes de salida se observan en la Figura 4.74.

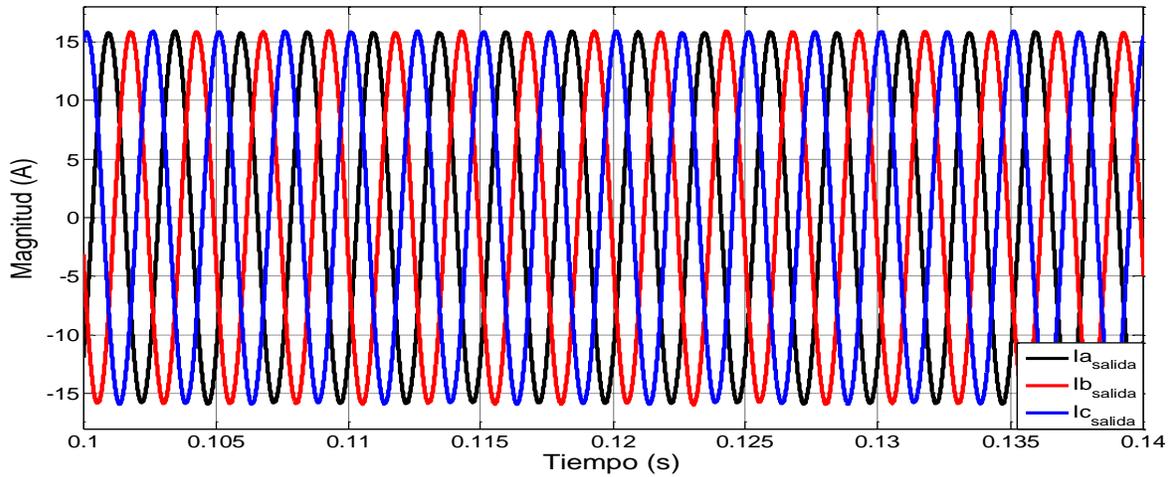


Figura 4.70 Corrientes de salida trifásica con CS más CR.

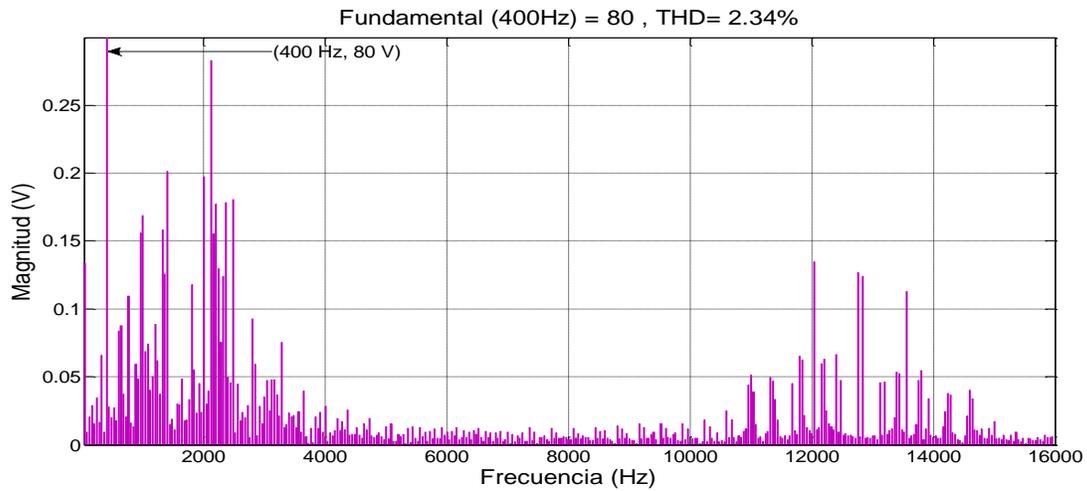


Figura 4.71 Análisis del contenido armónico de  $V_{a\_salida}$ .

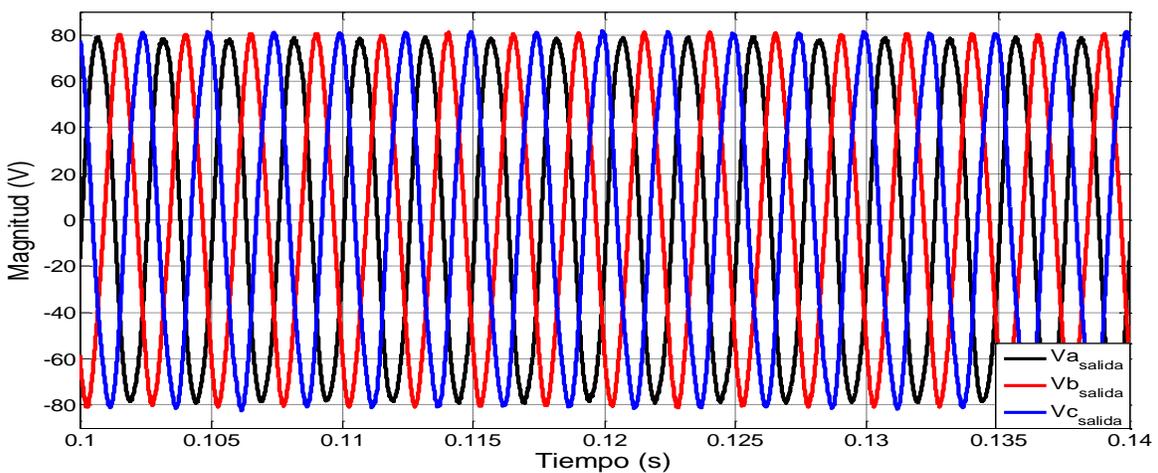


Figura 4.72 Voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada con CS más CR.

Los valores de los voltajes y corrientes de salida por fase en estas condiciones son (Figura 4.72 y 4.74):

$$V_{a\text{salida}} = 78 V_{\text{max}} \quad I_{a\text{salida}} = 12.2 A_{\text{max}};$$

$$V_{b\text{salida}} = 80 V_{\text{max}} \quad I_{b\text{salida}} = 9.5 A_{\text{max}};$$

$$V_{c\text{salida}} = 81 V_{\text{max}} \quad I_{c\text{salida}} = 9.3 A_{\text{max}}.$$

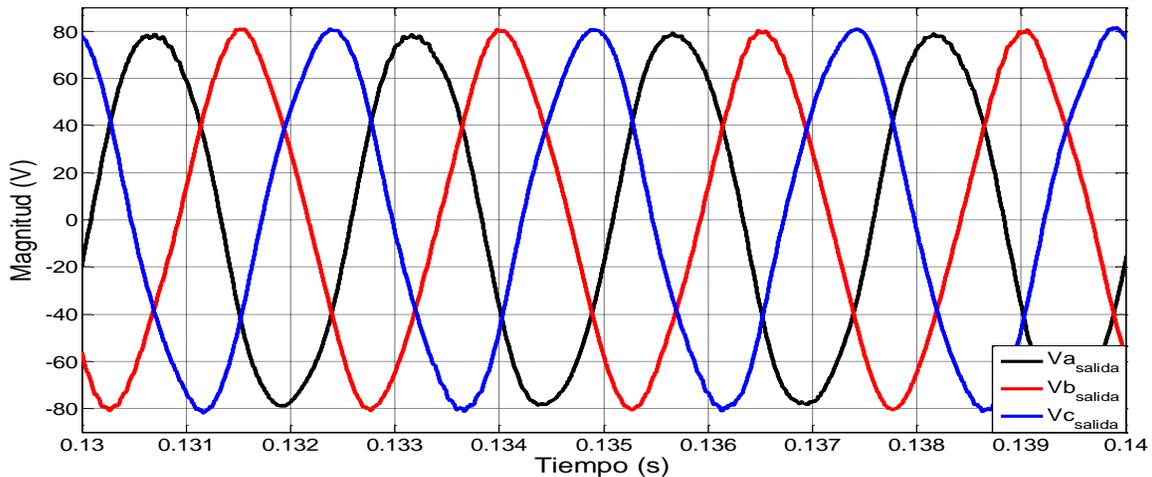


Figura 4.73 Detalle de los voltajes de salida trifásicos de fase a neutro con carga RL desbalanceada con CS más CR.

En la Figura 4.73 se observa que los voltajes trifásicos están en el nivel permisible de desbalanceo ( $\pm 3 V$ ), por consiguiente se concluye que al emplear los dos controladores, los niveles de los voltajes de salida en el CM con cargas desbalanceadas mantienen el valor de referencia.

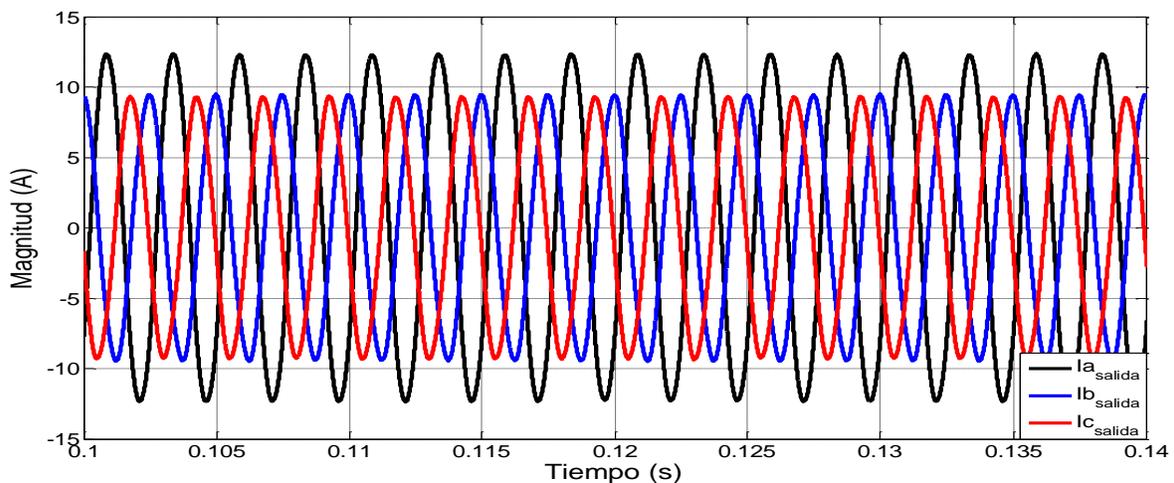


Figura 4.74 Corrientes de salida con carga desbalanceada RL con CS más CR

## CAPÍTULO 5. IMPLEMENTACIÓN.

### 5.1 INTRODUCCIÓN.

En este capítulo se describen las diferentes partes del prototipo del CM de 7.5 kVA, diseñado por la Universidad de Nottingham, Reino Unido por el grupo (PEMC), el cual es utilizado para la elaboración de esta tesis (Figura 5.1). Se Incluyen los elementos de software para la implementación del sistema de control. Al final de este capítulo se presentan las ecuaciones de los controladores que son implementados en el DSP.

### 5.2. CONVERTIDOR MATRICIAL.

El CM está compuesto por 9 IGBT's bidireccionales que conectan la salida directamente con alguna de las fases de entrada. La alimentación del CM es trifásica con tres hilos y la salida es trifásica más hilo neutro (3x4), sin embargo puede ser habilitado vía software como un convertidor de 3x3.



*Figura 5.1 Convertidor Matricial.*

El prototipo de la Figura 5.1 está formado por diferentes circuitos (ver Figura 5.2):

1. Circuitos de disparo de IGBT's bidireccionales.
2. Capacitores en conexión delta de 2  $\mu\text{F}$  como filtro de entrada y/o protección.
3. Conector para alimentación principal.
4. Circuito detector del sentido de la corriente de salida en cada fase.
5. Resistencias de 4700  $\Omega$  para circuito de enclavamiento.
6. Capacitores del circuito de protección de enclavamiento.
7. Transductores de voltaje para el circuito de enclavamiento y de medición de los voltajes de entrada de línea-línea.
8. Transductores de corriente de salida.
9. Terminales de conexión de la fase de salida u, v, w y n.
10. Conector DB9 de salida hacia la FPGA con datos de medición.
11. Conector para la medición de los voltajes de entrada.
12. Conector para alimentación de +5V/GND y +15V/-15 V.
13. Conector de las señales PWM desde la FPGA.

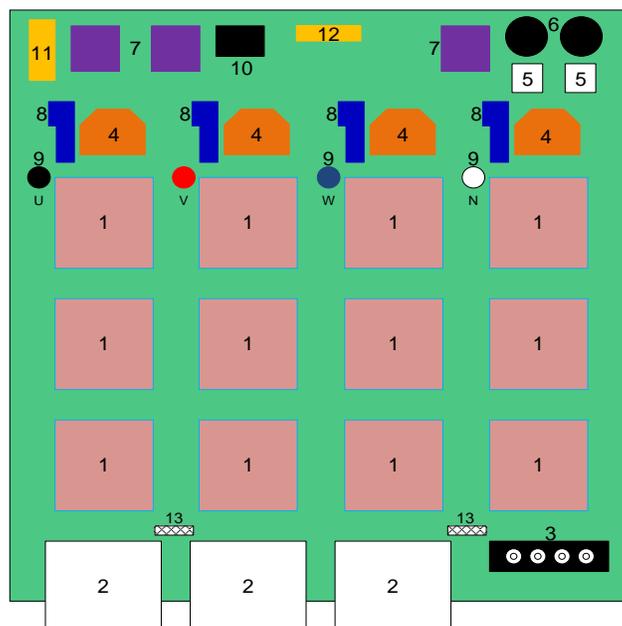


Figura 5.2 Distribución de componentes del Convertidor Matricial.

### 5.3. CIRCUITO DE PROTECCIÓN DE ENCLAVAMIENTO.

Como se ha mencionado, el CM no tiene enlace de CD y como consecuencia de esto, no cuenta con elementos de almacenamiento de energía como ocurre en los inversores convencionales, por lo tanto requiere de un circuito de protección llamado de enclavamiento tal como se muestra en la Figura 5.3 [53]. Este circuito protege al convertidor cuando existen algunas de las siguientes fallas: errores durante el proceso de conmutación de los interruptores bidireccionales, cuando alguna fase de salida no queda conectada con alguna de las fases de entrada, también en caso de que el filtro de entrada entre en resonancia, cuando puedan aparecer sobrecorrientes o sobrevoltajes en la entrada como pudiera suceder durante el arranque del convertidor. Durante estas condiciones, el voltaje del capacitor del circuito de enclavamiento puede incrementar hasta niveles indeseables, el cual es detectado mediante un transductor de voltaje, y si esta variable excede el valor máximo programado, entonces se deshabilitan las salidas PWM's generadas por la tarjeta de control hacia los IGBT's bidireccionales del CM.

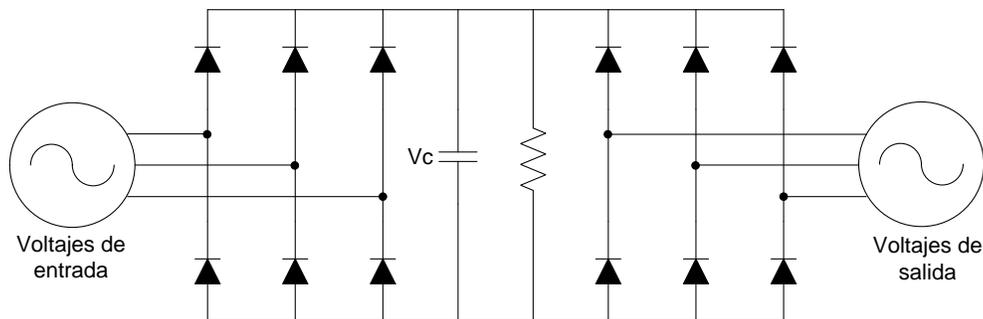


Figura 5.3 Circuito de protección de enclavamiento.

## 5.4. TARGETA DSK6713.

La tarjeta DSK6713 fabricada por Spectrum Digital Incorporated (Figura 5.4) es el elemento principal para el desarrollo de la implementación del algoritmo de control. Sus características principales son:

1. Plataforma DSP TMS120C6713, Texas Instrument.
2. Reloj programable hasta 225MHz.
3. 1800 MIP (millones de instrucciones por segundo).
4. 1350 MFLOPs (millones de operaciones en punto flotante por segundo).
5. Conectores de expansión para periféricos y memoria.
6. Puerto host port interface (HPI).
7. Conexión USB.



Figura 5.4 DSK6713.

El TMS320C673 tiene la arquitectura VLIW de las siglas en ingles *Very Long Instruction Word*, es decir que contiene juegos de instrucciones simples que se ejecutan en varios ciclos de reloj, donde cada instrucción especifica el estado de todas y cada una de las unidades funcionales del sistema, simplificando el código numérico.

La memoria interna está estructurada de manera que un total de ocho instrucciones pueden ser capturadas en un ciclo. Por ejemplo, con un reloj de 225 MHz, el C6713 es capaz de capturar ocho instrucciones de 32-bits cada 4.44 ns.

El C6713 tiene 264 kB de memoria interna de los cuales 8 kB se destinan a los captadores de instrucciones (L1P) y a los operadores de datos (L1D), y 256 kB se destinan a la memoria de nivel 2 (L2) y para almacenar el código y los datos. Seis Unidades Aritméticas Lógicas (ALU) y dos unidades multiplicadoras con un bus de direcciones de 32-bits que manejan 4GB de memoria y dos registros de propósito general (A0-15 y B0-15) de 32-bits. Este dispositivo tiene una interfaz de “cola” destinada para memorias externas de forma síncrona (SDRAM y SBSRAM) y asíncronas (SRAM, EPROM, FIFO). El término “cola” se refiere a que el procesador y los dispositivos de las memorias pueden ser conectados al mismo tiempo sin requerir algún dispositivo adicional para obtener una interfaz compatible.

El DSK6713 está integrado por dos temporizadores, un puerto de interfaz gráfica (HPI) y un EMIF (interfaz de memoria externa) de 32-bits. El DSK requiere una alimentación de 3.3 V para entradas y salidas, y un voltaje de 1.26 V para el núcleo interno, un bus de datos del programa de 256-bit, dos líneas de flujo de 32-bit para la dirección de datos, dos líneas de flujos de datos de 64 bit y dos almacenadores de datos de 64 bit, incluye 4 memorias externas CE0 (dirección 0x80000000), CE1(0x90000000), CE2 y CE3. La memoria interna está organizada en bancos de memoria: dos de carga y dos de descarga para instrucciones que operen en forma paralela. El DMA (memoria de acceso directo) permite al dispositivo una correcta captura del programa, y la lectura y escritura de datos. El C6713 incluye una memoria flash de 512 kB de los cuales 256 kB son de lectura disponible para el usuario. La Figura 5.5 muestra el diagrama a bloques del TMS320C6713.

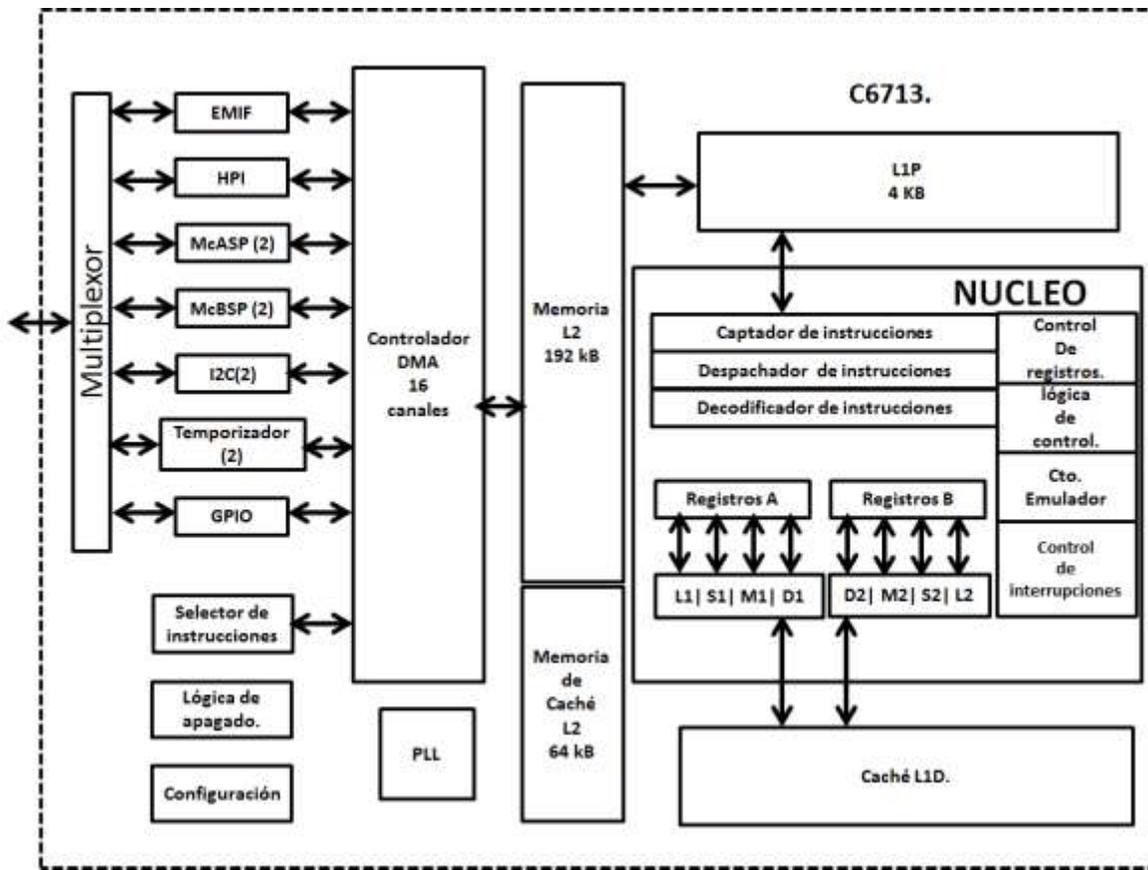


Figura 5.5 Diagrama de bloques del núcleo del DSP6713.

## 5.5. TARJETA HPI (HOST PORT INTERFACE).

La tarjeta HPI (Figura 5.6) es una extensión del DSK6713, con alta velocidad en la transferencia de datos, permitiendo el acceso a la memoria del DSK sin la interrupción del CPU del DSP, es decir existe la comunicación entre el DSP y el Host por medio del puerto USB sin interrupción, esto se realiza por medio del software Matlab v7.6 que permite que a través de una interfaz gráfica la descarga del programa, la inicialización, reseteo, lectura y escritura de la memoria del DSP, así como el monitoreo y control de las variables creadas. De este modo, el DSP se mantiene en estado de reinicio.

Para usar esta interfaz gráfica se necesitan archivos que deben ser instalados dentro de un directorio de Matlab v7.6, que consisten en comandos para ejecutar la captura y transmisión de las variables creadas en la memoria del DSP. Este software fue creado por Matteo Tomasini graduado de la Universidad de Nottingham pero fue modificado en este trabajo (Apéndice C).

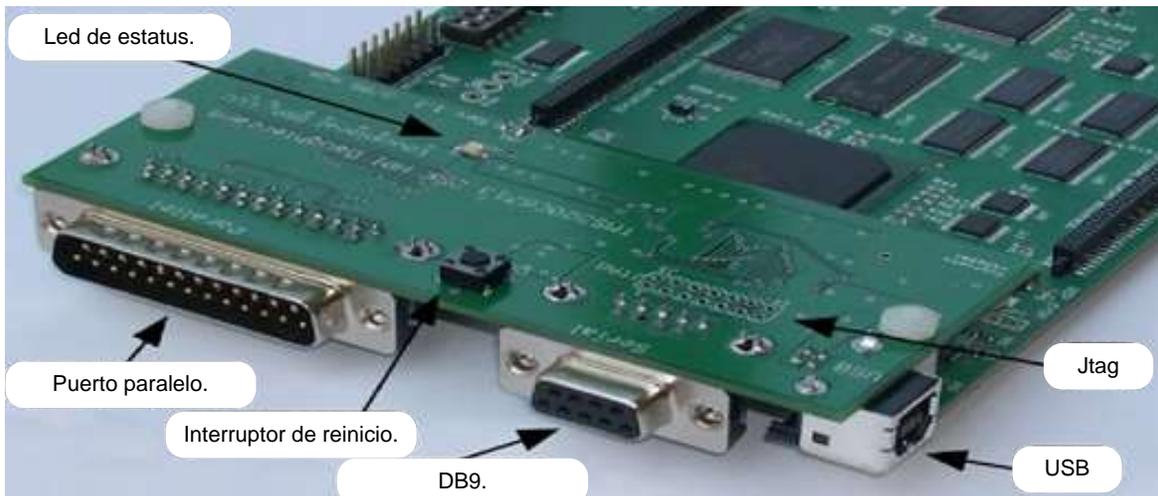


Figura 5.6 Tarjeta HPI.

## 5.6. TARJETA DE INTERFAZ FPGA.

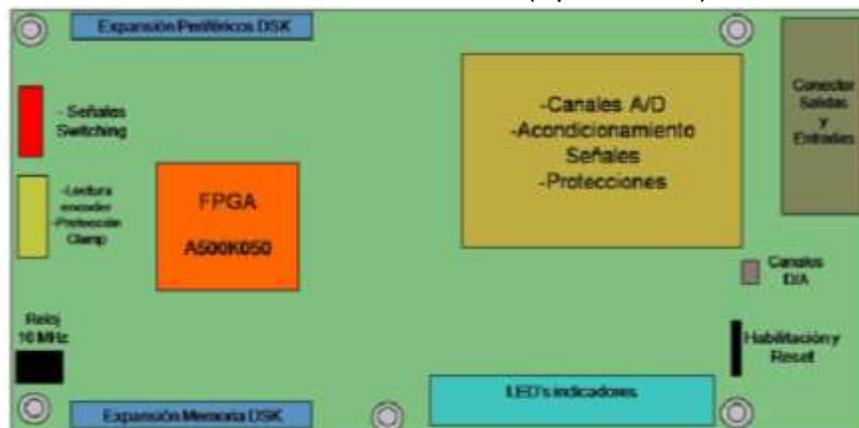
La tarjeta de FPGA (Field Programmable Gate Array) fue diseñada por el grupo PEMC de la Universidad de Nottingham (Figura 5.7 y 5.8). Esta tarjeta aumenta la capacidad del DSP e incluye los convertidores analógicos/digitales. La FPGA se mapea con la memoria del DSK6713 a través de EMIF.



Figura 5.7 FPGA.

Esta tarjeta tiene los siguientes elementos y funciones:

- 10 canales de conversión Analógico/Digital.
- 4 canales de Conversión Digital/Analógico.
- Cargar y enviar los pulsos de disparo de los interruptores del convertidor.
- Protección por sobrecorriente y sobretensión.
- Lectura del voltaje de enclavamiento.
- Reloj interno de 50 MHz.
- Sistema Watchdog.
- Interfaz para sensores de temperatura.
- Entrada para habilitar y reiniciar los PWM's del sistema.
- Registros internos de DPR0 hasta DPR21 (Apéndice D).



*Figura 5.8 Distribución interna de la FPGA.*

El programa interno de la FPGA fue elaborado también por el grupo PEMC y contiene lo siguiente:

- Registros para el control de los convertidores Analógico/Digital.
- Registro de habilitar/deshabilitar el convertidor.
- Registro para controlar los leds indicadores.
- Registro para generar el PWM externo hacia el DSP.
- Registro para los tiempos de retardo de la conmutación de cuatro pasos.

La función PWM de la FPGA es generar la interrupción del DSP, una vez que el conteo del periodo del PWM llega a su fin (fijado por el usuario). En este caso el periodo se fija a un valor de 78.125  $\mu$ s. Durante esta rutina de interrupción la información de los canales analógico/digital son extraídos hacia un registro de la FPGA, los cuales contienen la información de los voltajes de entrada y salida, corrientes de salida por fase, el tren de pulsos del sentido de la corriente de salida y el voltaje del capacitor del circuito de enclavamiento. Una vez capturadas estas mediciones, son enviados por medio de la EMIF al DSP para calcular los ciclos de trabajo implementados en el algoritmo de SVM, posteriormente se reenvía el vector de conmutación hacia un registro de la FPGA para calcular los patrones de conmutación y generar 9 pulsos PWM, los cuales se comparan en un circuito lógico implementado en la FPGA, y generan los 18 pulsos necesarios de acuerdo al sentido de la corriente de cada fase de salida. La Figura 5.9 ilustra la interrupción de la FPGA en cada periodo de muestreo  $T_s$ . El diagrama esquemático de la FPGA se muestra en la Figura 5.10.

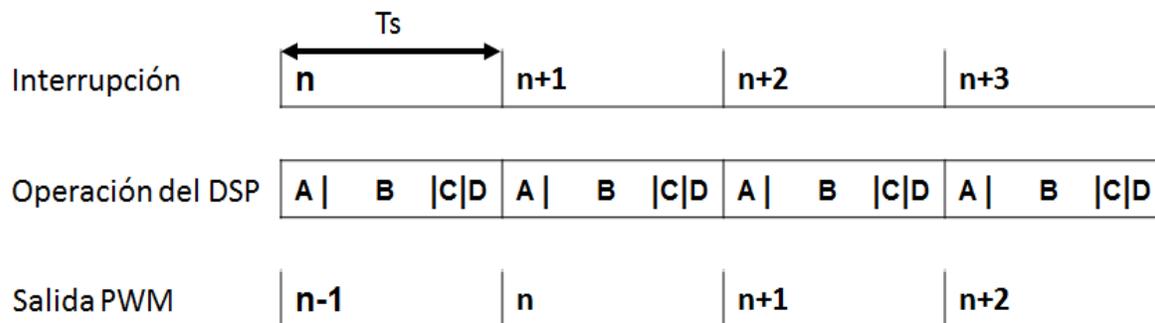


Figura 5.9 Concepto de PWM e interrupción en FPGA.

En la Figura 5.9, en el intervalo A, los canales analógicos/digitales son muestreados por la FPGA y enviados al DSP. En B el DSP debe realizar lo más rápido posible los cálculos del control y de los ciclos de trabajo, y calcular el vector PWM de salida. Estos vectores y los tiempos de encendido son transferidos a un generador PWM, en un registro propio de la FPGA. En el intervalo C se generan los 18 pulsos PWM's. En el intervalo D se realiza la comunicación del HPI, antes

de que llegue la próxima interrupción en el Ts. La longitud de este intervalo está en función de la frecuencia de interrupción (alta frecuencia, menor tiempo para instrucciones durante la rutina de interrupción).

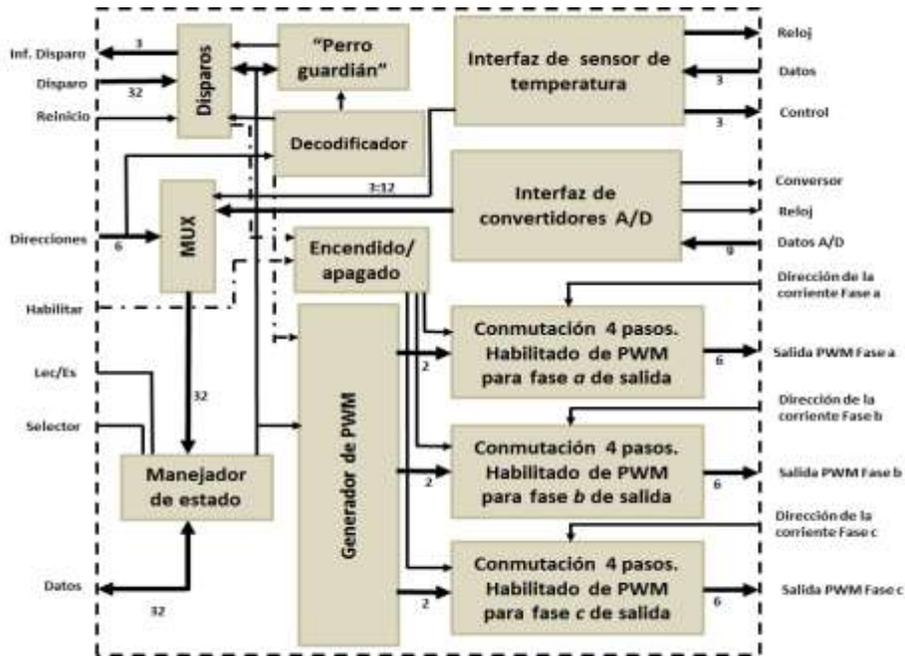


Figura 5.10 Arquitectura de FPGA.

## 5.7 FILTRO DE ENTRADA.

En el Capítulo 2, se plantea que debido a la frecuencia de conmutación de los interruptores bidireccionales, se generan armónicos de alta frecuencia provocando distorsión en las formas de onda de las corrientes de entrada, por lo tanto resulta imprescindible el uso de un filtro. El filtro de entrada es mostrado en la Figura 2.10 y 5.11.

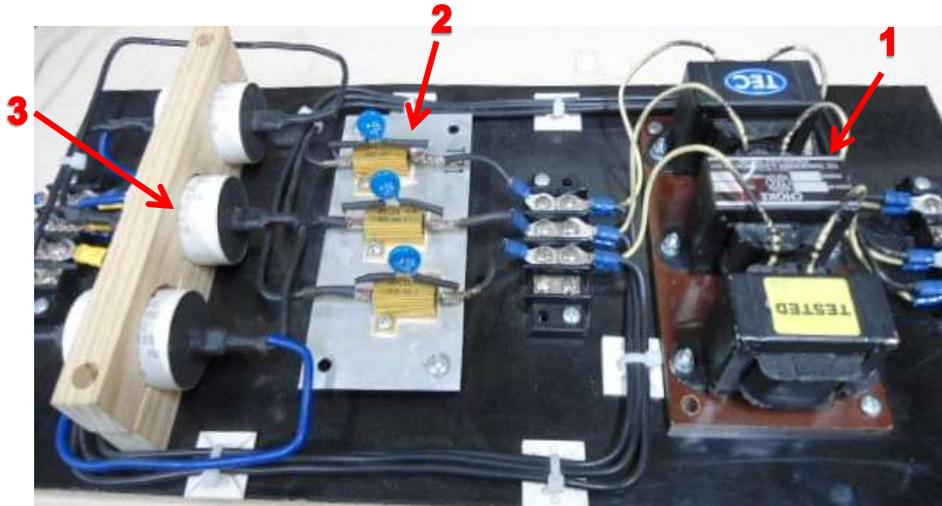


Figura 5.11 Filtro de entrada.

Las características del filtro de entrada son:

Tabla 5.1. Características filtro de entrada.

ELEMENTO	VALOR
1.- Inductor <ul style="list-style-type: none"> <li>• Corriente nominal</li> <li>• Frecuencia</li> </ul>	700 $\mu$ H 8 A 50 Hz
2.- Resistencia de amortiguamiento	56 $\Omega$
3.- Capacitor <ul style="list-style-type: none"> <li>• Tolerancia</li> <li>• Frecuencia</li> <li>• Corriente</li> </ul>	26 $\mu$ F 3 % 50 Hz 28.2 A rms

## 5.8. FILTRO DE SALIDA.

La función del filtro de salida es reducir el contenido de armónicos en los voltajes de salida. El voltaje entre los capacitores en conexión estrella son las señales de retroalimentación utilizada en la implementación del control, ya que la carga se conecta en paralelo con estos. En la Figura 5.12 se muestra el filtro de salida, y sus características en la Tabla 5.2.

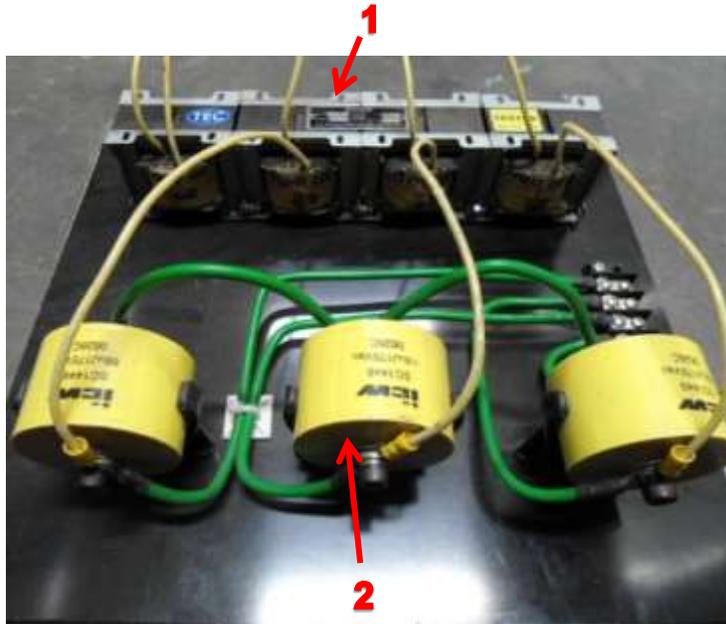


Figura 5.12 Filtro de salida.

Tabla 5.2. Características filtro de salida.

ELEMENTO	VALOR	ELEMENTO	VALOR
1.- Inductor	128 $\mu$ H	2.- Capacitor	68 $\mu$ F
<ul style="list-style-type: none"> <li>• Corriente nominal</li> <li>• Voltaje nominal</li> <li>• Frecuencia</li> <li>• Resistencia interna</li> </ul>	25 A 117 Vrms 400 Hz 50 m $\Omega$	<ul style="list-style-type: none"> <li>• Tolerancia</li> <li>• Voltaje nominal</li> <li>• Corriente nominal</li> <li>• Material</li> </ul>	5% 117Vrms 50-100 Arms Polipropileno metalizado

## 5.9. IMPLEMENTACIÓN DE LOS CONTROLADORES.

Debido a que las señales de retroalimentación son continuas y se encuentran en el dominio del tiempo, y los controladores están en tiempo discreto, es necesaria la conversión de las señales adquiridas a señales digitales. A continuación se describe el desarrollo de la implementación de los controladores en el dominio z.

### 5.9.1 Control de Seguimiento.

Si la función de transferencia del control de seguimiento es la ec. 3.15 con su respectiva ganancia  $k$  y sus respectivos polos:

$$\frac{Y(z)}{U(z)} = 1.1 * \frac{z^2 - 1.319z + 0.9699}{z^2 + 0.422z + 0.402} \quad (5.1)$$

Multiplicando la ecuación anterior por  $z^{-2}$

$$\frac{Y(z)}{U(z)} = 1.1 * \frac{1 - 1.319z^{-1} + 0.9699z^{-2}}{1 + 0.422z^{-1} + 0.402z^{-2}} \quad (5.2)$$

Despejando:

$$Y(z) [1 + 0.422z^{-1} + 0.402z^{-2}] = 1.1 * [1 - 1.319z^{-1} + 0.9699z^{-2}] U(z) \quad (5.3)$$

Despejando  $Y(z)$  el cual representa el valor de salida:

$$Y(z) = 1.1 * [U(z) - 1.319z^{-1}U(z) + 0.9699z^{-2}U(z)] - 0.422z^{-1}Y(z) - 0.402z^{-2}Y(z) \quad (5.4)$$

Reagrupando:

$$Y(z) = -0.402z^{-2}Y(z) - 0.422z^{-1}Y(z) + 1.1 * [0.9699z^{-2}U(z) - 1.319z^{-1}U(z) + U(z)] \quad (5.5)$$

La ecuación para ser implementada en el DSP en cada fase es:

$$Y(k) = -0.402Y(k-2) - 0.422Y(k-1) + 1.1 * [0.9699U(k-2) - 1.319U(k-1) + U(k)] \quad (5.6)$$

De la Figura 3.13:

$$U(k) = 3.5 * V(k)_{ref} - V(k)_{fb} \quad (5.7)$$

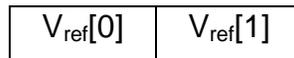
La ganancia de 3.5 es para eliminar el error en estado estable, lo cual se describe en la sección 3.2 de acuerdo a la arquitectura de control propuesta.

### 5.9.2 Control Repetitivo.

Para la implementación de este control se sugieren los siguientes pasos de acuerdo a la Figura 3.18:

#### 1. PASO.

La señal de referencia pasa por un bloque de retardo  $z^{-1}$ , es decir el valor de la señal de referencia se le asigna un registro de desplazamiento de izquierda a derecha en una localidad de memoria etiquetada de la siguiente manera:



Es decir, en un periodo de muestreo el valor de referencia actual se almacena en la localidad  $V_{ref}[1]$  y en el siguiente periodo de muestreo, este valor se desplaza a la localidad  $V_{ref}[0]$ .

*Inicio del desplazamiento de la muestra en cada  $T_s$ .*

$$V_{ref}[0] = V_{ref}[1]; \quad (5.8)$$

$$V_{ref}[1] = V_{ref}(\text{actual}); \quad (5.9)$$

$$V_{ref\_retardo} = V_{ref}[0]; \quad (5.10)$$

*Comparación entre la señal de referencia con retardo y la señal de retroalimentación.*

$$e(k) = V_{ref\_retardo} - V_{retroalimentación} \quad (5.11)$$

2. PASO.

Obtener una salida  $MI(z)$  (Modelo Interno) con un periodo fundamental de 32 muestras (ver Figura 5.13).

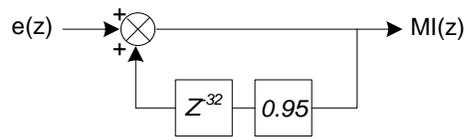


Figura 5.13 Bloque de retardo de MI.

Por lo tanto:

$$\frac{MI(z)}{e(z)} = \frac{1}{1 - 0.95z^{-32}} \quad (5.12)$$

Despejando  $MI(z)$  se tiene:

$$MI(z) = e(z) + 0.95 * z^{-32} MI(z) \quad (5.13)$$

La ecuación para implementarse en el DSP es:

$$MI(k) = e(k) + 0.95 * MI(k - 32) \quad (5.14)$$

3. PASO.

Obtener la salida  $MI\_2$  (ver Figura 5.14).

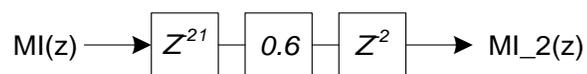


Figura 5.14 Bloque de retardo.

De acuerdo a la Figura 5.14, se tiene que  $(z^{-21})(z^{-2})=z^{-23}$ , entonces:

$$\frac{MI\_2(z)}{MI(z)} = 0.6z^{-23} \quad (5.15)$$

Despejando a  $MI\_2(z)$ :

$$MI\_2(z) = 0.6 * z^{-23} MI(z) \quad (5.16)$$

La ecuación para implementarse en el DSP es:

$$MI\_2(k) = 0.6 * MI(k - 23) \quad (5.17)$$

#### 4. PASO.

Implementar el compensador  $S(z)$ , el cual es un filtro IIR paso bajo, que genera 2 retardos (Figura 5.15), por consiguiente se aplica el mismo método de la sección 5.9.1.

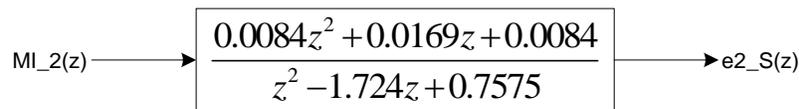


Figura 5.15 Bloque del filtro IIR paso bajo.

Si:

$$\frac{e2\_S(z)}{MI\_2(z)} = \frac{0.0084z^2 + 0.0169z + 0.0084}{z^2 - 1.724z + 0.7575} \quad (5.18)$$

Multiplicando por  $z^{-2}$

$$\frac{e2\_S(z)}{MI\_2(z)} = \frac{0.0084 + 0.0169z^{-1} + 0.0084z^{-2}}{1 - 1.724z^{-1} + 0.7575z^{-2}} \quad (5.19)$$

Despejando  $e2\_S(z) \longrightarrow e2\_S(k)$

$$e2\_S(k) = -0.7575 * e2\_S(k-2) + 1.724 * e2\_S(k-1) + [0.0084 * MI\_2(k-2) + 0.0169 * MI\_2(k-1) + 0.0084 * MI\_2(k)] \quad (5.20)$$

## 5. PASO.

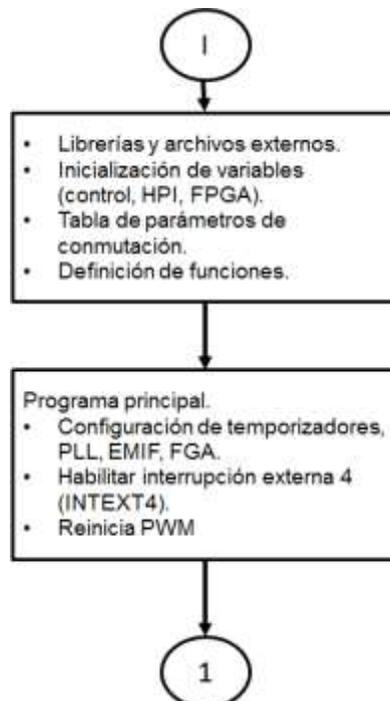
Finalmente, se calcula el punto suma entre la señal generada  $e2\_S(k)$  y la señal de referencia actual. Este paso se llama “señal de referencia generada” que va directamente al control de seguimiento. Por lo tanto, lo que se implementa en el DSP es:

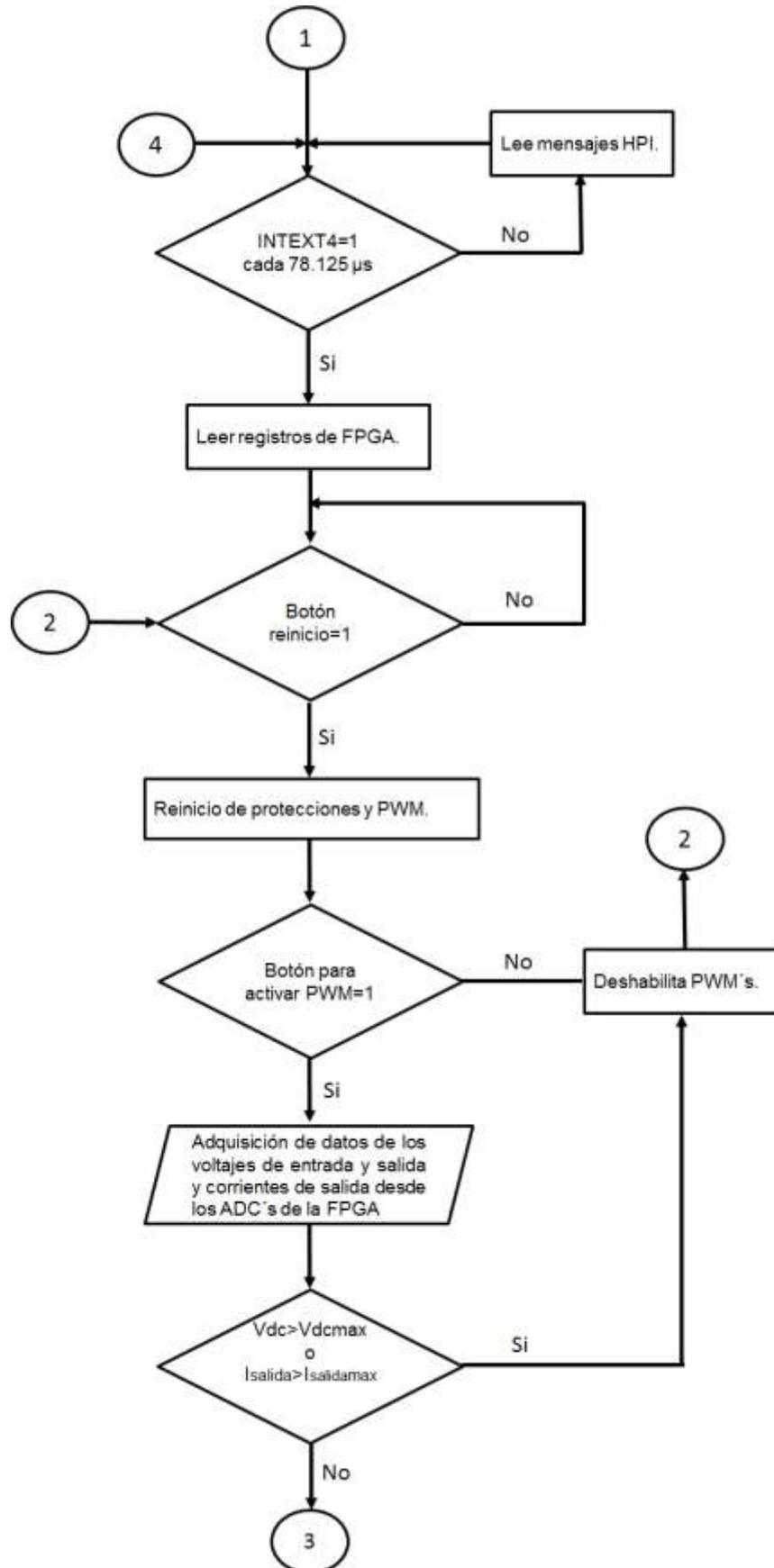
$$V_{ref\_generada} = ( e2\_S(k) + V_{ref}(actual)) \quad (5.21)$$

Donde el resultado de  $V_{ref\_generada}$  entra al control de seguimiento.

## 5.10. DIAGRAMA DE FLUJO.

En la Figura 5.16 representa el diagrama de flujo de la plataforma de control (Apéndice F).





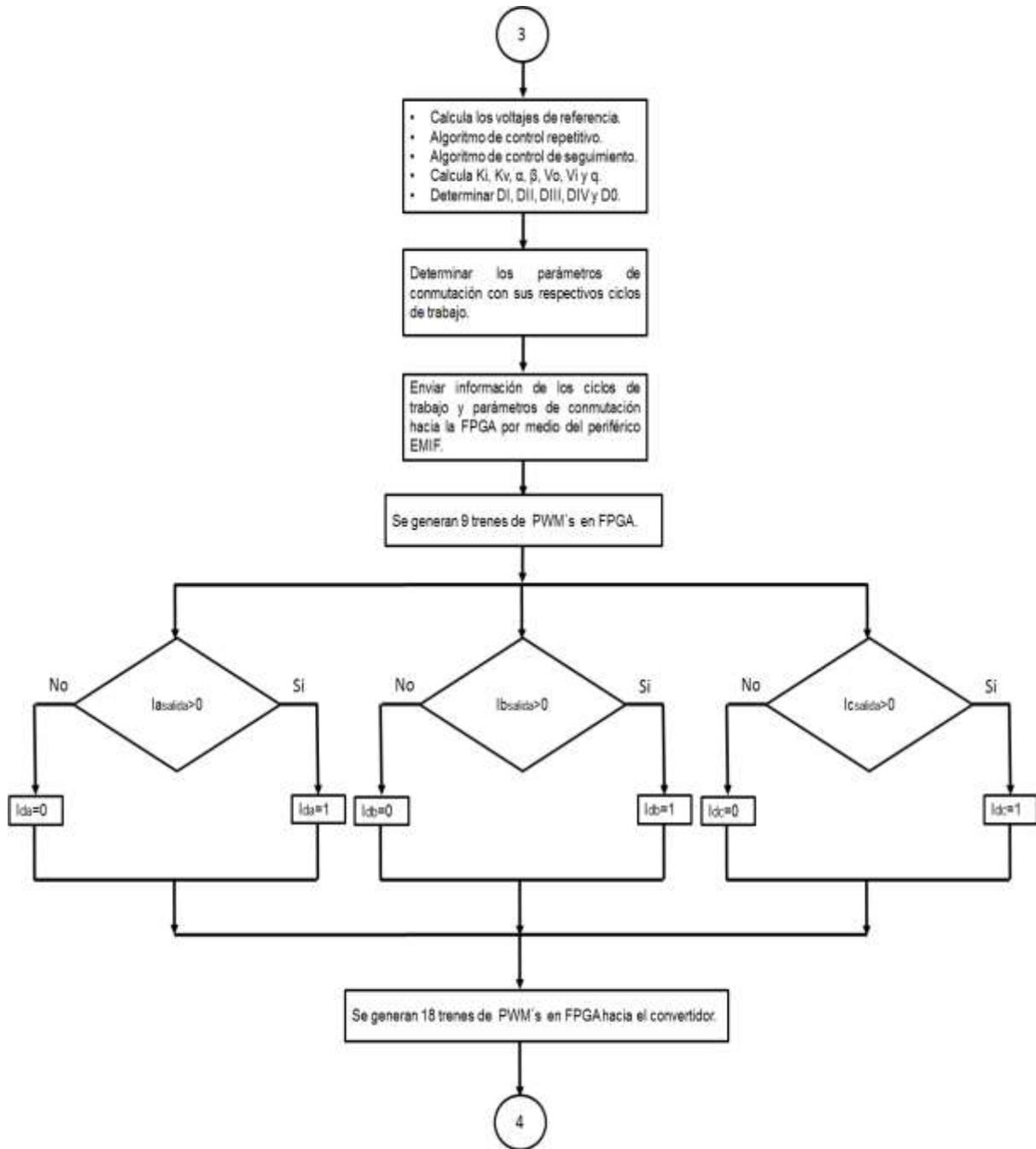


Figura 5.16 Diagrama de flujo.

## CAPÍTULO 6. RESULTADOS EXPERIMENTALES.

### 6.1 INTRODUCCIÓN.

En esta sección se presentan los resultados experimentales obtenidos en el laboratorio. Las mediciones son hechas de forma independiente debido a que solo se cuenta con una punta diferencial y una de corriente. Los valores obtenidos del %THD a lo largo de este capítulo son calculados usando el código del apéndice E. La potencia del CM es de 7.5 kVA, sin embargo en las pruebas experimentales solo se demanda el 51% de su capacidad, ya que la carga disponible es de 1-10  $\Omega$  a 2500 W de potencia. El voltaje de salida en el algoritmo del control se ajusta a un valor de 56  $V_{\text{rmsL-N}}$  para no exceder una corriente máxima de 25  $A_{\text{rms}}$  del CM.

### 6.2 PRUEBAS DE CONMUTACIÓN DE 4 PASOS Y PARAMETROS DE CONMUTACIÓN.

Antes de conectarle carga eléctrica al CM, se realiza la prueba de la conmutación de 4 pasos para verificar los tiempos de retardo ( $t_1$ ,  $t_2$  y  $t_3$ ) de acuerdo a lo programado en el DSP y checar el correcto funcionamiento del circuito electrónico que determina el sentido de la corriente de salida. Este circuito se compone de dos diodos Schottky en conexión antiparalelo, un comparador LM311 y un optoacoplador. Para realizar esta prueba se conecta entre los diodos una fuente de 20 V, 60 Hz y una carga resistiva de 10  $\Omega$  (Figura 6.1). Cuando  $i_{\text{salida}} > 0$ , la caída de tensión en el diodo Schottky es positiva siendo mayor al voltaje de referencia (0 V) del comparador LM311, la salida de este comparador es de +15 V, que es el voltaje de entrada para el optoacoplador, el cual genera un pulso de salida de +5 V. Si  $i_{\text{salida}} < 0$ , la caída de tensión en el diodo es negativa, que es inferior al voltaje de referencia del LM311, por lo tanto la salida de este comparador es un pulso de 0 V generando el mismo voltaje de salida en el optoacoplador. Este tren de pulsos determina el sentido de la corriente de salida en la carga.

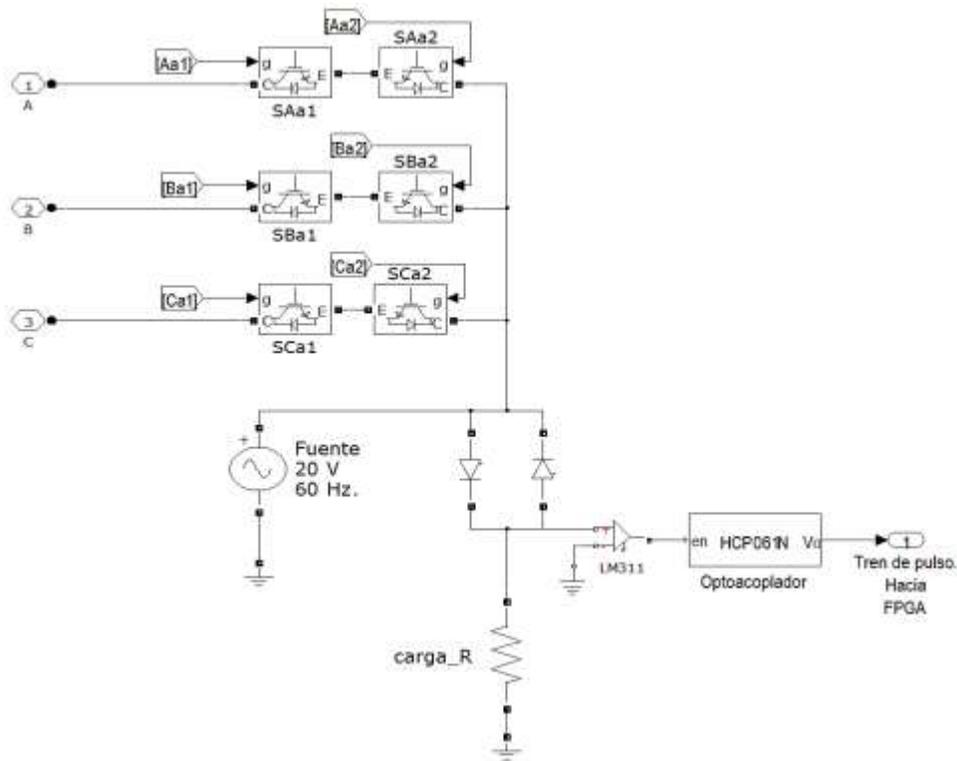


Figura 6.1 Circuito de prueba para la conmutación de 4 pasos.

En la Figura 6.2 el canal de color amarillo tiene 50  $\mu\text{s}/\text{div}$  en el eje del tiempo y 5 V/div para la magnitud del voltaje, se observa el tren de pulsos del sentido de la corriente de salida de la fase “a” con un voltaje máximo de 5  $V_{\text{cd}}$ .

Los canales de color morado son los pulsos PWM de los IGBT’s SAa1, SAa2, SBa1 y SBa2 generados por la tarjeta de control (FPGA).

Los tiempos de retardos programados en el DSP son:

$$t_1=t_2=t_3= 1\mu\text{s}.$$

Dando un total de  $t_d= 3\mu\text{s}$ .

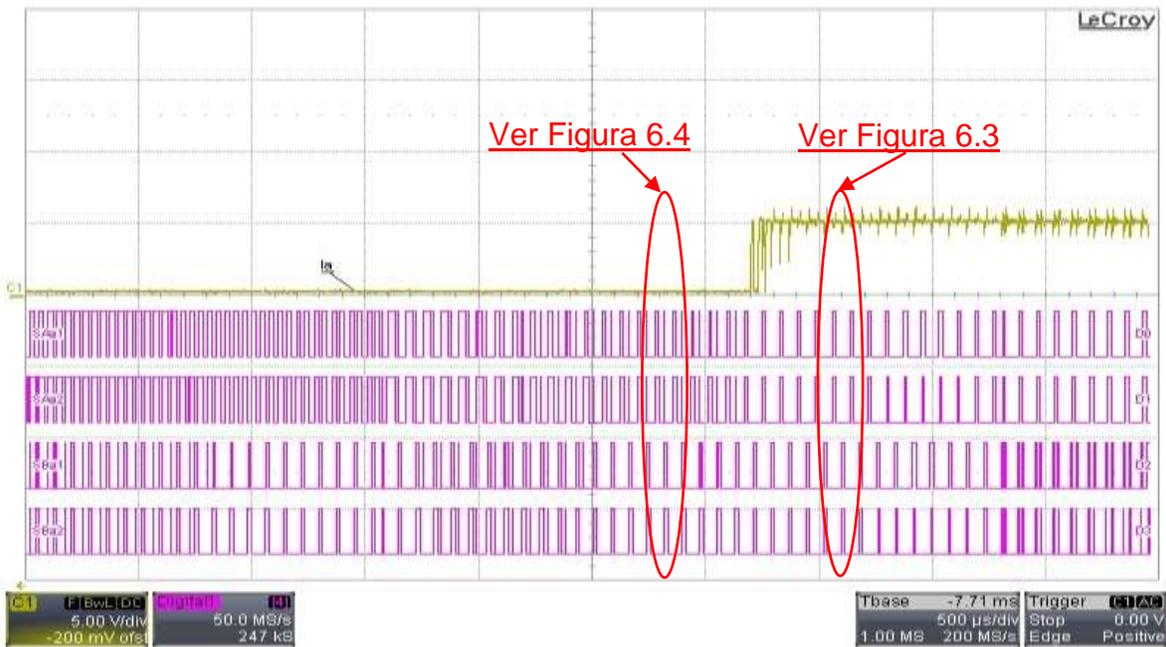


Figura 6.2 Sentido de la corriente en fase de salida “a” y PWM’s.

En la Figura 6.3 se muestra el detalle cuando el sentido de  $I_{a\text{salida}} > 0$ . Los cursores del osciloscopio despliegan el valor del pulso de salida ( $\approx 5$  V) en el primer recuadro ubicado en la parte inferior izquierda correspondiente al canal amarillo. En la parte inferior derecha de esta figura se aprecia el tiempo total de la transición del IGBT bidireccional SBa al SAa que es de  $t_d = 3.04 \mu\text{s}$ .

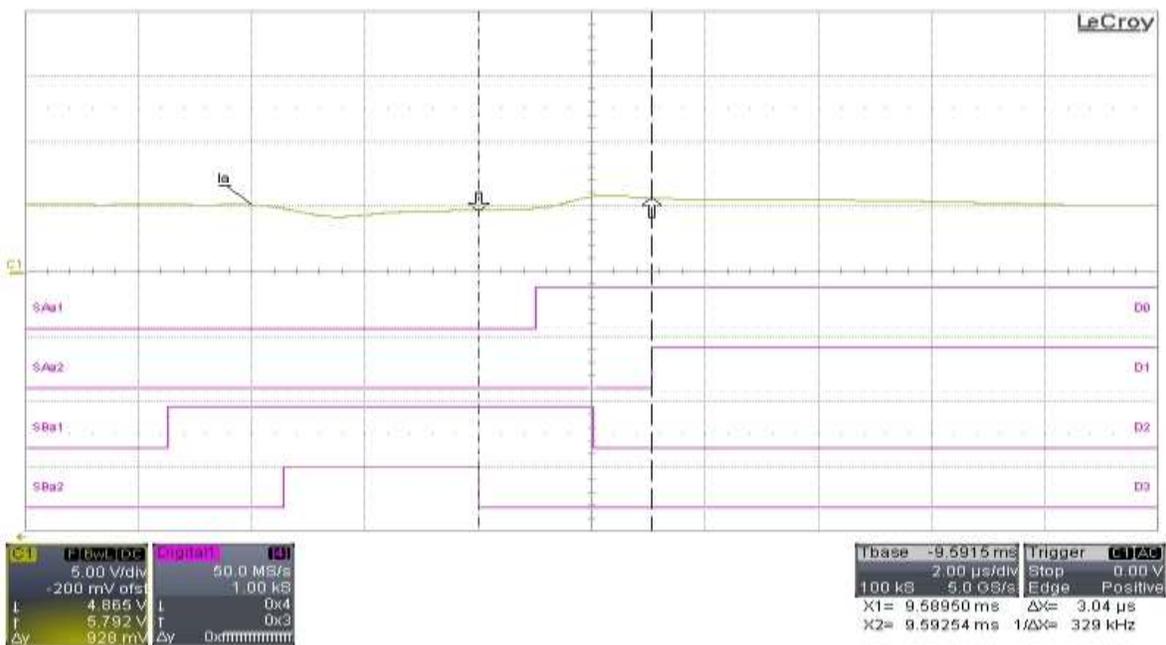


Figura 6.3 Detalle de la conmutación 4 pasos cuando  $I_{a\text{salida}} > 0$ .

Cuando el sentido de  $i_{a\text{salida}} < 0$  (0 V), el tiempo de transición del IGBT bidireccional SAa al SBa no es afectado (Figura 6.4).

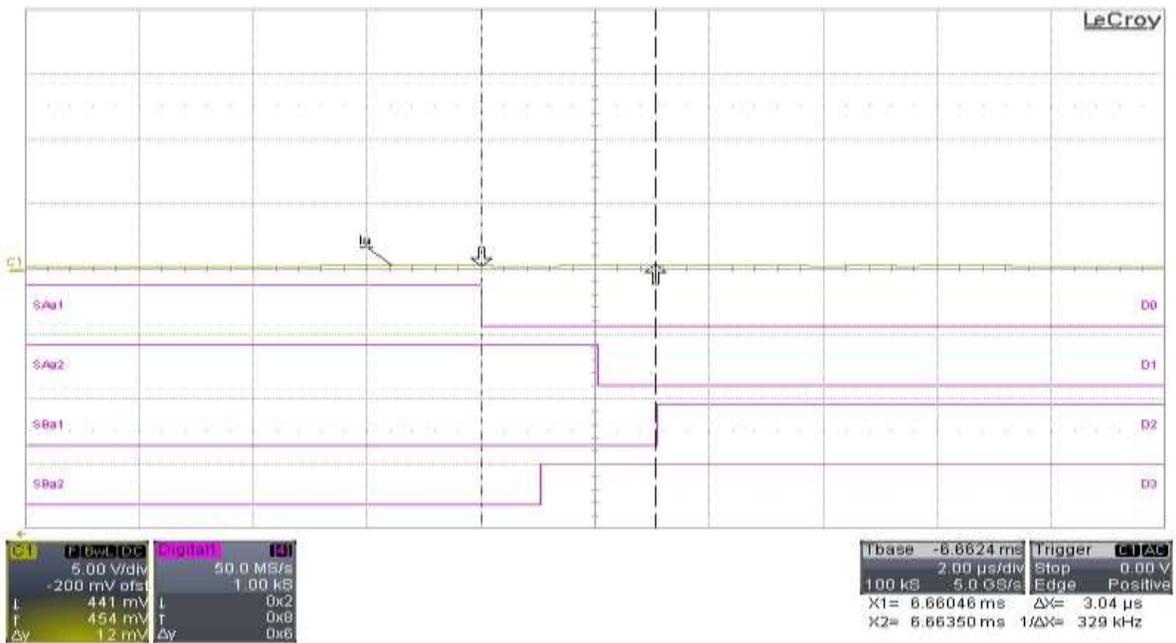


Figura 6.4 Detalle de la conmutación 4 pasos cuando  $i_{a\text{salida}} < 0$ .

Lo siguiente es verificar los parámetros de conmutación programados en el DSP de acuerdo al sector  $K_i$  y  $K_v$  (Tabla 2.3, sección 2). Tomando en cuenta el modelo simplificado del CM (Figura 6.5), en la Figura 6.6 se observan las señales PWM's (canales en color magenta) de los interruptores bidireccionales generando el parámetro de conmutación cuando  $K_i = K_v = 1$ , en un periodo de  $T_s = 1/12.8$  kHz (canal amarillo etiquetado con  $F_{sw}$ ).

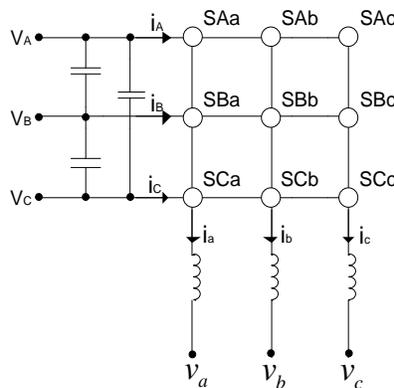


Figura 6.5 CM 3x3 simplificado.

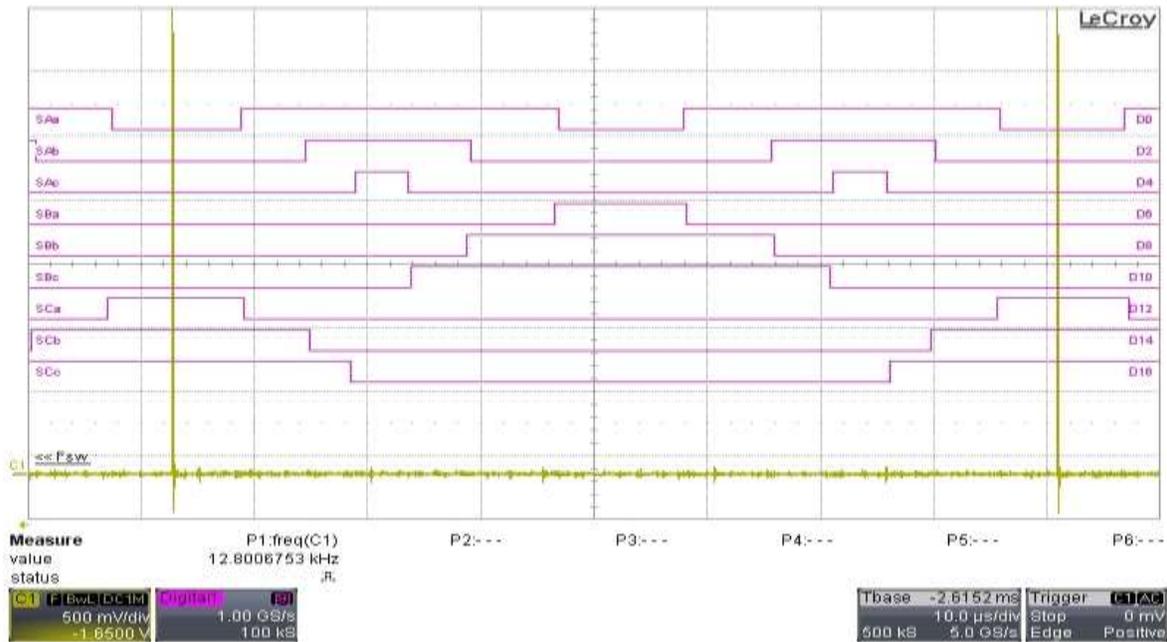


Figura 6.6 Prueba de los parámetros de conmutación siendo  $K_v=K_i=1$ .

La Figura 6.7 corresponde al parámetro de conmutación cuando  $K_v=1$  y  $K_i=3$ .

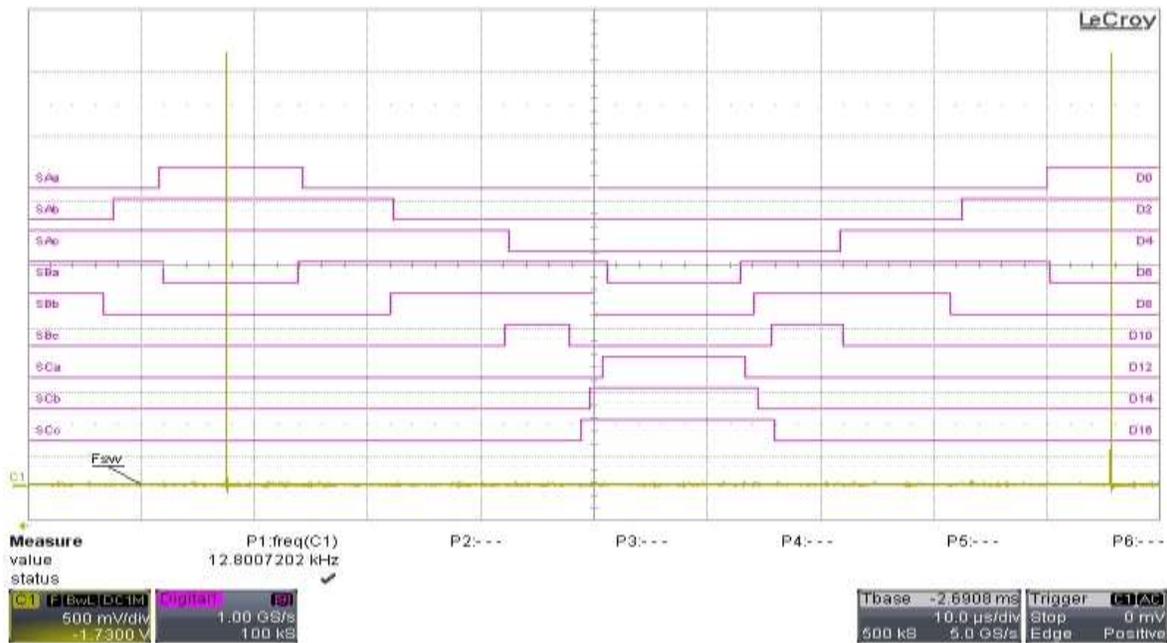


Figura 6.7 Prueba de los parámetros de conmutación siendo  $K_v=1$  y  $K_i=3$ .

Estas figuras pueden ser comparadas con las Figuras 4.9 y 4.9a que corresponden a los resultados obtenidos en la simulación.

## 6.3 CONVERTIDOR MATRICIAL SIN FILTROS.

El diagrama esquemático de la Figura 4.1 es implementado con los elementos eléctricos descritos en el capítulo 5, el cual no incluye los filtros de entrada y de salida.

Los elementos eléctricos que se tienen disponibles en el laboratorio son:

- 3 resistencias de  $R= 4 \Omega$  y una  $R=10 \Omega$  a 2500 W;
- 3 inductancias de  $L=128 \mu\text{H}$ ;
- 1 reactor trifásico en conexión estrella de 1.2 mH por fase;
- 1 variac trifásico conexión delta/estrella de 0 - 240  $V_{L-L}$  a la salida.

El voltaje trifásico de salida del variac se fija a 90  $V_{L-N}$  para la alimentación principal del CM. El voltaje de referencia de salida en el programa implementado solo con control PWM se fija a  $80 V_{\text{max}} / 400 \text{ Hz}$ , con un índice de modulación del 62%. La carga instalada por fase es de  $R= 4\Omega$ ;  $L= 128\mu\text{H}$  conexión estrella.

Las Figuras 6.8a - 6.8c con 2ms/div en el eje “x” correspondiente al tiempo y con 50 V/div sobre el eje “y” para la magnitud en voltaje, corresponden a los voltajes de salida medidos a través de la resistencia por cada fase. En estas figuras se observa un alto contenido armónico debido a que los filtros no están instalados. El espectro armónico de  $V_{L-N}$  se muestra en la Figura 6.9 con un %THD= 9.28.

Las lecturas obtenidas de los voltajes de salida de fase a neutro son:

- $V_{aL-N}= 98.5 V_{\text{max}}$ ;
- $V_{bL-N}= 80.8 V_{\text{max}}$ ;
- $V_{cL-N}= 91.8 V_{\text{max}}$ .

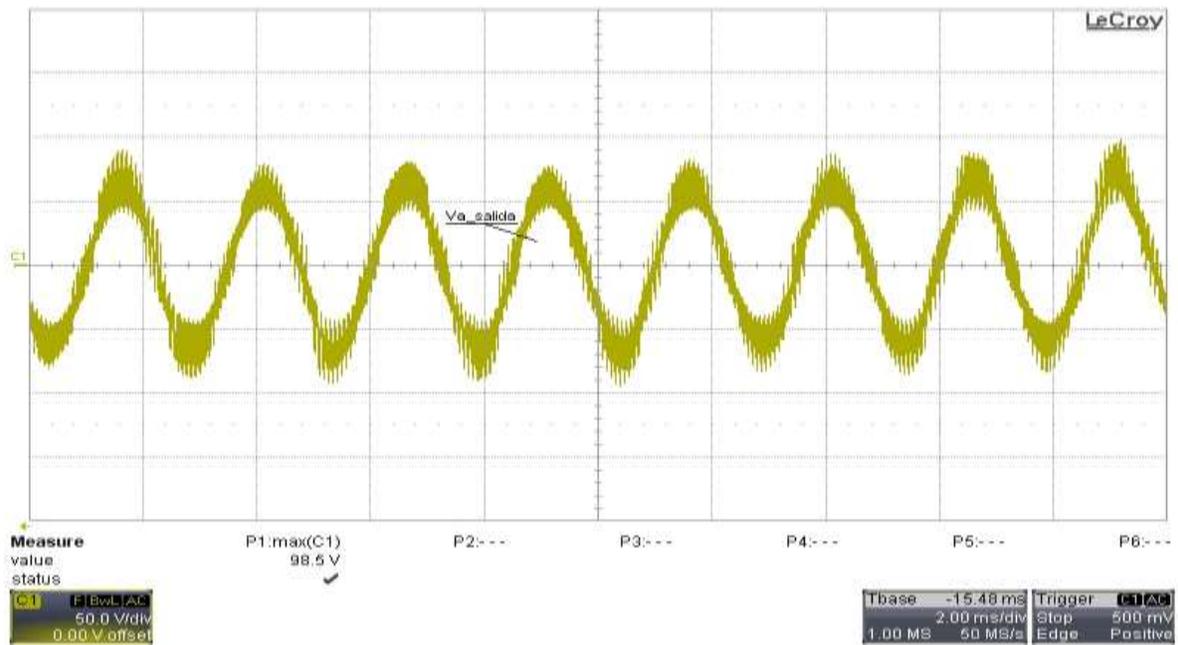


Figura 6.8a Voltaje de fase a neutro  $V_{aL-N}$ .

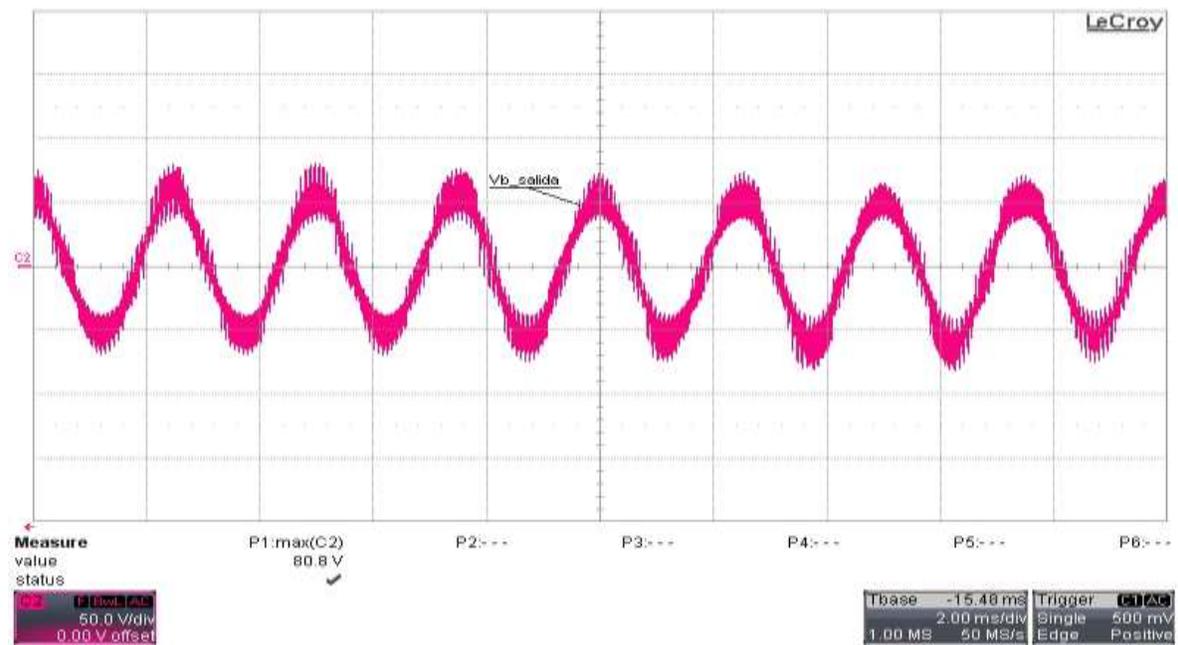


Figura 6.8b Voltaje de fase a neutro  $V_{bL-N}$ .

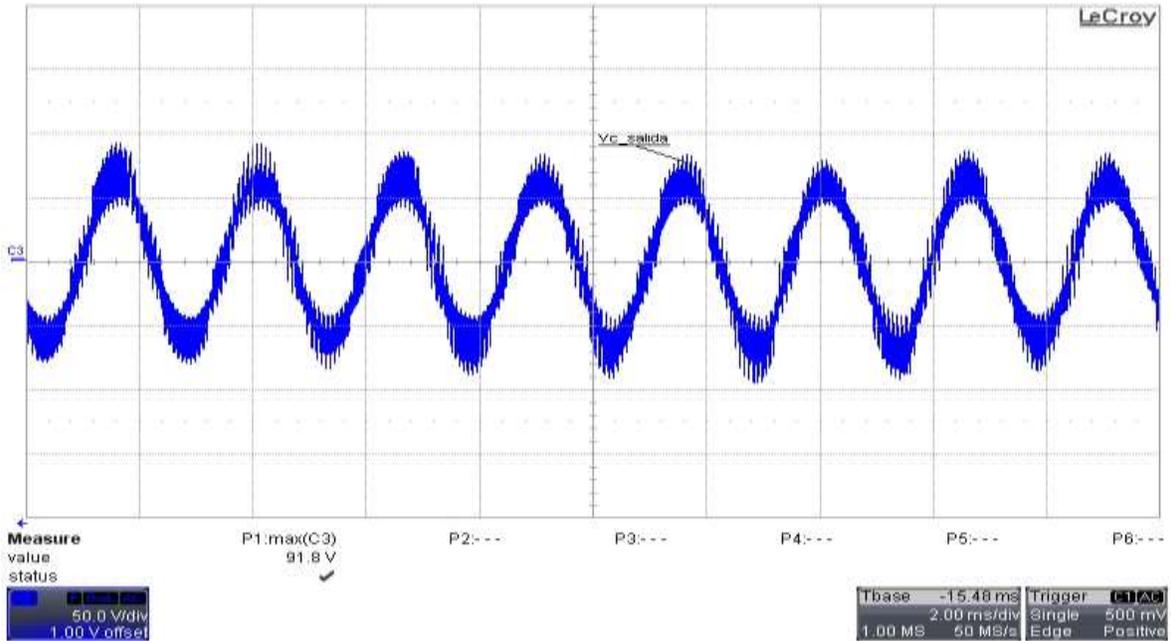


Figura 6.8c Voltaje de fase a neutro  $V_{C-L-N}$ .

En la Figura 6.9 con 50 kHz/div sobre el eje “x” y 20 V/div sobre el eje “y” para la magnitud en voltaje, se observa que la frecuencia fundamental del voltaje de salida  $V_{A-L-N}$  es de 400 Hz con una magnitud máxima de 76.4 V.

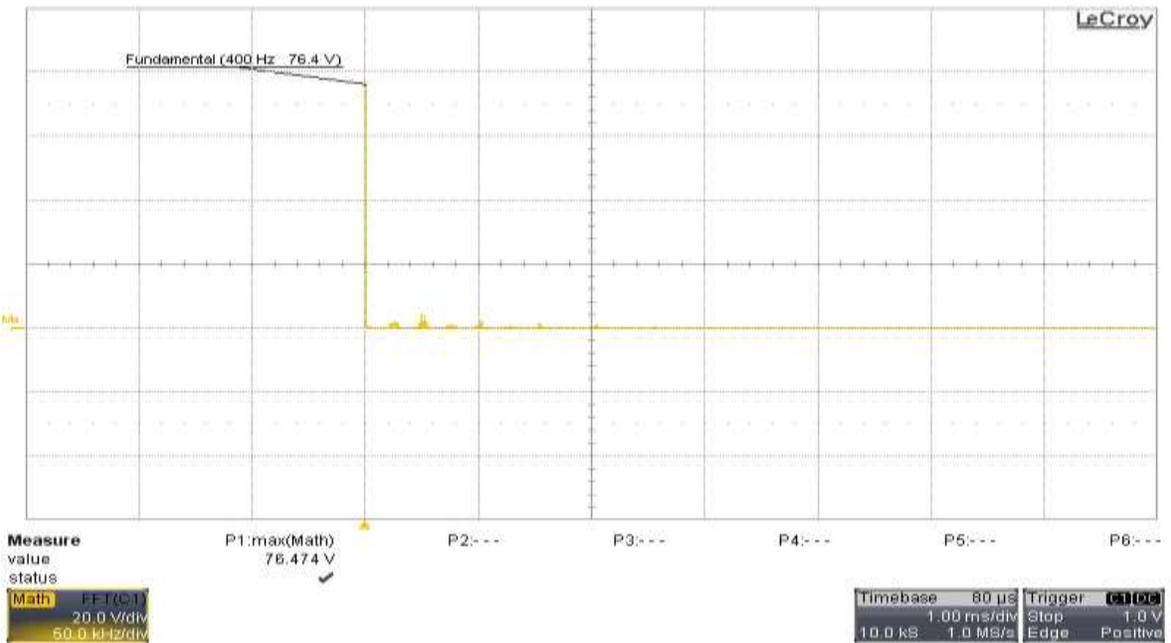


Figura 6.9 Espectro armónico de  $V_{A-L-N}$ .

En la Figura 6.10 se observa el detalle del espectro armónico de  $V_{aL-N}$ , donde se aprecian paquetes de armónicos a cada 12.8 kHz, los cuales están alejados de la frecuencia fundamental, donde una magnitud máxima de 4.7795 V se localiza a la frecuencia de 25.2 kHz (indicado en el recuadro localizado en la parte inferior izquierda de la Figura 6.10).

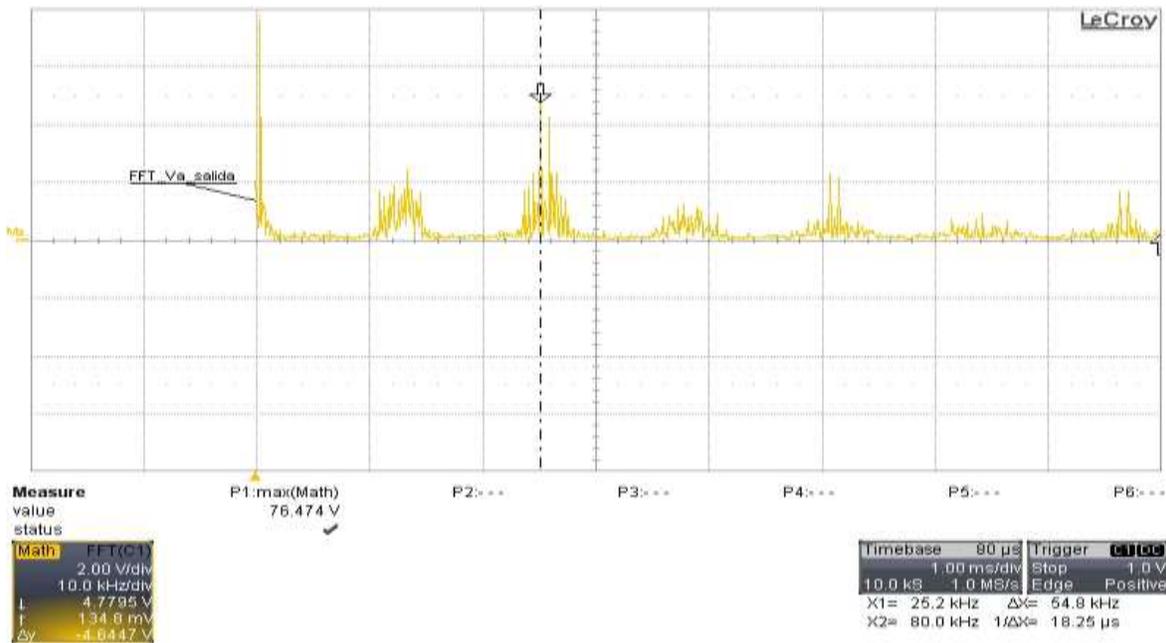


Figura 6.10 Detalle del espectro armónico de  $V_{aL-N}$ .

En las figuras 6.11a – 6.11c con 2ms/div sobre el eje “x” que representa el eje del tiempo y con 10 A/div sobre el eje “y” para representar la magnitud en amperes, se observan que las corrientes de salida tienen una amplitud máxima de 22 A, con una frecuencia de salida de 400 Hz. Por lo tanto a partir de estos voltajes y corrientes de salida obtenidos, se deduce que algoritmo implementado con SVM, los tiempos de encendido y apagado de los interruptores bidireccionales están operando adecuadamente para obtener el voltaje con magnitud y frecuencia de salida deseable.

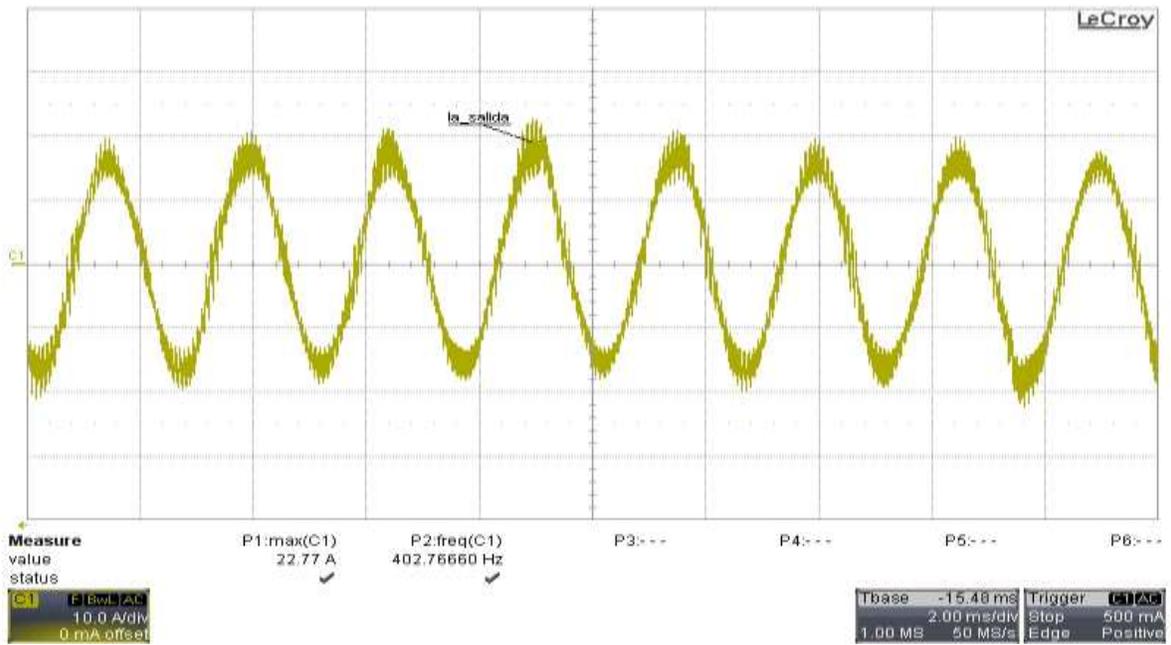


Figura 6.11a Corriente de línea  $I_{aL}$ .

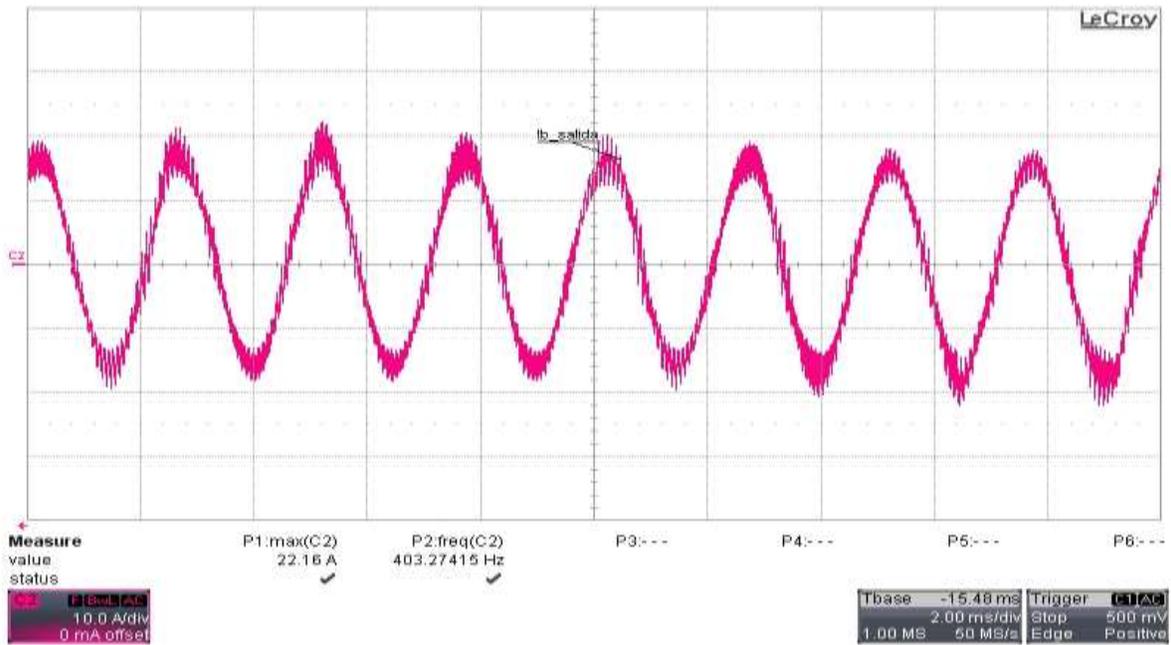


Figura 6.11b Corriente de línea  $I_{bL}$ .

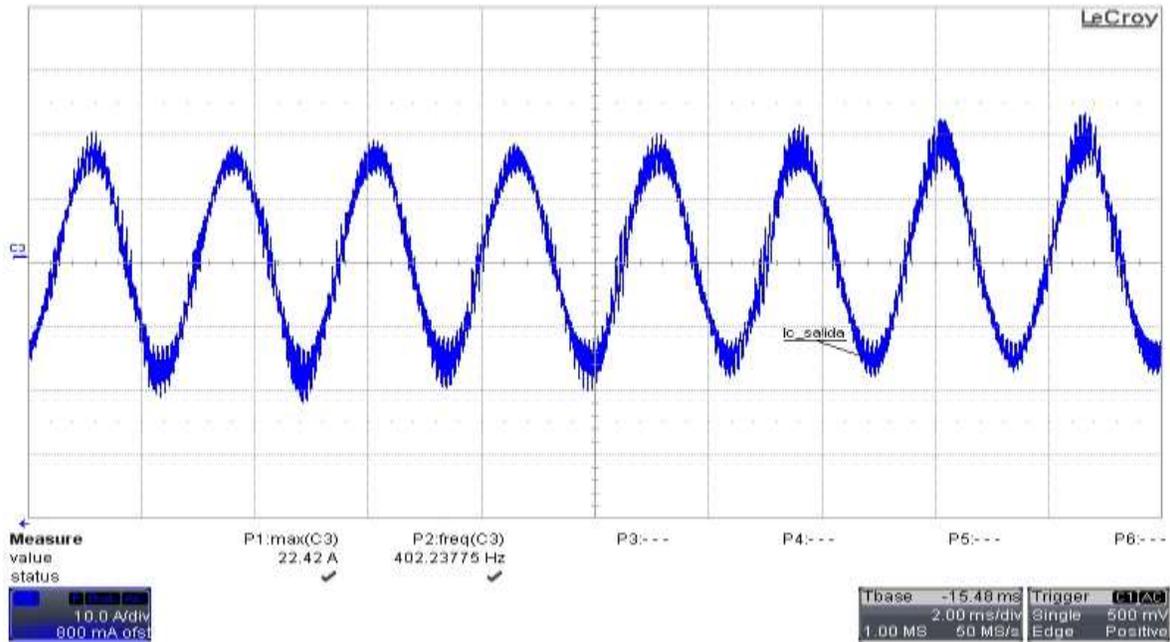


Figura 6.11c Corriente de línea  $I_{cL}$ .

El contenido armónico de la corriente de salida correspondiente a la fase “a” se ilustra en la Figura 6.12 con 5 A/div en el eje “y” para la magnitud en amperes y con 10 kHz/div sobre el eje “x”, donde la frecuencia fundamental es a 400 Hz con una magnitud máxima de 17.77 A.

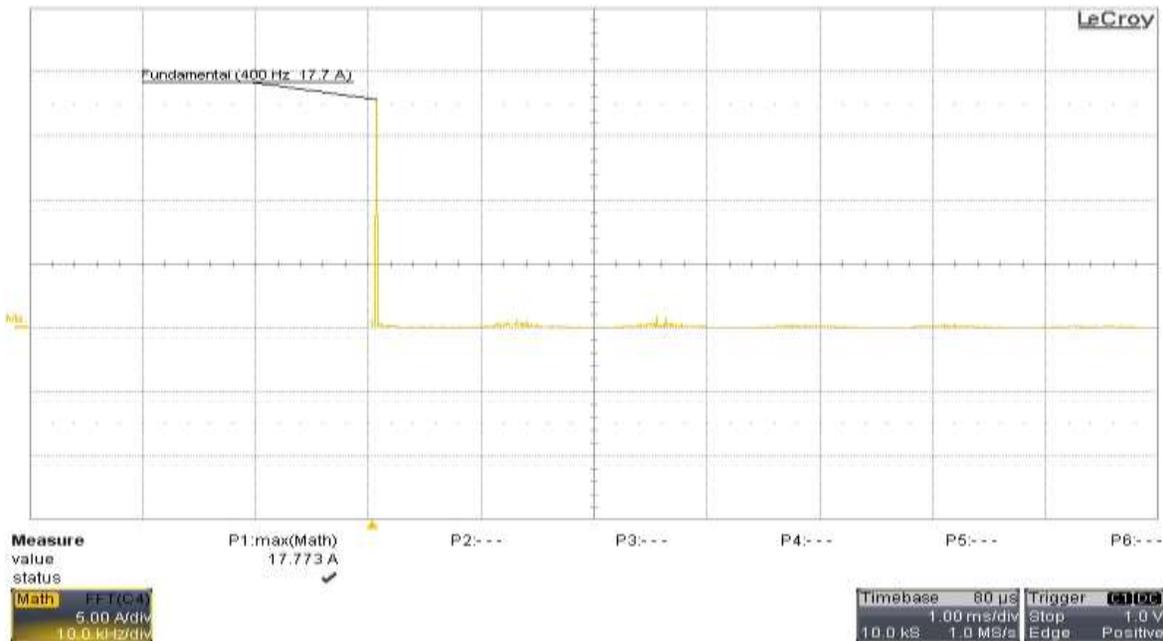


Figura 6.12 Espectro armónico  $I_{aL}$ .

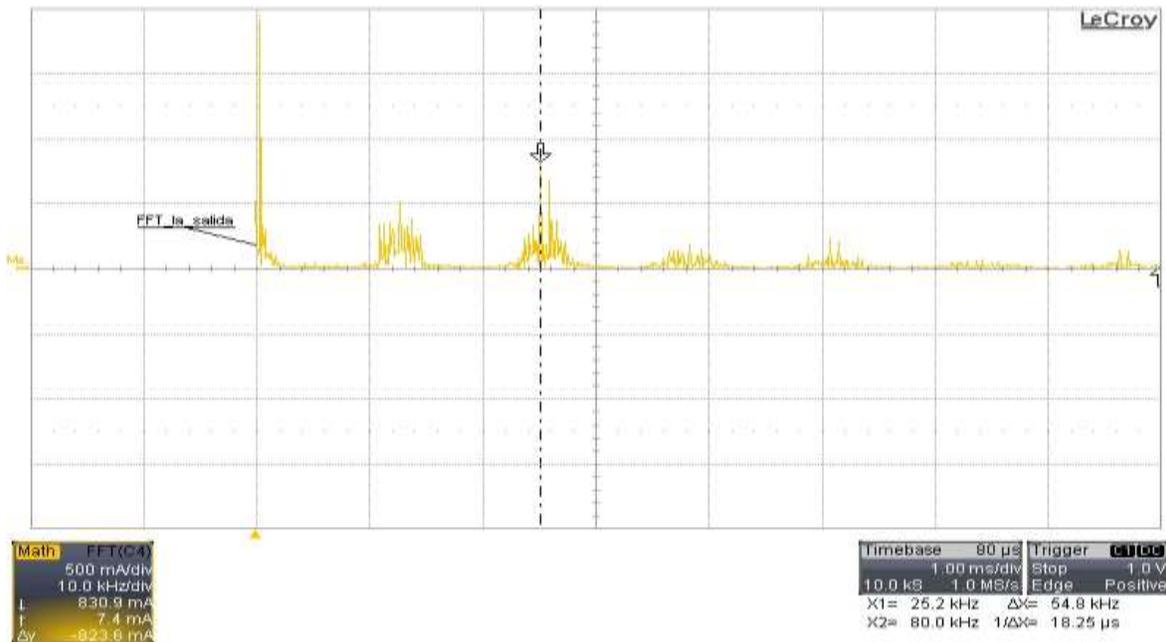


Figura 6.13 Detalle del espectro armónico  $I_{aL}$ .

Con el CM sin filtros, el espectro armónico de la corriente de salida contiene bandas cada 12,8 kHz, las cuales están alejadas de la frecuencia fundamental, cuya magnitud máxima de 830.9 mA y se localiza a 25.2 kHz (ver Figura 6.13).

El voltaje de fase a fase de salida ( $V_{L-L}$ ) del convertidor tiene un valor de 136.1 V, tal como se observa en la Figura 6.14 con 50 V/div en el eje “y” para la magnitud en voltaje y con 2 ms/div sobre el eje “x” para definir el tiempo.

La corriente de entrada  $I_{A\_entrada}$  se observa en la Figura 6.15 con 10 A/div en el eje “y” para la magnitud en amperes y con 5 ms/div en eje “x” para el tiempo, dando una amplitud máxima de corriente de 25.13 A. La forma de onda de esta corriente difiere con respecto al resultado obtenido en la simulación (Figura 4.17) debido a que la fuente es ideal pero físicamente existe una impedancia interna desconocida en las fases de la fuente de alimentación y en conjunto con los capacitores de 2  $\mu$ F formando un filtro.

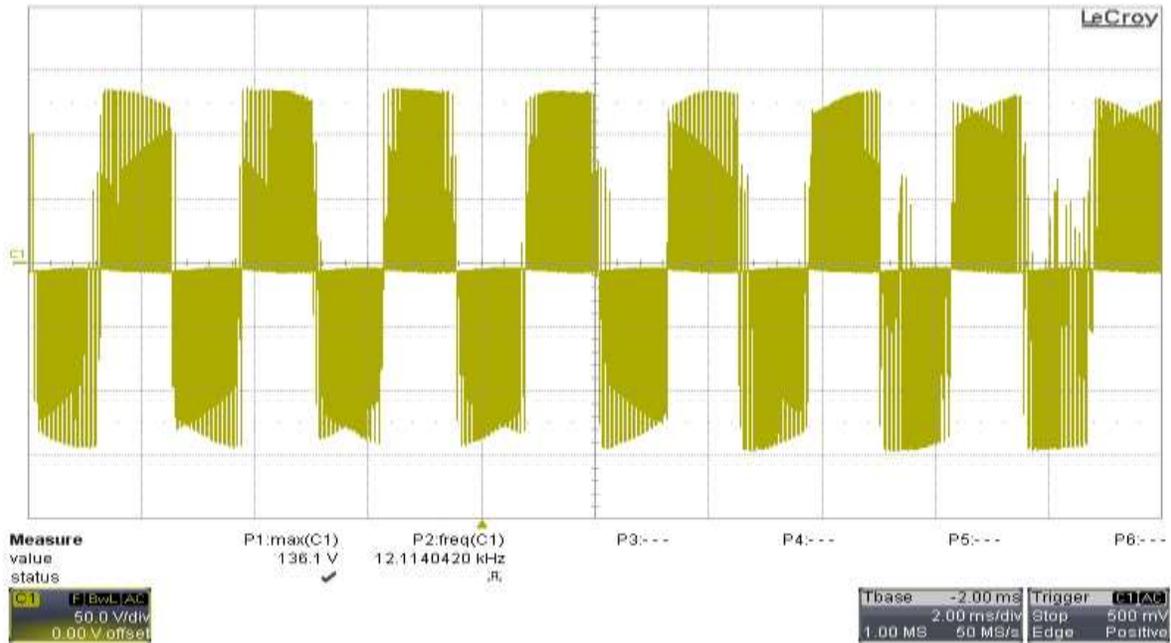


Figura 6.14 Medición del  $V_{L-L}$ .

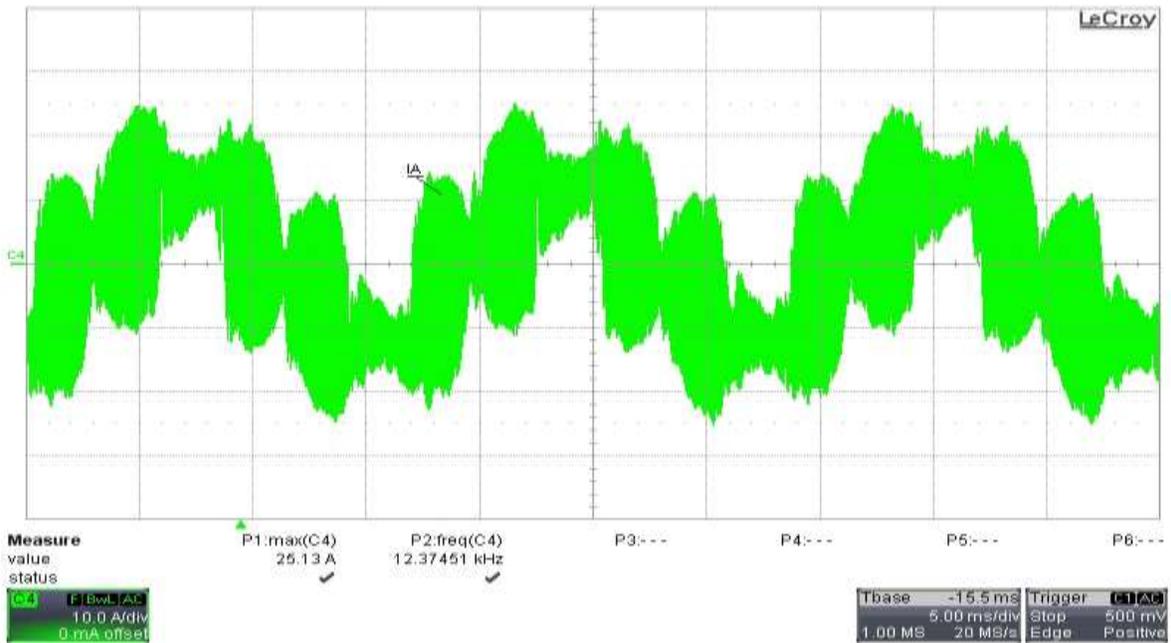


Figura 6.15 Medición de corriente de entrada  $I_{A\_entrada}$ .

El contenido armónico  $I_{A\_entrada}$  se ilustra en la Figura 6.16 con 5 A/div sobre el eje “y” para la magnitud en amperes y con 10 kHz/div sobre el eje “x”, donde se observa que la frecuencia fundamental de la corriente de entrada es de 60 Hz con una amplitud máxima de 17.7 A.

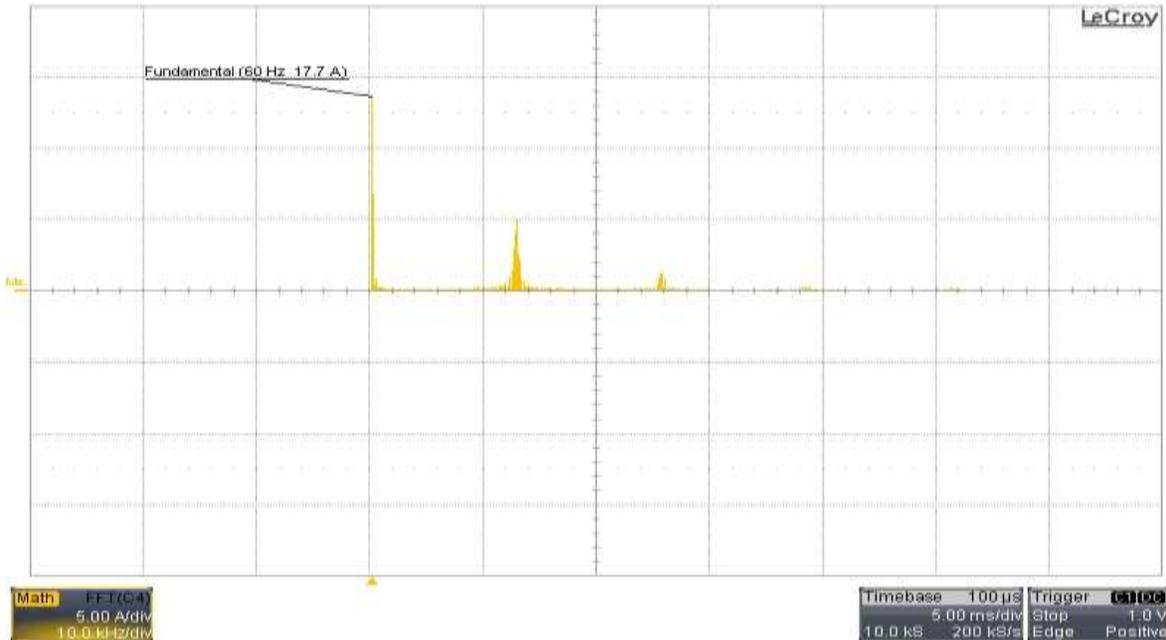


Figura 6.16 Espectro armónico de  $I_{A\_entrada}$ .

En la Figura 6.17 con 2 A/div en el eje “y” para el magnitud y con 5 kHz/div sobre el eje “x”, corresponde al detalle del contenido armónico de  $I_{A\_entrada}$ , donde se observan paquetes de armónicos a cada 12.8 kHz con magnitudes no máximas de 4.5 mA.

Por ejemplo, posicionando el cursor del osciloscopio en 12.8 kHz (indicado en la parte inferior derecha como X2) su amplitud máxima es de 66.2 mA, cuyo valor es indicado en el recuadro localizado en la parte inferior izquierda.

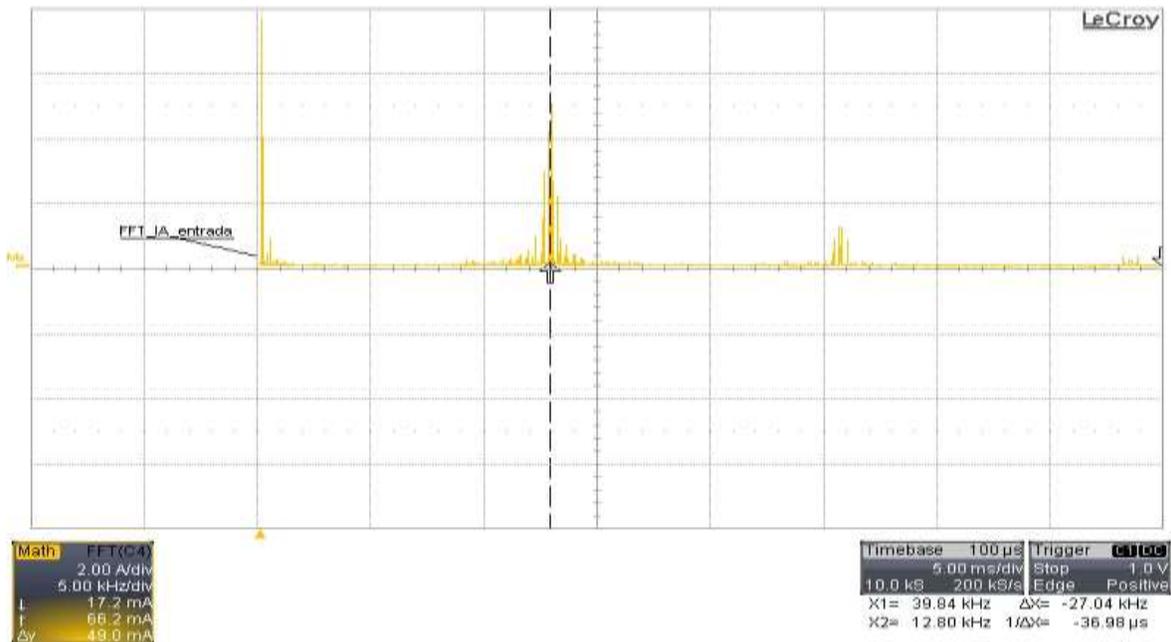


Figura 6.17 Detalle del espectro armónico de  $I_{A\_entrada}$ .

## 6.4. CONVERTIDOR MATRICIAL CON FILTROS, EN LAZO ABIERTO CON CARGA R.

En esta sección se añaden los filtros de entrada y de salida en el CM, tal como se ilustra a partir de los esquemáticos de las Figuras 4.20 - 4.22. La carga trifásica es resistiva de  $4 \Omega$  por fase en conexión estrella. Esta carga se conecta en paralelo con respecto a los capacitores del filtro de salida. Los ciclos de trabajo de los interruptores bidireccionales son calculados con el método de SVM.

En las Figuras 6.18a - 6.18c con 2 ms/div en el eje “x” para el tiempo y con 50 V/div en el eje “y” para la magnitud del voltaje de medición y con 20 A/div para la magnitud de la corriente, se observa que el voltaje de salida es de  $80 V_{\max}/400$  Hz, que es el voltaje de referencia programado. También se puede observar que la corriente de salida está en fase con respecto al voltaje, ya que la carga es resistiva.

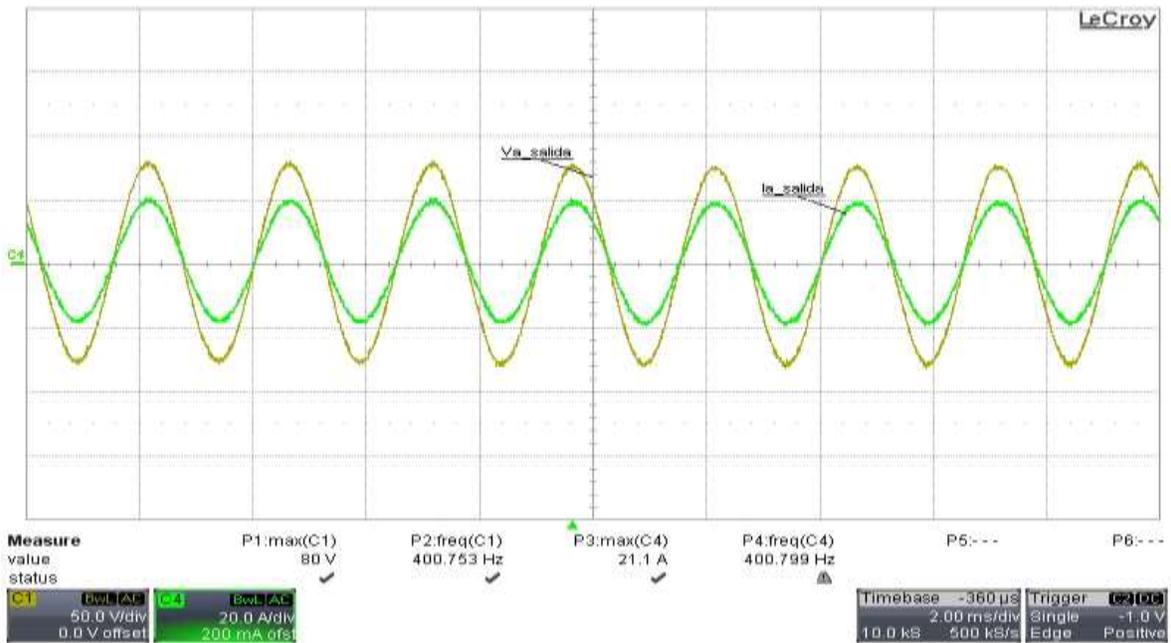


Figura 6.18a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde).

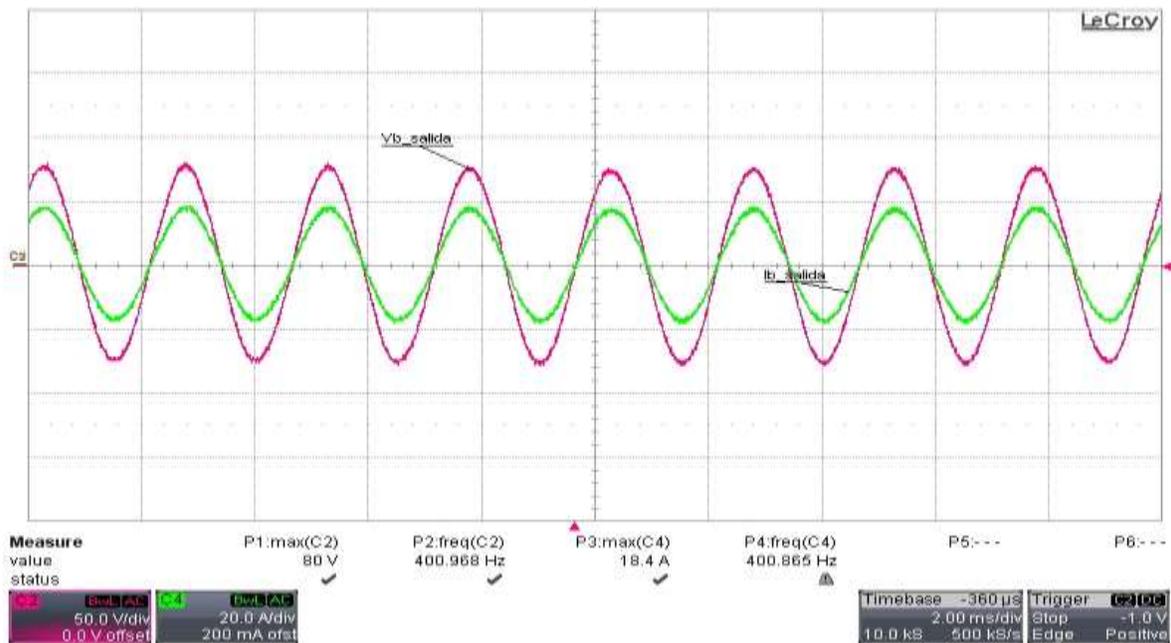


Figura 6.18b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde).

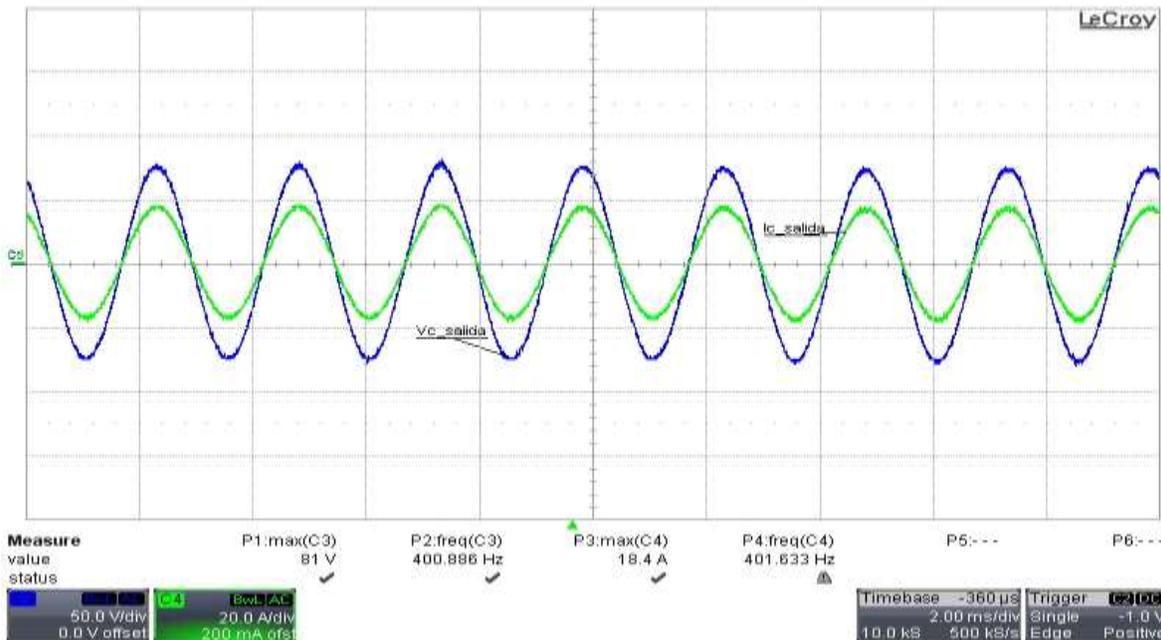


Figura 6.18c  $V_{C_{L-N}}$  (azul) con  $I_{C_L}$  (verde).

El contenido armónico del voltaje de salida de la fase “a” se muestra en las Figuras 6.19 y 6.20, con 20 V/div y 100mV/div respectivamente sobre el eje “y” para la magnitud y con 10 kHz/div sobre el eje “x” para la frecuencia. En estas figuras se observa la disminución del contenido armónico en el voltaje de salida a causa del uso de los filtros. El valor de la frecuencia fundamental del voltaje de salida es de 400 Hz con una amplitud máxima de 79.03 V.

En la Figura 6.20, se observa que el armónico de 2do, 3er, 5to y 7mo orden del voltaje de salida tienen magnitudes alrededor de 0.35 V. También se puede observar que las bandas de contenido armónico a cada 12.8 kHz son atenuadas considerablemente no superando magnitudes de 0.15 V. El valor calculado del %THD empleando el código del apéndice E, para el voltaje de salida es de un valor de %THD= 3.3.

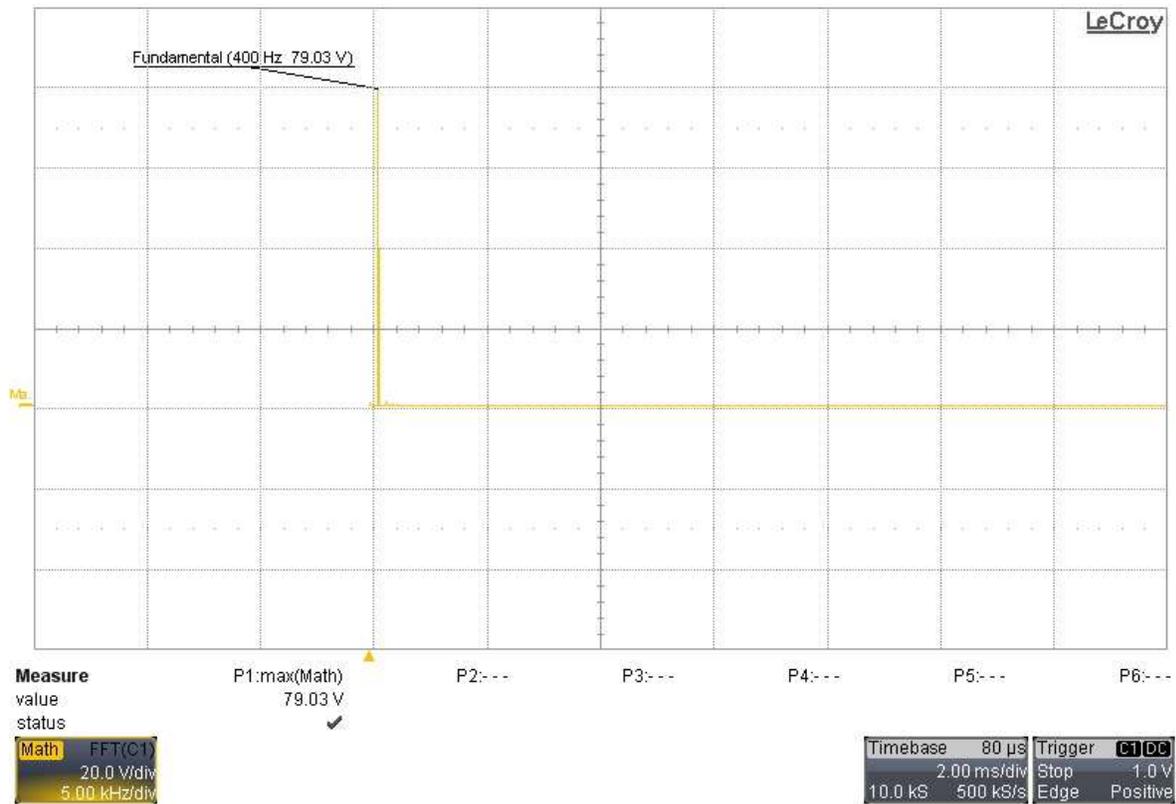


Figura 6.19 Espectro armónico de  $V_{aL-N}$ .

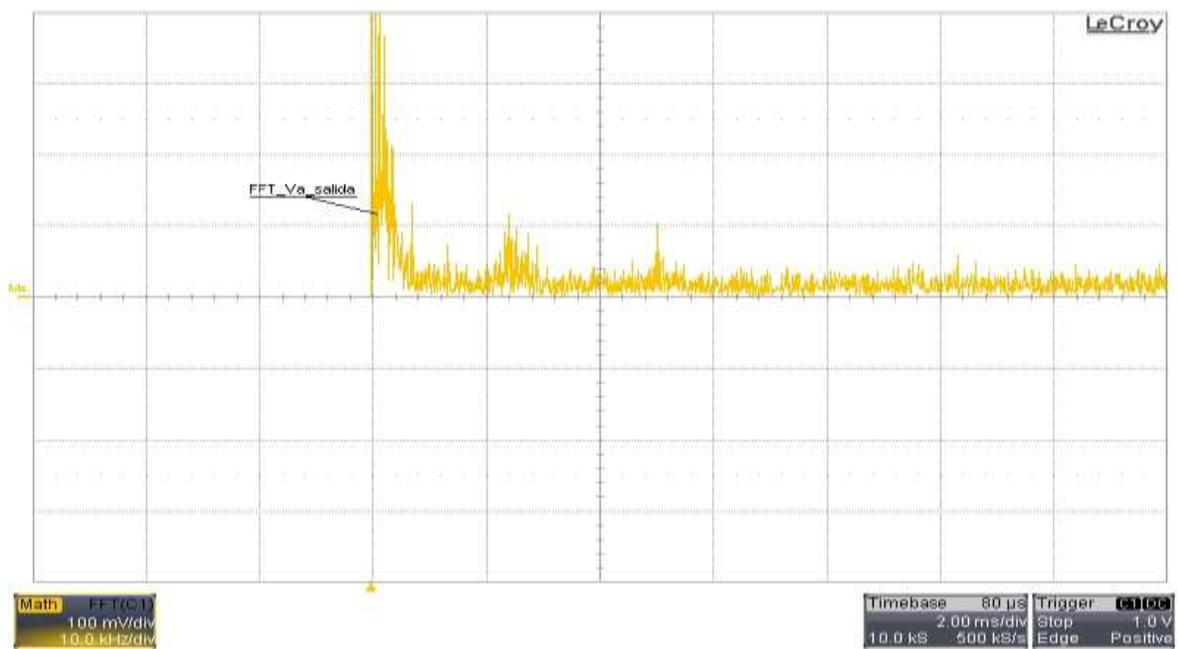


Figura 6.20 Detalle del espectro armónico de  $V_{aL-N}$ .

En la Figura 6.21 con 5 A/div sobre el eje “y” para la magnitud en amperes y con 5 KHz/div sobre el eje “x” para la frecuencia, se observa el análisis de FFT de la corriente de salida de la fase “a”, donde la frecuencia fundamental de esta corriente es de 400 Hz con una amplitud máxima de 18.433 A.

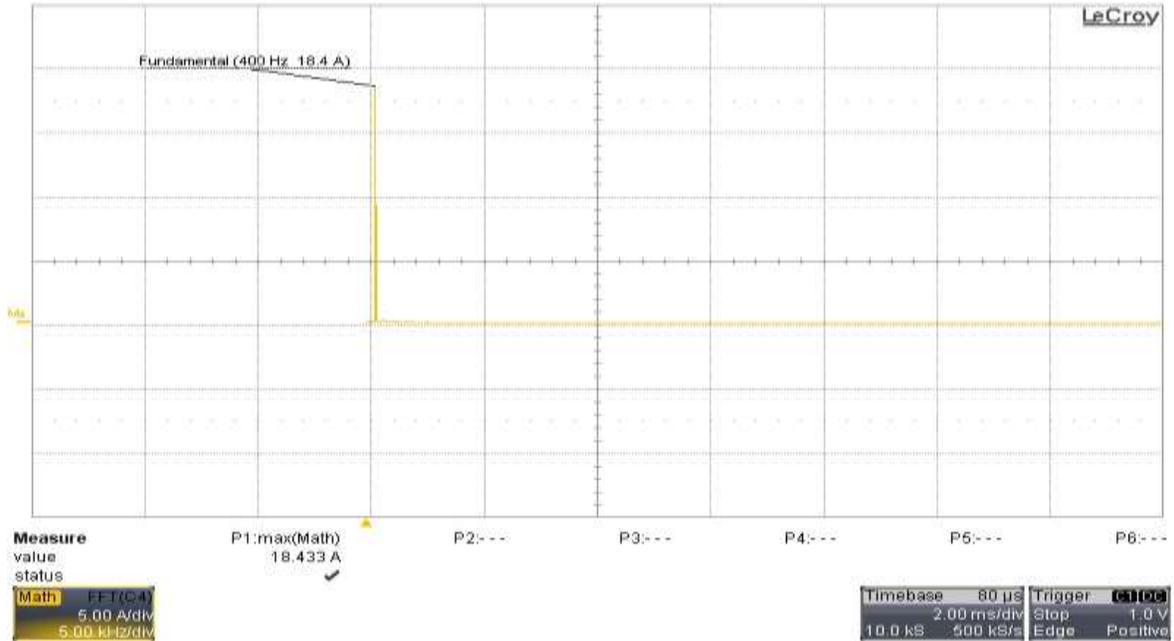


Figura 6.21 Espectro armónico de  $i_{aL}$ .

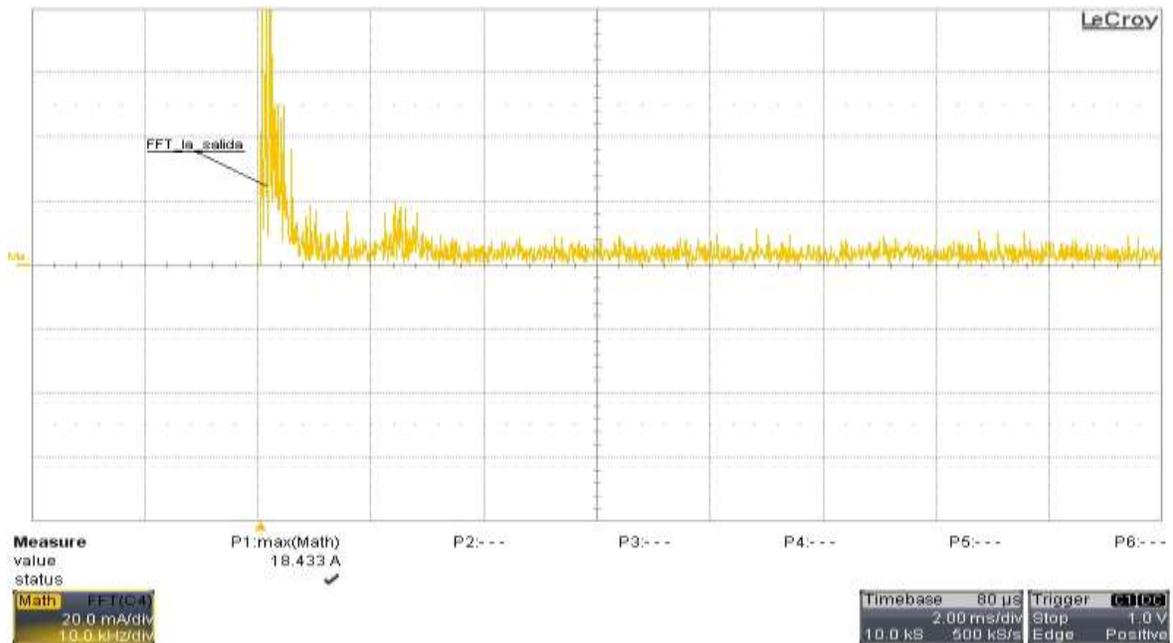


Figura 6.22 Detalle del espectro armónico de  $i_{aL}$ .

En el detalle del contenido armónico de la corriente de salida de la fase “a” (Figura 6.22), los armónicos cercanos a la frecuencia fundamental no superan magnitudes de 0.08 A. Y los armónicos de alto orden, por ejemplo alrededor de 12.8 kHz sus magnitudes no superan un máximo de 0.02 A.

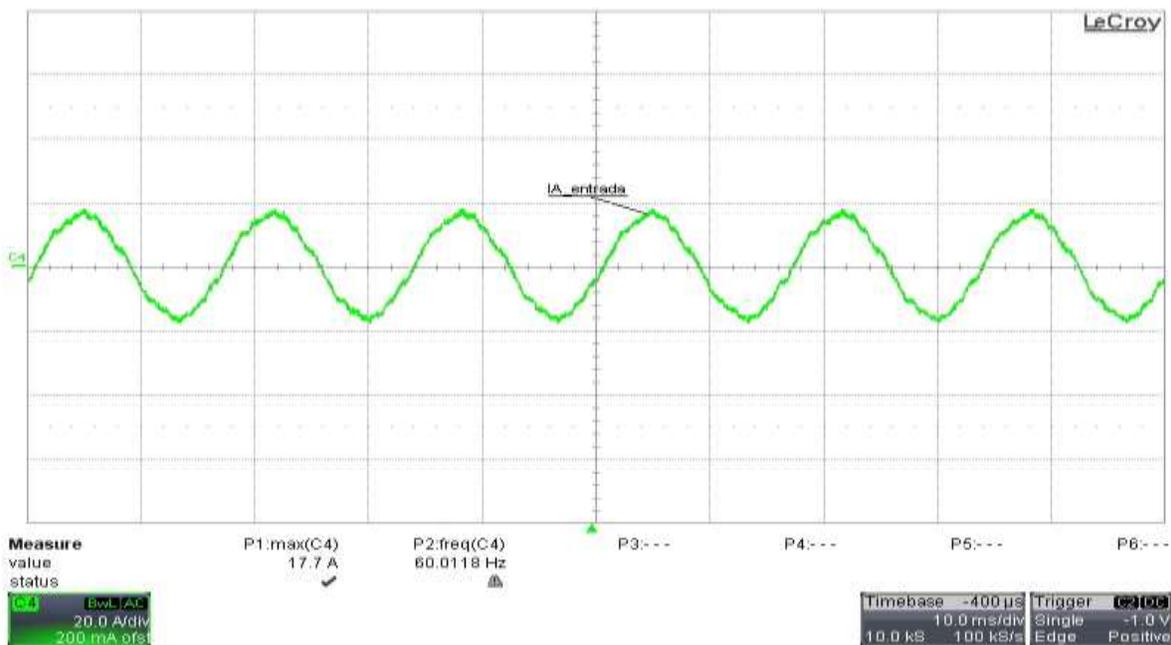


Figura 6.23 Corriente de entrada  $I_{A\_entrada}$ .

En la Figura 6.23 con 20 A/div sobre el eje “y” para la magnitud en amperes y con 10 ms/div en el eje “x” para el tiempo, se observa que la corriente de entrada  $I_{A\_entrada}$  del CM tiene una amplitud máxima de 17.7 A. El contenido armónico de esta corriente se ilustra en la Figura 6.24 con 5 A/div en el eje “y” para la magnitud en amperes y con 2 kHz/div en el eje “x” para la frecuencia, donde se observa que la frecuencia fundamental es de un valor de 60 Hz.

El detalle de la FFT de  $I_{A\_entrada}$  se ilustra en la Figura 6.25 con 20 mA/div sobre el eje “y” para la magnitud y sobre el eje “x” con 5 kHz/div para la frecuencia, donde las magnitudes del 3er, 5to, 7mo armónico no superan el valor de 0.08 mA, y los de alto orden con frecuencias alrededor de 12.8 kHz y 25.6 kHz sus

magnitudes son inferiores a 0.045 A. Cabe mencionar que al observar el espectro de FFT de la corriente de entrada, la resistencia de amortiguamiento del filtro de entrada amortigua componentes cercanas a la frecuencia de resonancia del filtro (1.18 kHz) y que además la frecuencia de corte del filtro (1.84 kHz) está alejada de la frecuencia de conmutación [54].

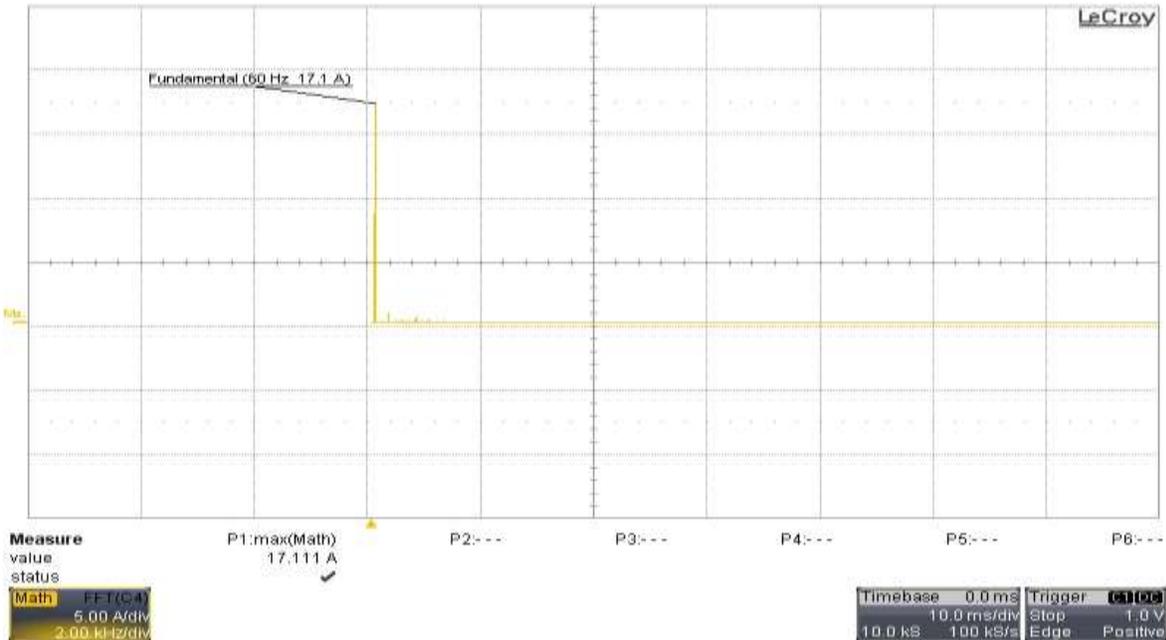


Figura 6.24 Espectro armónico de  $I_{A\_entrada}$ .

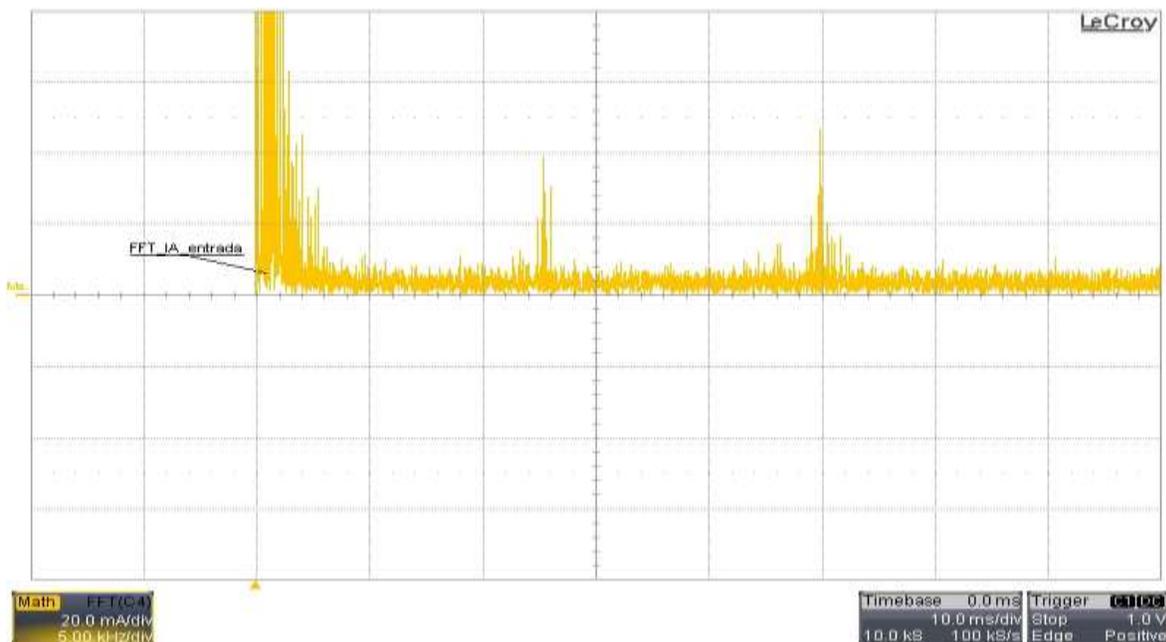


Figura 6.25 Detalle del espectro armónico de  $I_{A\_entrada}$ .

Durante estas etapas de pruebas, el programa implementado en el DSP no incluye ningún tipo de controlador, y para llevar acabo el encendido y apagado de los interruptores bidireccionales solo se ha empleado el método de SVM. Por lo tanto, para comprobar el comportamiento de este algoritmo se conecta al CM una carga resistiva desbalanceada. Esta carga tiene las siguientes características:

- Carga Resistiva en fase a= 4  $\Omega$ ;
- Carga Resistiva en fase b= 8  $\Omega$ ;
- Carga Resistiva en fase c= 10  $\Omega$ ;

El comportamiento de los voltajes y de las corrientes de salida en cada fase bajo estas condiciones se ilustran en las Figuras 6.26a - 6.26c con 50 V/div y 20 A/div en el eje “y” para la magnitud del voltaje y de la corriente respectivamente y para ambos con 5 ms/div en el eje “x” para el tiempo. En estas figuras se observan que los voltajes de salida son desbalanceados con respecto al voltaje de referencia programado de 80 V<sub>max</sub>.

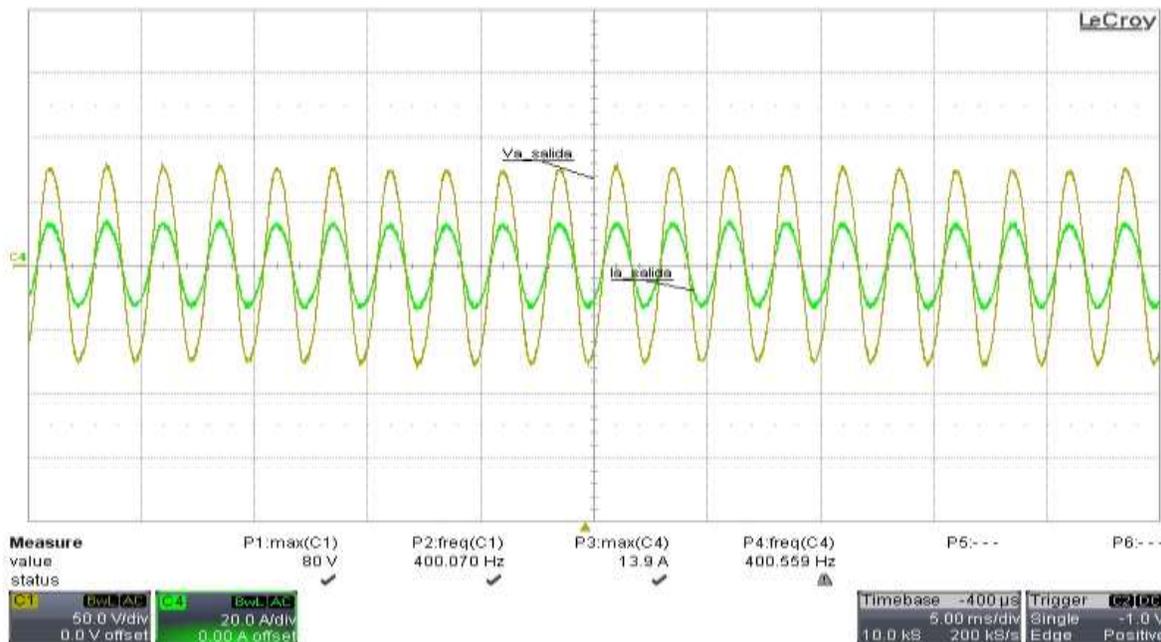


Figura 6.26a  $V_{a-L-N}$  (amarillo) con  $I_{aL}$  (verde) con carga  $R$  desbalanceada.

Los voltajes de salida de fase a neutro son:

- $V_{aL-N} = 80 V_{max}$ ;
- $V_{bL-N} = 86 V_{max}$ ;
- $V_{cL-N} = 85 V_{max}$ .

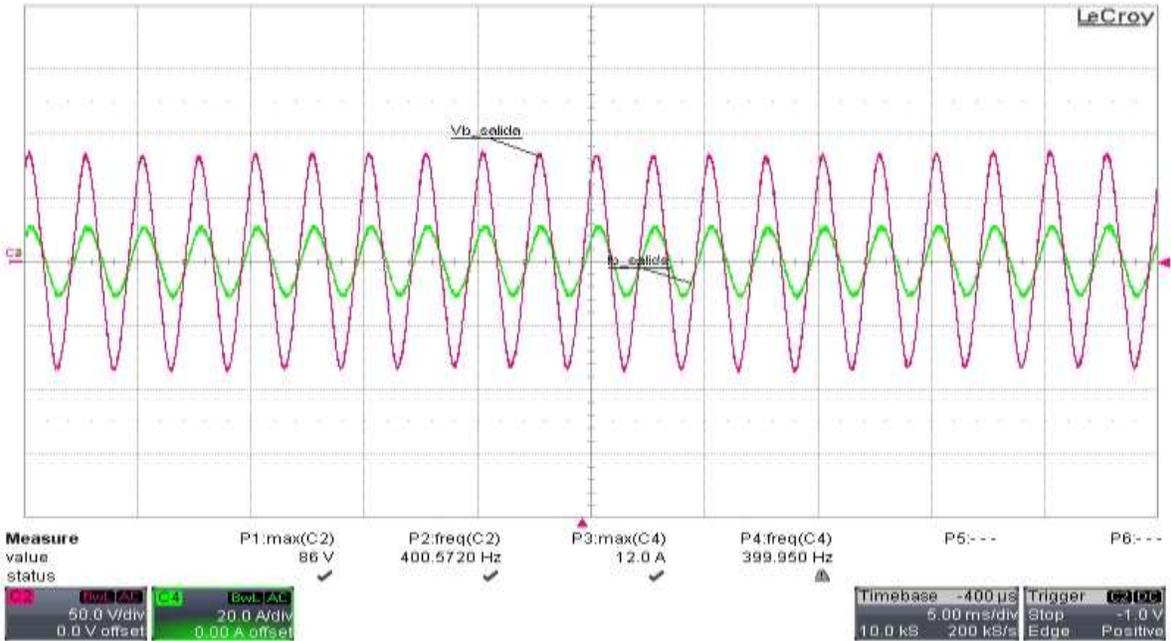


Figura 6.26b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga R desbalanceada.

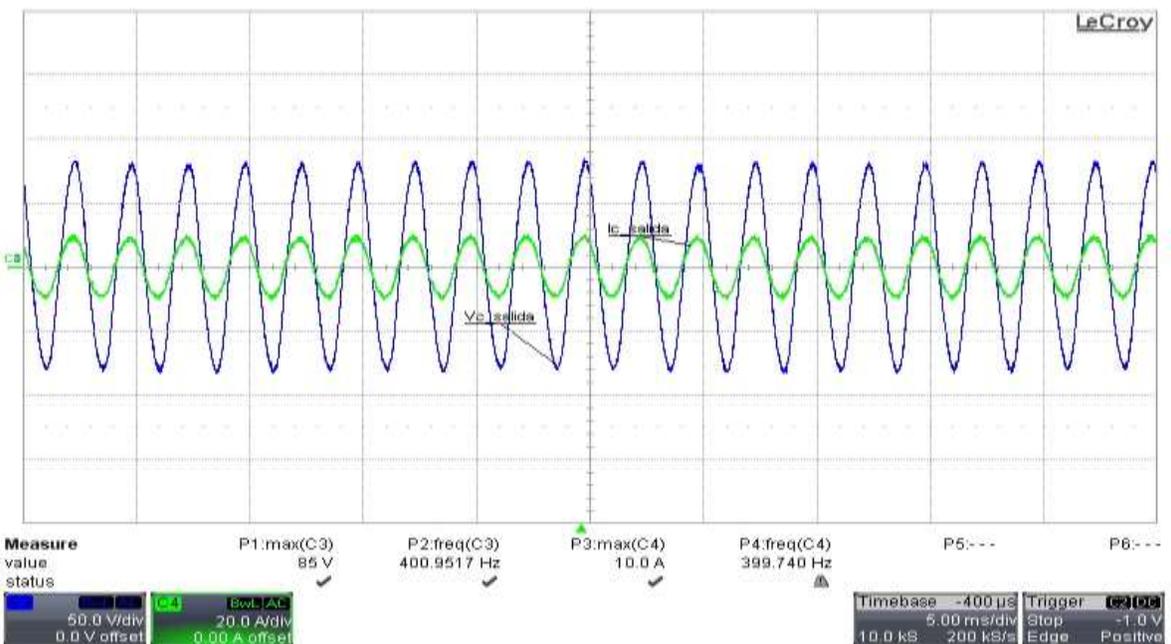


Figura 6.26c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga R desbalanceada.

## 6.5 CONVERTIDOR MATRICIAL CON CONTROL DE SEGUIMIENTO CON CARGA R.

En esta sección se implementa el control de seguimiento (ec. 5.6 y ec. 5.7) en la plataforma de control, ya que se ha visto que empleando solo la modulación por SVM no es suficiente para mantener los voltajes de salida balanceados cuando se conecta una carga desbalanceada. A partir de esta sección los canales del osciloscopio para obtener las mediciones de los voltajes y de las corrientes de salida, se configuran de tal forma que el eje “x” correspondiente al tiempo tiene 2ms/div y para el eje “y”, que representan las magnitud de los voltajes tienen 50 V/div y con respecto a las magnitudes de las corrientes sobre el mismo eje tienen 20 A/div. En el algoritmo de control (Apéndice F) se puede observar que los voltajes de referencia son implementados digitalmente y que los voltajes de retroalimentación son adquiridos por medio de los transductores de voltaje ubicados entre las terminales de los capacitores del filtro de salida (Figura 4.22). La carga trifásica es balanceada de  $4 \Omega$ . En las Figuras 6.27a - 6.27c, se observan los voltajes y corrientes de salida.

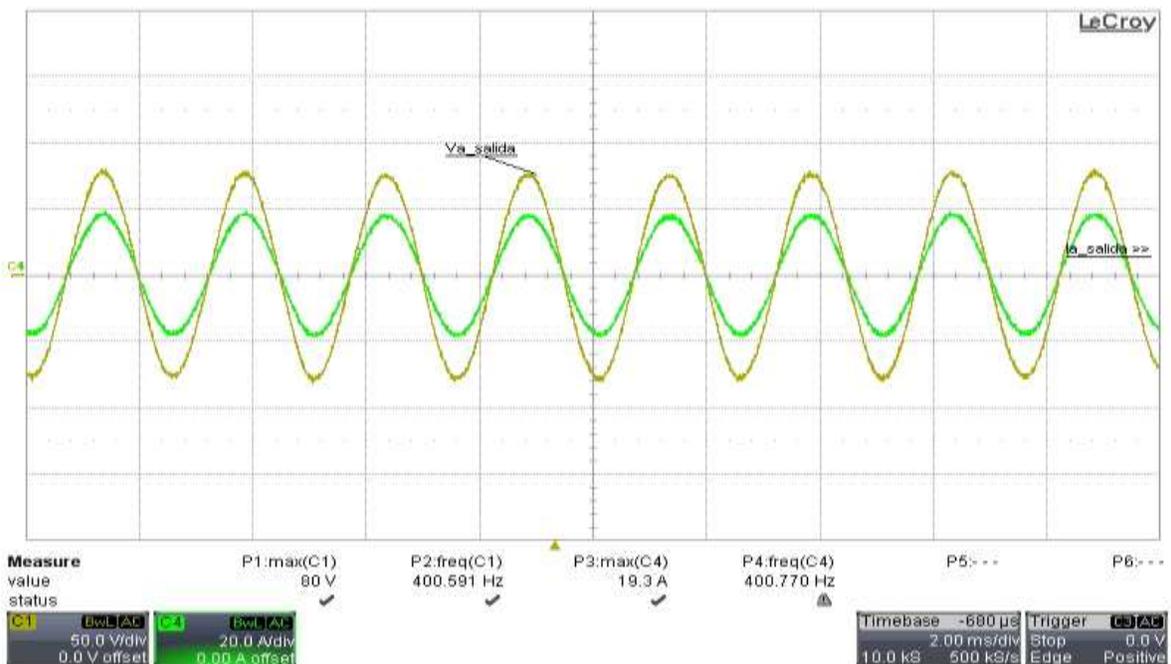


Figura 6.27a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga balanceada usando CS.

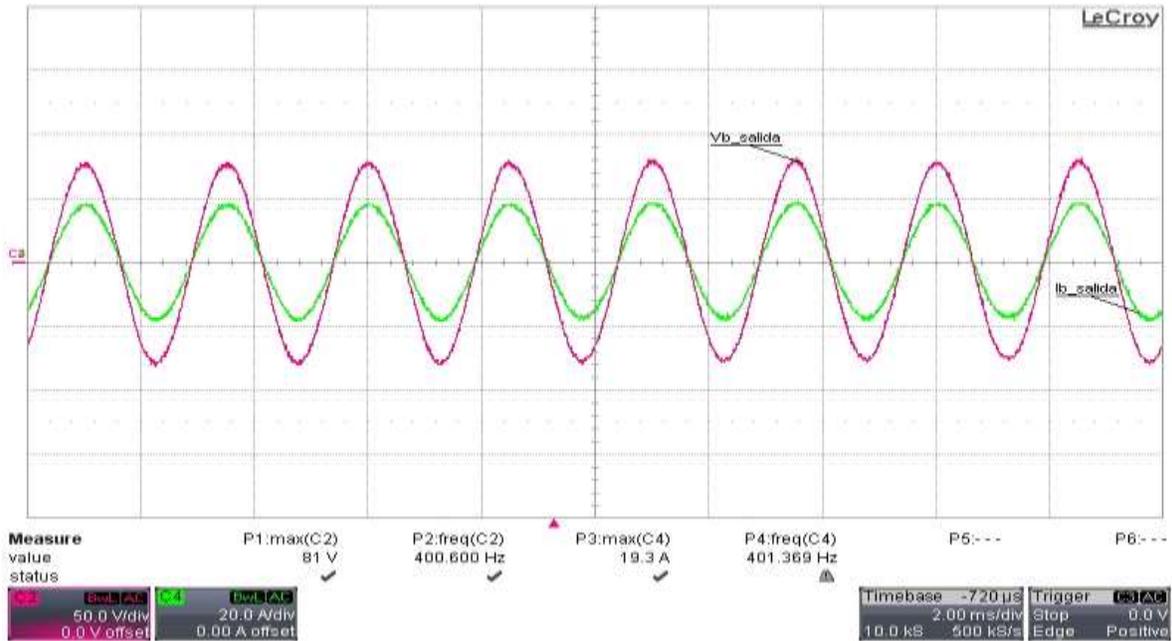


Figura 6.27b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga balanceada usando CS.

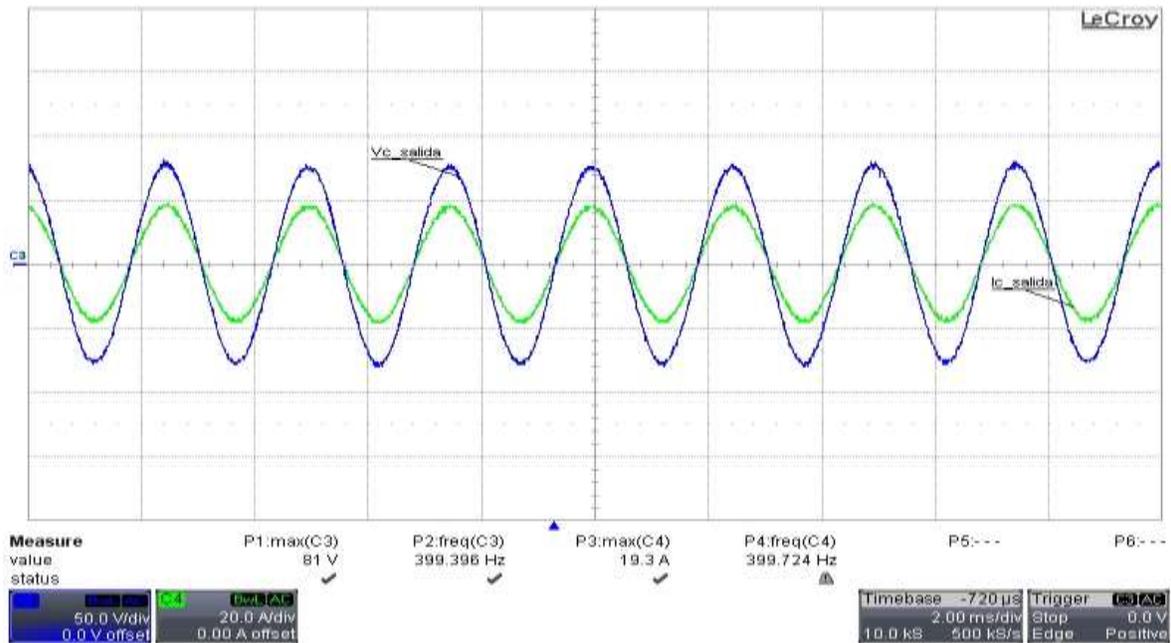


Figura 6.27c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga balanceada usando CS.

En las figuras anteriores se pueden observar que los voltajes de salida (80 V/400Hz) y las corrientes de salida (19.3 A) son balanceados.

El espectro armónico del voltaje y de la corriente de salida medidos después del filtro con CS, se ilustra en la Figura 6.28 y 6.29 respectivamente.

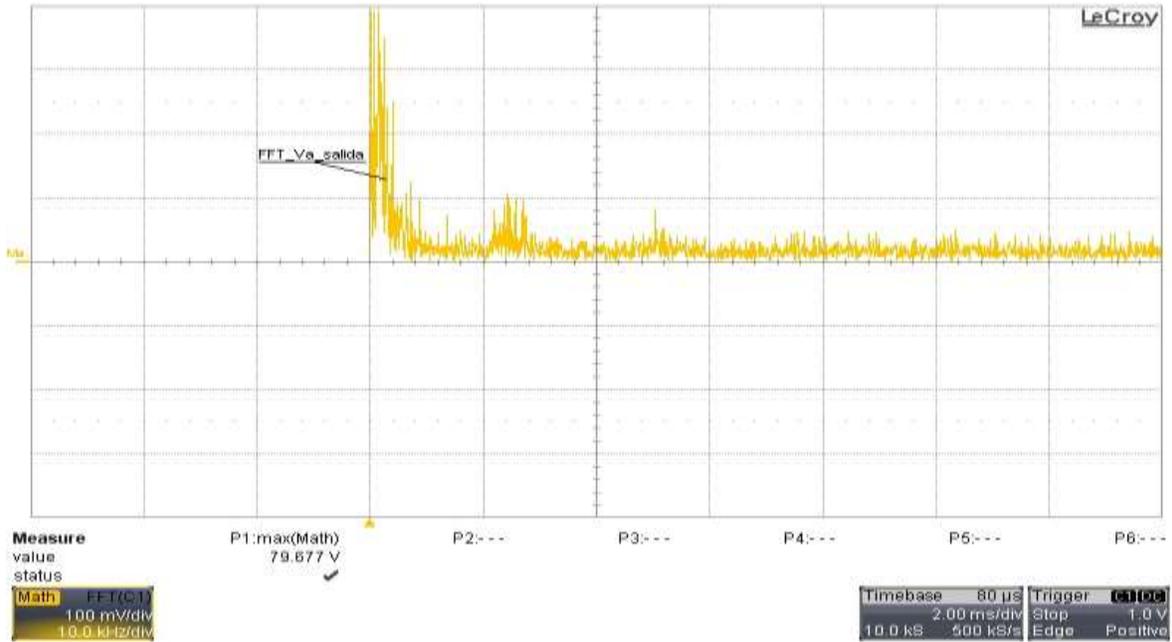


Figura 6.28 Espectro armónico de  $V_{aL-N}$  usando CS.

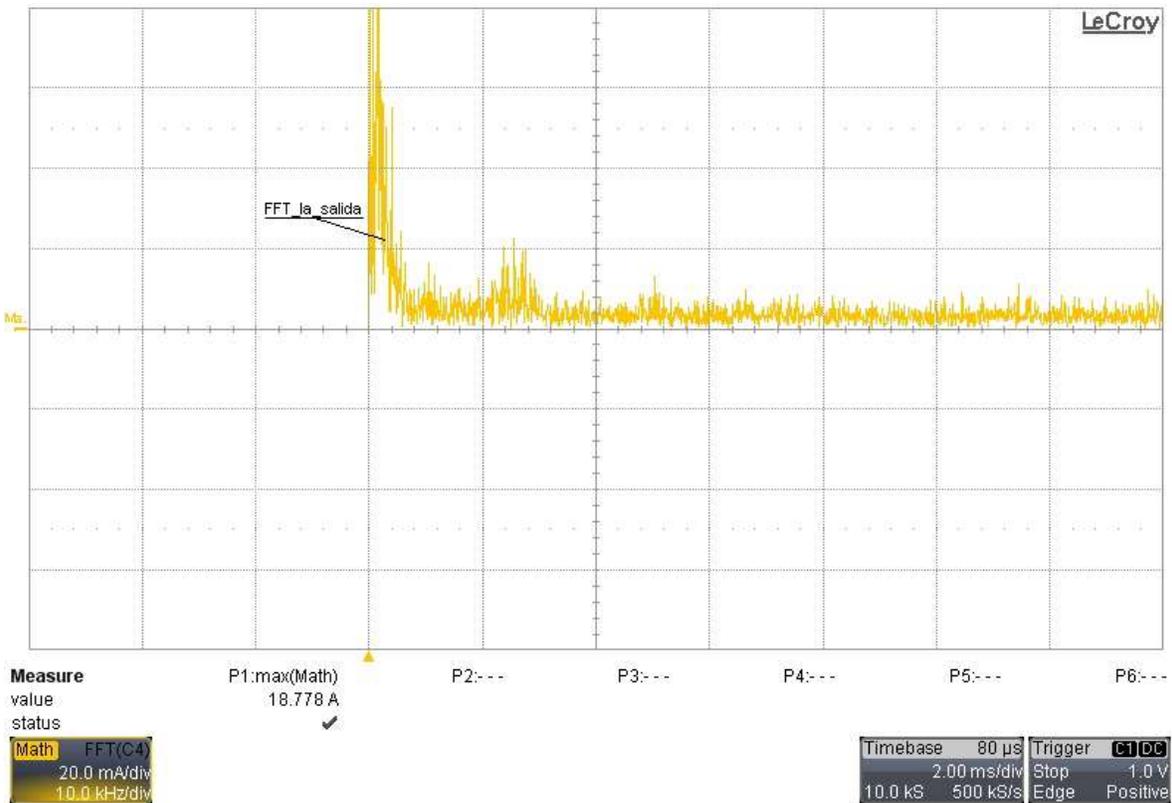


Figura 6.29 Espectro armónico de  $I_{aL}$  usando CS.

En la Figura 6.28 las escalas son: 100 mV/div para la magnitud del voltaje y en la Figura 6.29 es de 20 mA/div sobre el eje “y” y para el eje “x” 10 kHz/div para las frecuencias en ambos casos, se pueden observar que la frecuencia fundamental es de un valor de 400 Hz.

De la FFT del voltaje de salida  $V_{aL-N}$  (Figura 6.28) se observa que los armónicos de 2do, 3ro, 5to, 7mo, orden con respecto a la frecuencia fundamental tienen magnitudes de 0.196 V, 0.245 V, 0.165 V, 0.025 V respectivamente y en altas frecuencias tales como 12.8 kHz y 25.6 kHz tienen magnitudes de 0.018 V y 0.006 V (estos valores se obtienen deslizando el cursor del osciloscopio con lo que se despliega cada valor en la pantalla principal). El valor calculado de la distorsión armónica es de un valor de %THD= 2.1.

Con respecto a la Figura 6.29, a frecuencias altas las magnitudes de las corrientes no superan los 0.021 A. Entonces se dice que el CS amortigua una mayor cantidad de contenido armónico (p.e. múltiplos de la frecuencia fundamental), siendo despreciables las magnitudes de las bandas de los armónicos alrededor de 38.4 kHz, 51.2 kHz, entre otros.

A continuación la carga trifásica del CM es desbalanceada, cuyos valores por fase son:

- Fase a= 4  $\Omega$ ;
- Fase b= 8  $\Omega$ ;
- Fase c= 10  $\Omega$ ;

En las Figuras 6.30a – 6.30c, se observan que los voltajes de salida no mantienen el valor de referencia, donde:

- $V_{aL-N} = 71 V_{max}$ ;
- $V_{bL-N} = 76 V_{max}$ ;
- $V_{cL-N} = 85 V_{max}$ .

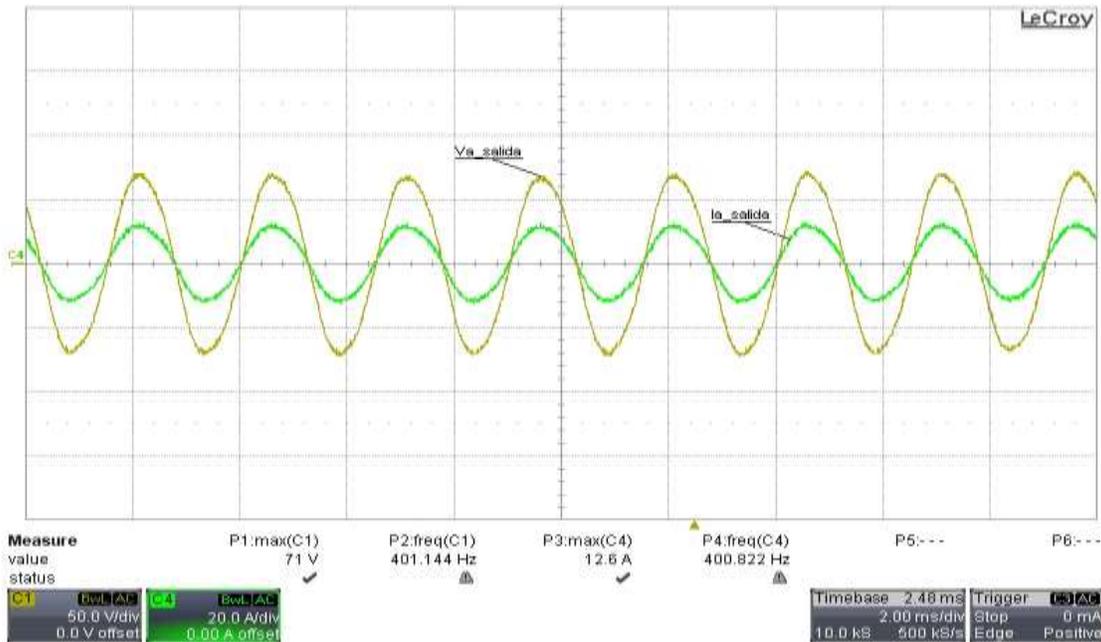


Figura 6.30a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga desbalanceada usando CS.

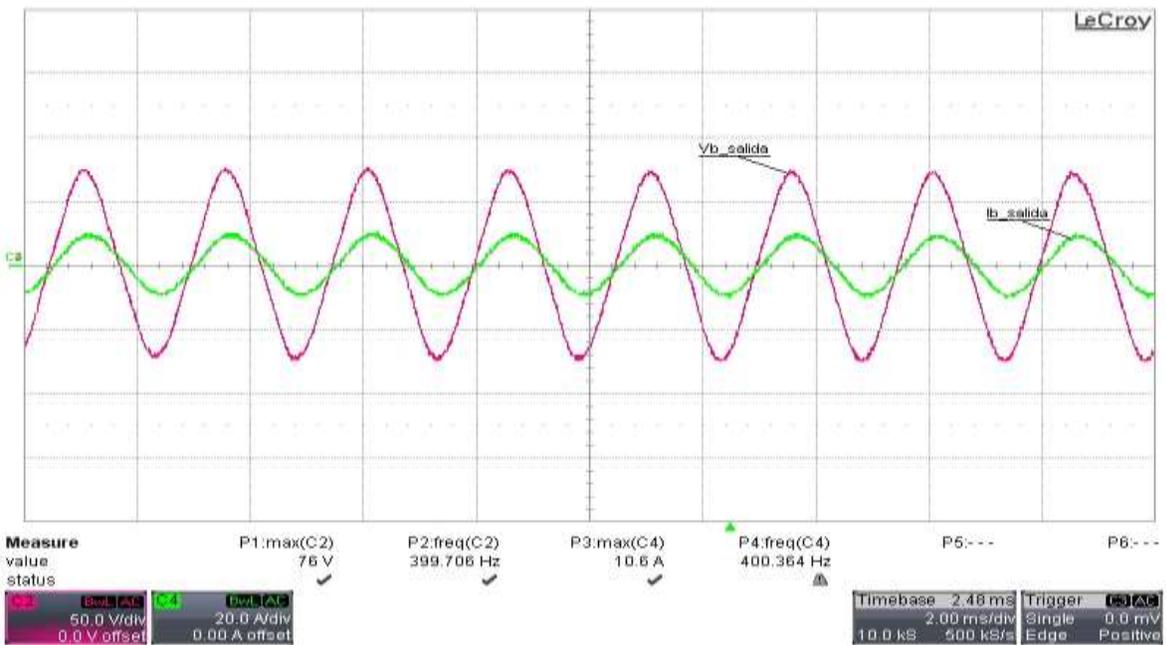


Figura 6.30b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga desbalanceada usando CS.

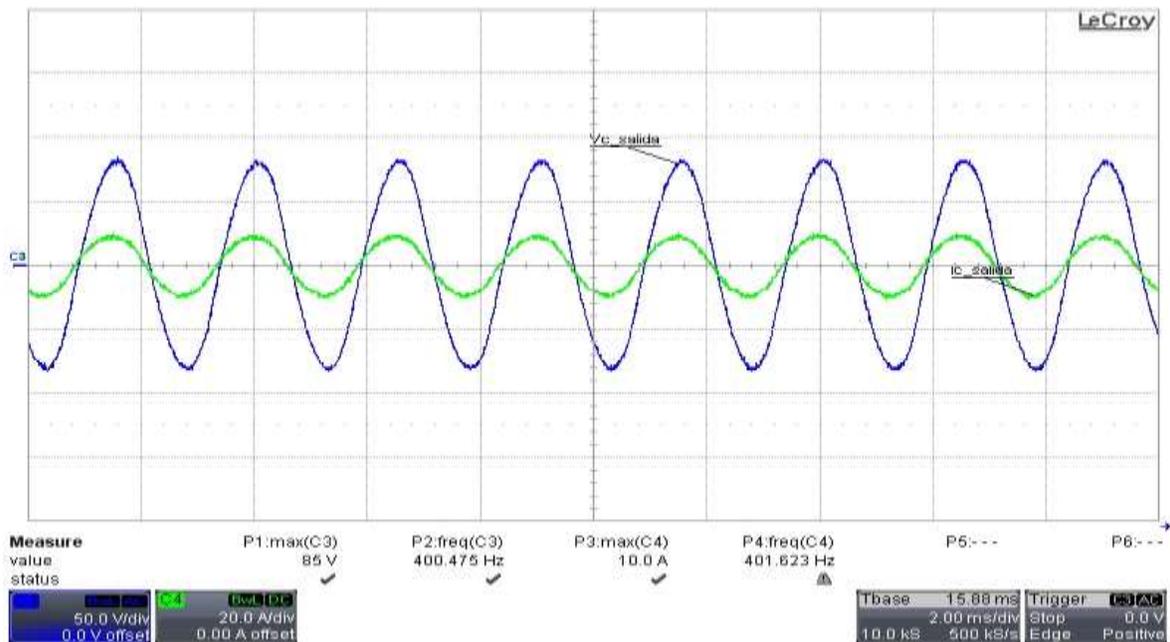


Figura 6.30c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga desbalanceada usando CS.

## 6.6 CONVERTIDOR MATRICIAL CON CONTROL DE SEGUIMIENTO MÁS CONTROL REPETITIVO CON CARGA R.

En la sección 6.5 se observa que un solo controlador no es suficiente para obtener voltajes de salida trifásicos balanceados cuando se conecta una carga desbalanceada, por lo tanto en el algoritmo de control se le añaden las ecuaciones 5.8 - 5.11, 5.14, 5.17, 5.20 y 5.21 de la sección 5.9.2 que corresponden al CR (Apéndice F).

A partir de esta sección los canales del osciloscopio para las figuras obtenidas de los espectros armónicos correspondientes a los voltajes de salida se configuran de tal manera que en el eje “y” se tiene 100 mV/div y con respecto a las corrientes en el eje “y” se tiene 20 mA/div. Y en ambos casos el eje “x” se configura con 10 kHz/div para las magnitudes correspondientes a las frecuencias.

La carga conectada al CM es trifásica balanceada de un valor de  $4 \Omega$ . En las Figuras 6.31a - 6.31c, en estas condiciones se observan que los voltajes (81 V/400 Hz) y las corrientes de salida (19.3 A) son balanceados. Entonces implementando el CR+CS no afecta la frecuencia de salida del sistema.

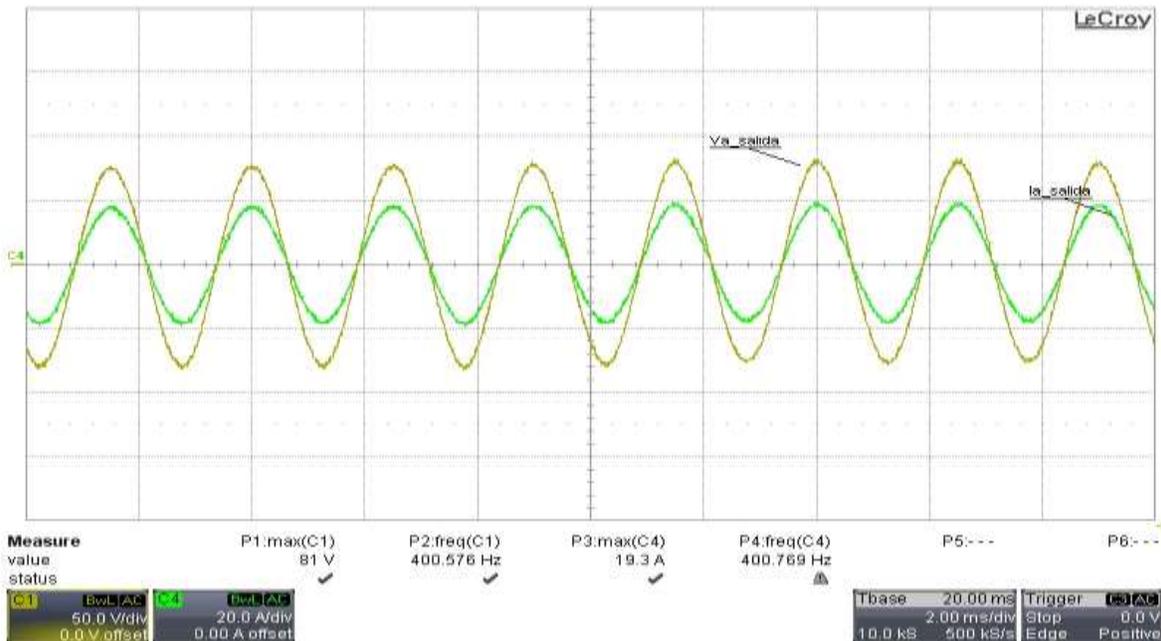


Figura 6.31a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga balanceada con CS+CR.

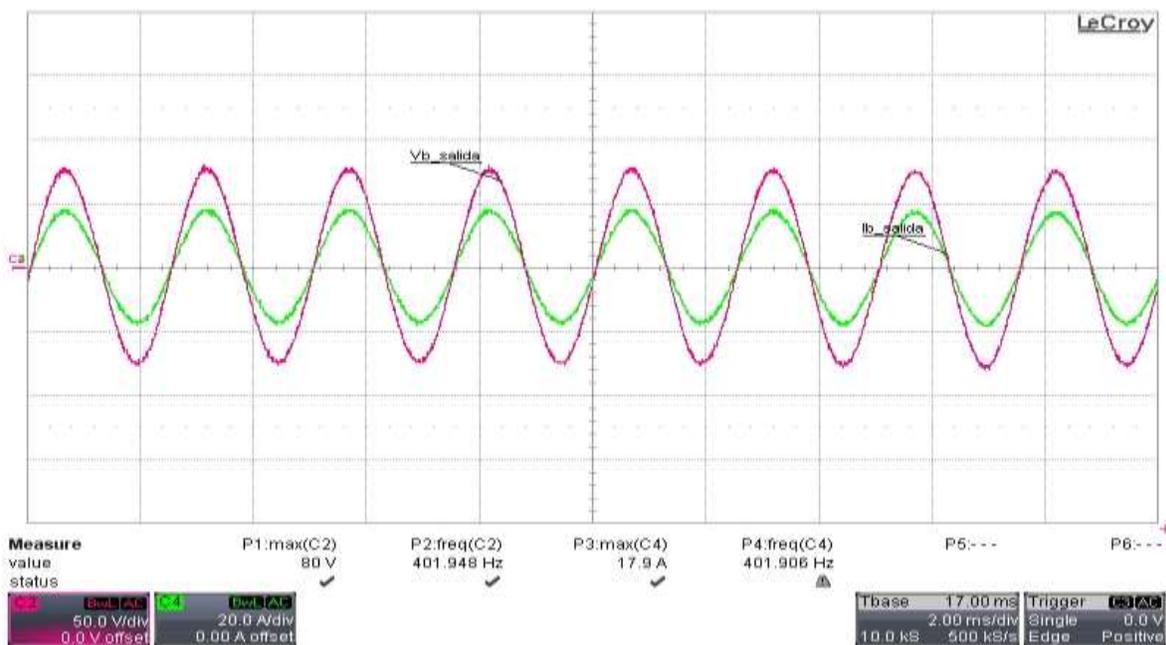


Figura 6.31b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga balanceada con CS+CR.

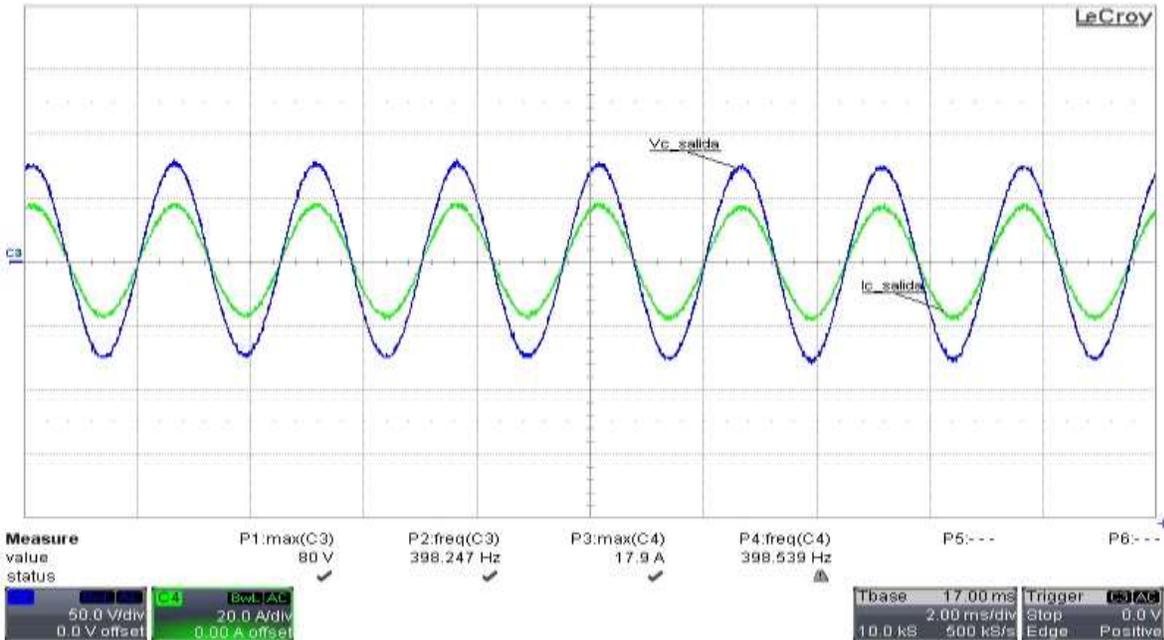


Figura 6.31c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga balanceada con CS+CR.

El análisis del contenido armónico del voltaje y de la corriente de salida se observan en las Figuras 6.32 y 6.33, donde la frecuencia fundamental es de 400 Hz, con una magnitud de 81 V para el voltaje de salida y con 19.6 A en el caso de la corriente de salida.

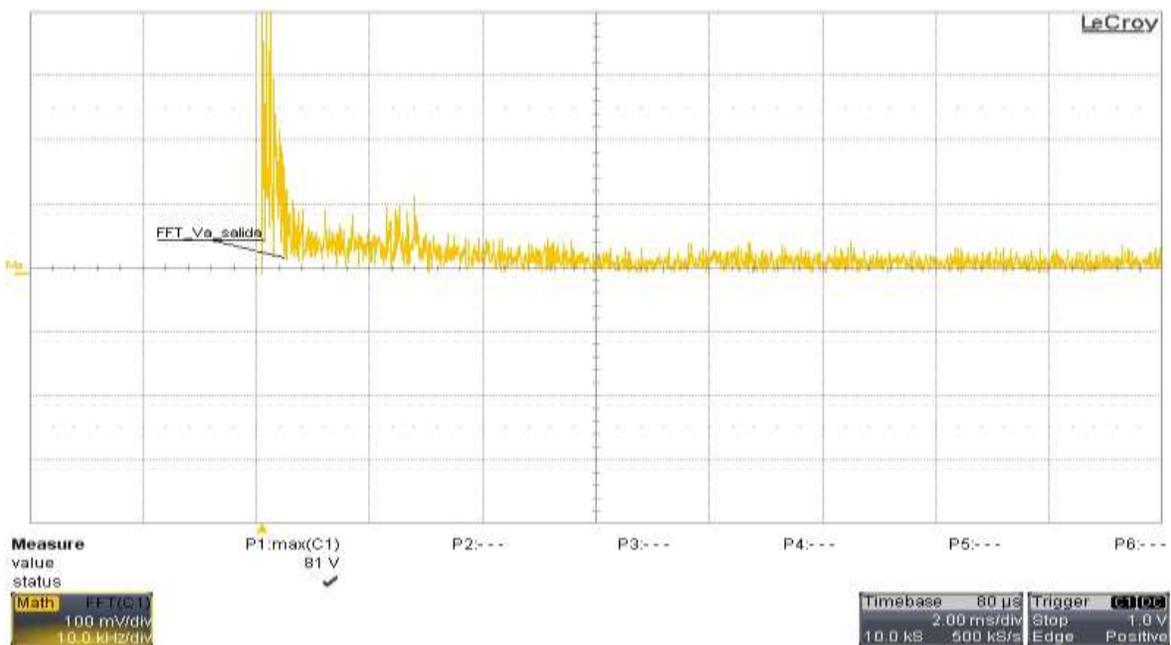


Figura 6.32 Espectro armónico de  $V_{aL-N}$  con CS+CR.

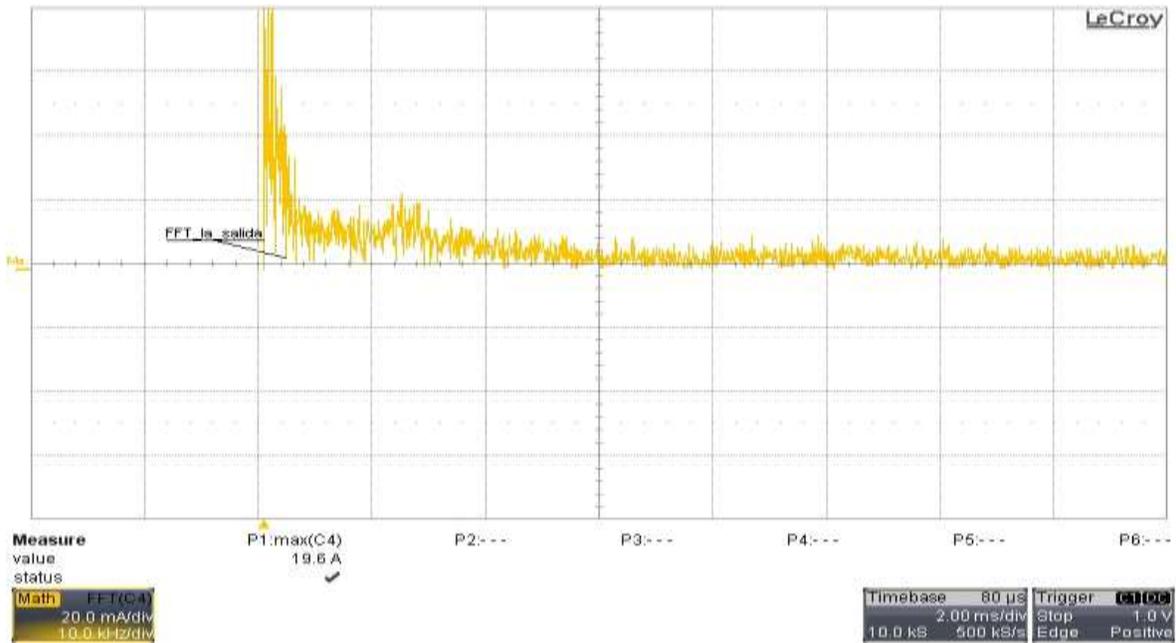


Figura 6.33 Espectro armónico de  $I_L$  con CS+CR.

En la Figura 6.32, se observa que los paquetes de bandas de armónicos de alto orden tales como frecuencias de 25.6 kHz, 38.4 kHz y 51.2 kHz tienen magnitudes inferiores de 0.05 V, aunque para magnitudes en armónicos de 2do, 3er, 5to, 7mo orden son de 0.100 V, 0.155 V, 0.088 V, 0.015 V. Y en la Figura 6.33, los armónicos del 2do. al 7mo. orden de  $I_L$  no superan magnitudes de 0.04 A, 0.035 A, 0.02 A y 0.015 A respectivamente y en altas frecuencias sus magnitudes son inferiores a 0.012 A.

Para poder determinar que: el uso de dos controladores en el algoritmo de control hace más eficiente la regulación de los voltajes de salida, se conecta una carga resistiva desbalanceada con los siguientes valores:

- Fase a= 4  $\Omega$ ;
- Fase b= 8  $\Omega$ ;
- Fase c= 10  $\Omega$ ;

En las Figuras 6.34a - 6.34c, se observan que los voltajes de salida en cada fase mantienen el mismo nivel del voltaje de referencia ( $V_o=80 \text{ V}_{\text{max}}$ ) en condiciones de carga desbalanceada.

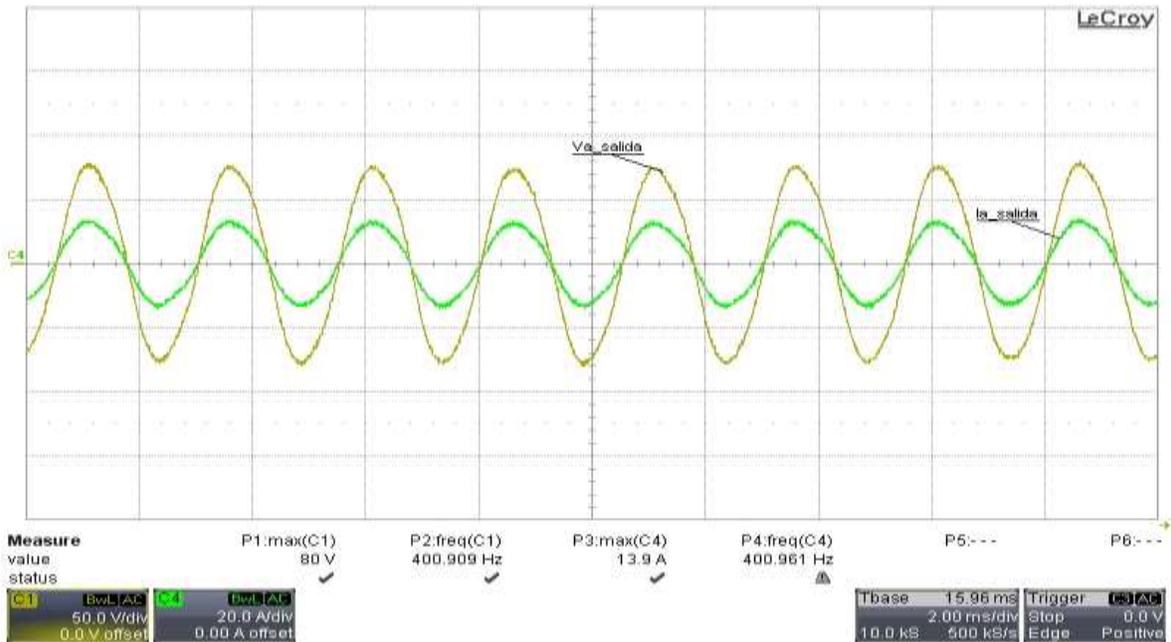


Figura 6.34a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga desbalanceada con CS+CR.

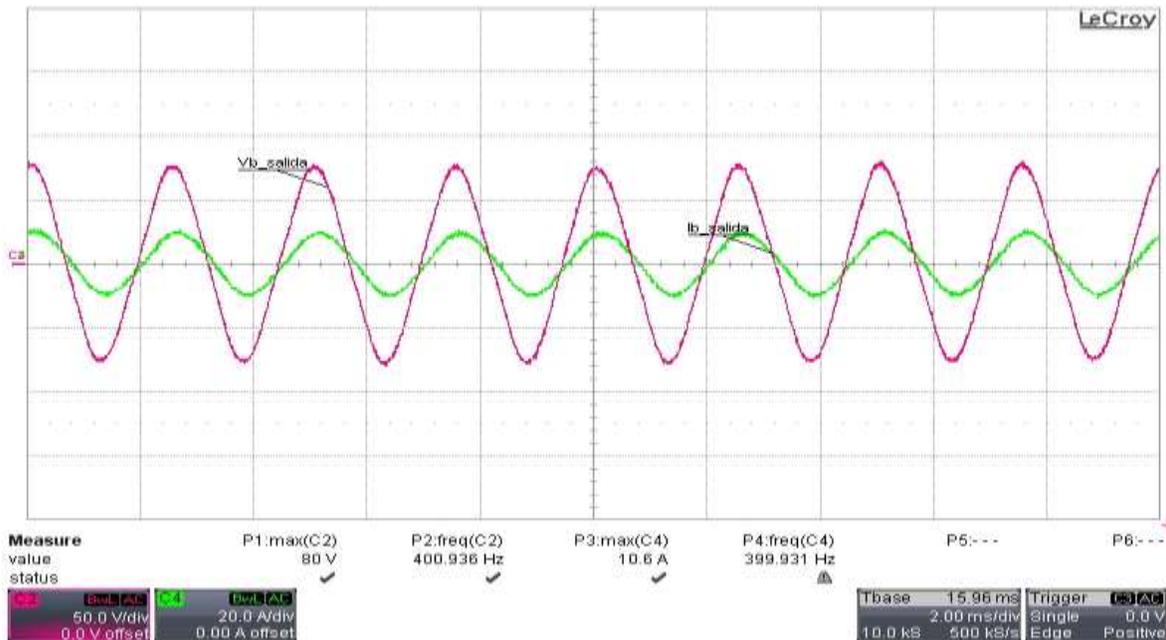


Figura 6.34b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga desbalanceada con CS+CR.

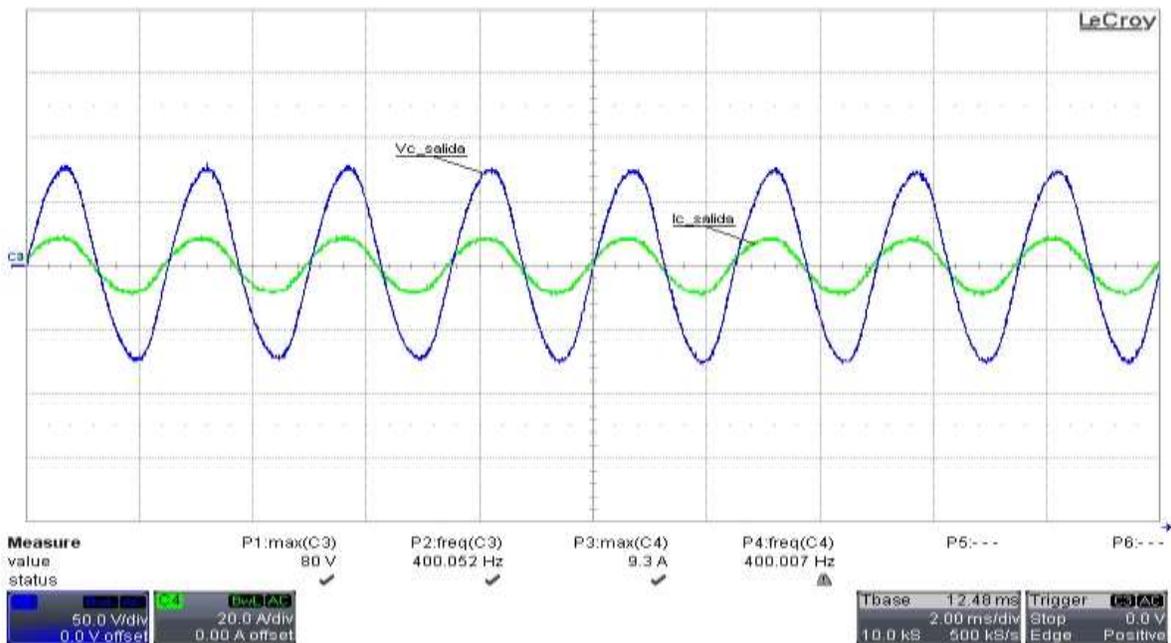


Figura 6.34c  $V_{C-L-N}$  (azul) con  $I_{C-L}$  (verde) con carga desbalanceada con CS+CR.

## 6.7 CONVERTIDOR MATRICIAL CON CARGA RESISTIVA MÁS INDUCTIVA.

Al CM se le ha instalado una carga trifásica resistiva empleándose dos controladores. Pero en esta sección la carga trifásica a instalarse va hacer resistiva-inductiva balanceada/desbalanceada. Para poder conseguir una carga desbalanceada se realiza un arreglo en las resistencias para poder variar su valor ya que la carga inductiva disponible es un reactor de valor fijo. Primero se realizan pruebas con carga RL, usando solo el control de seguimiento y por último se le añade al algoritmo el control repetitivo.

Entonces los valores de la carga resistiva-inductiva trifásica balanceada son:

- Resistencia = 4  $\Omega$ ; Inductor = 1.2 mH.

### 6.7.1 Convertidor Matricial con control de seguimiento con carga RL.

En esta etapa se conecta una carga RL trifásica balanceada en conexión estrella de acuerdo a la Figura 4.60. Los voltajes y corrientes de salida del convertidor después del filtro, se ilustran en las Figuras 6.35a – 6.35c.

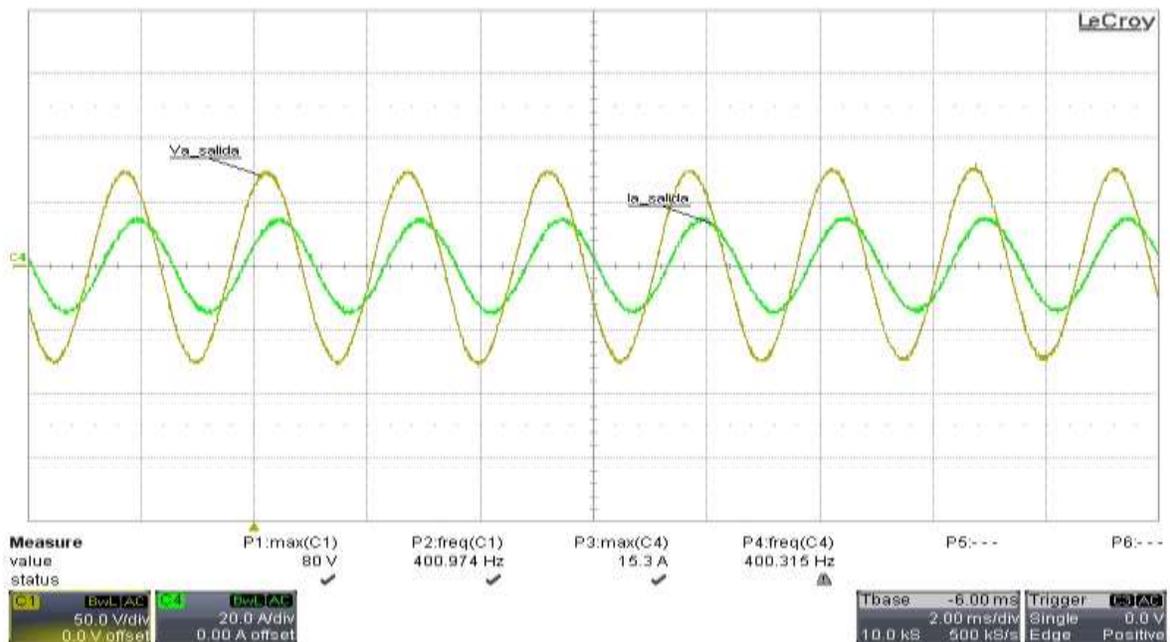


Figura 6.35a  $V_{aL-N}$  (Amarillo) con  $I_{aL}$  (verde) con carga balanceada R-L con CS.

En estas figuras se observan que los voltajes mantienen el mismo nivel del voltaje de referencia ( $80 V_{\max}/400 \text{ Hz}$ ) con una corriente máxima por fase aproximadamente de 15.3 A.

Como se trata de una carga RL existe un desfase del voltaje con respecto a la corriente, por lo tanto el factor de potencia calculado e implementado en el algoritmo de control es de un valor de 0.795 (ver Figura C.6 del Apéndice C).

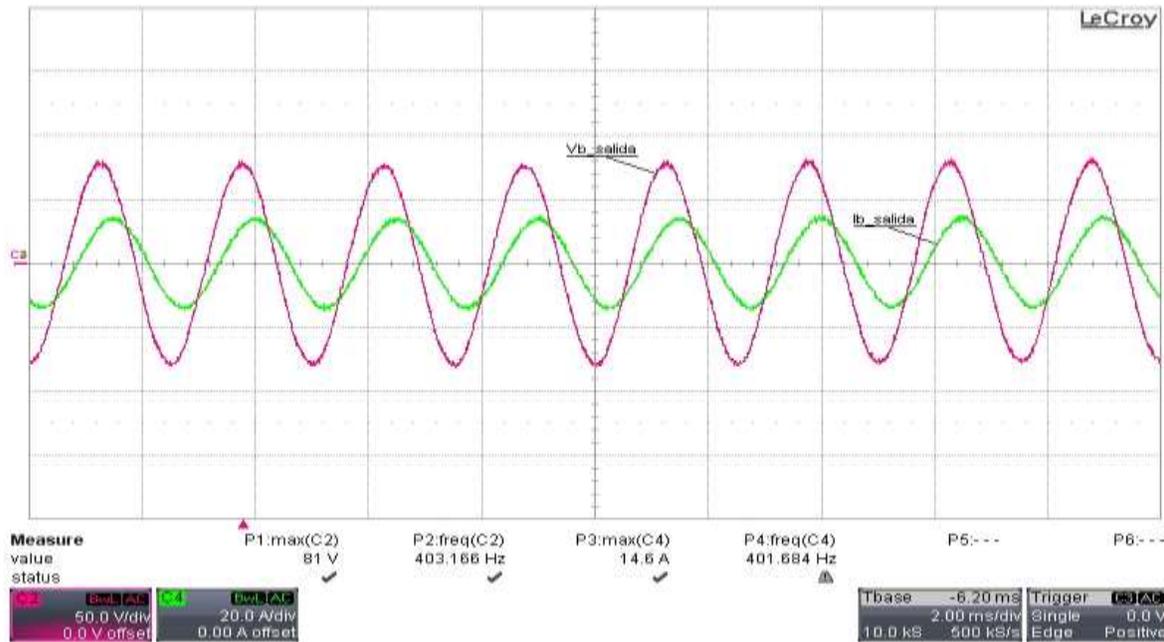


Figura 6.35b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga balanceada R-L con CS.

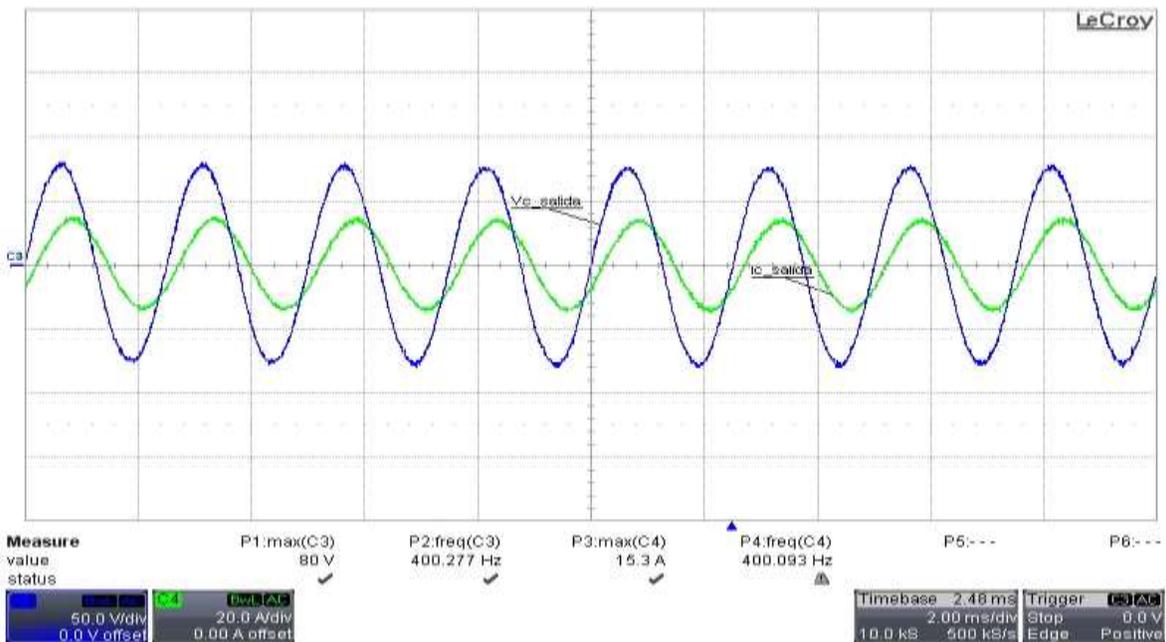


Figura 6.35c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga balanceada R-L con CS.

El espectro armónico del voltaje y de la corriente de salida se ilustran en las Figuras 6.36 y 6.37, donde la frecuencia fundamental es de 400 Hz, con una magnitud de 80.260 V para el voltaje de salida y con 15.77 A para la corriente de salida.

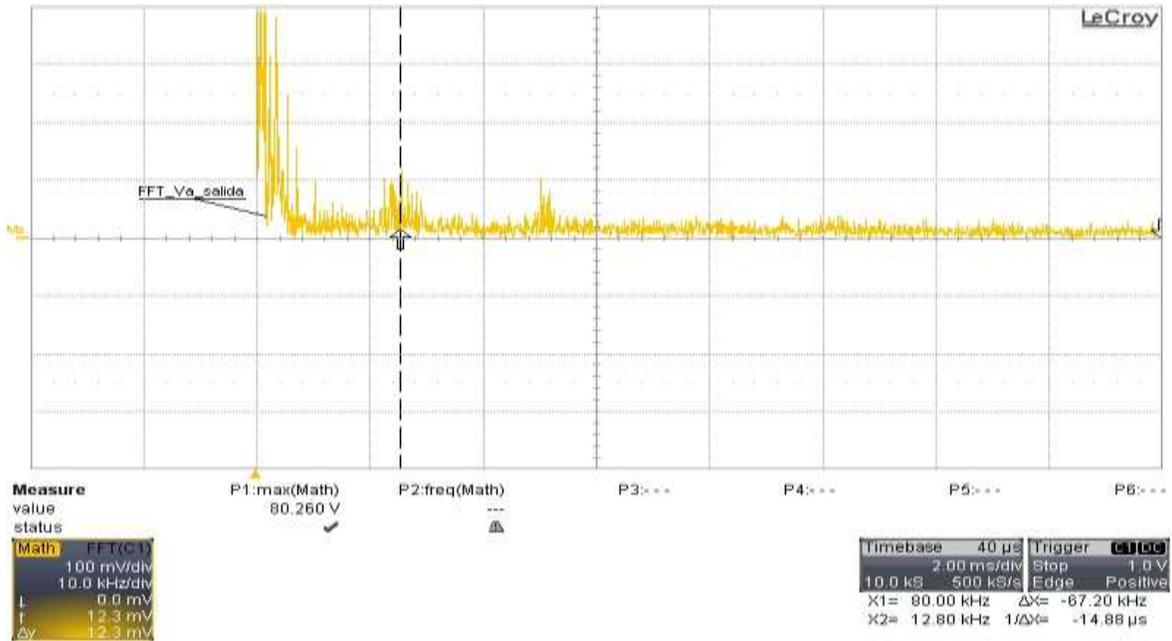


Figura 6.36 Espectro armónico de  $V_{aL-N}$  con carga R-L con CS.

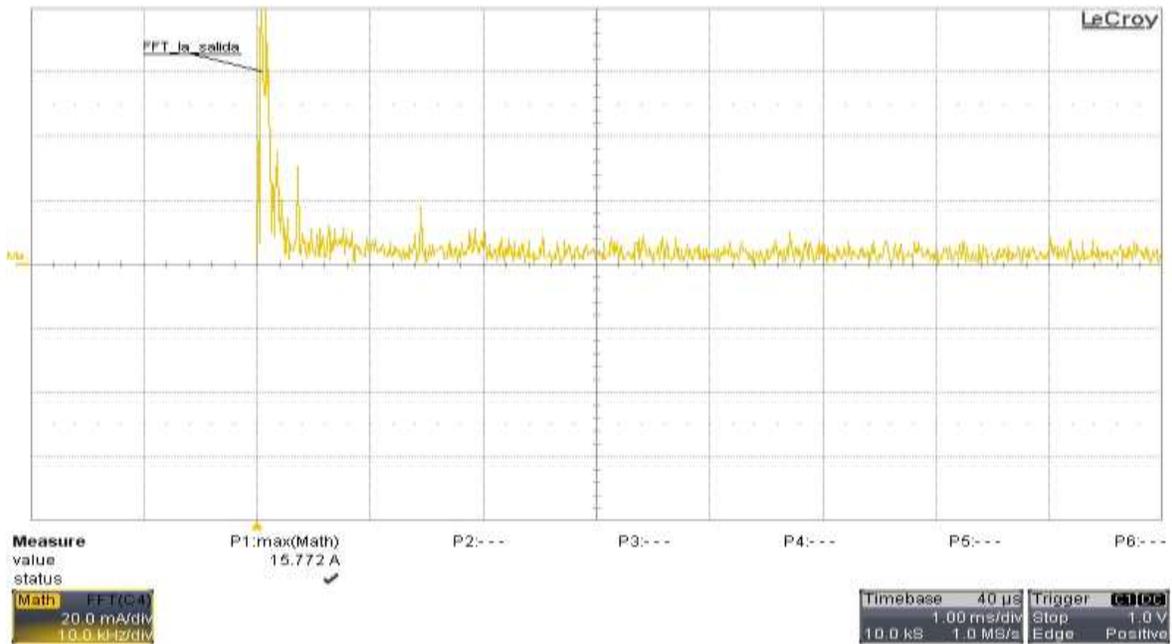


Figura 6.37 Espectro armónico de  $I_{aL}$  con carga R-L con CS.

Del espectro armónico de  $V_{aL-N}$ , las magnitudes de las frecuencias alrededor de fundamental no superan los valores de 0.4 V. Por ejemplo a la frecuencia de 800 Hz su magnitud es de 0.350 V, y a 2 kHz su magnitud es de

0.245 V. Las magnitudes a frecuencias altas tales como 12.8 kHz y 25.6 kHz no superan el valor de 0.1 V. La distorsión armónica calculada es de un valor de %THD= 2.25. Y con respecto al espectro armónico de  $I_{aL}$  (Figura 6.37), los armónicos de 800 Hz, 1.2 kHz, 2 kHz y 2.8 kHz y cercanas a la fundamental no superan magnitudes de 0.08 A.

La siguiente prueba es conectar una carga trifásica desbalanceada cuyos valores son:

- Carga  $R_a = 4 \Omega$ ;  $L_a = 1.2 \text{ mH}$  en fase a.
- Carga  $R_b = 8 \Omega$ ;  $L_b = 1.2 \text{ mH}$  en fase b.
- Carga  $R_c = 10 \Omega$ ;  $L_c = 1.2 \text{ mH}$  en fase c.

Los voltajes y las corrientes de salida medidos en estas condiciones se observan en las Figuras 6.38a - 6-38c. Donde el valor de los voltajes de salida máximos obtenidos son de  $V_{aL-N} = 68 \text{ V}$ ,  $V_{bL-N} = 77 \text{ V}$ ,  $V_{cL-N} = 85 \text{ V}$ .

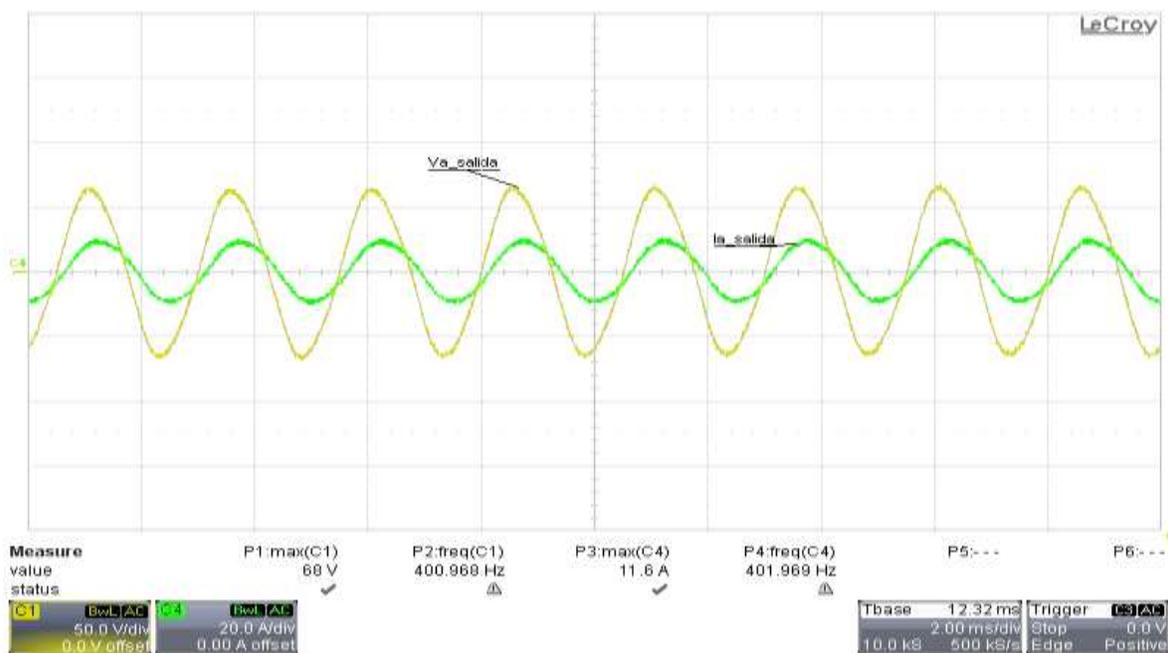


Figura 6.38a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga desbalanceada R-L con CS.

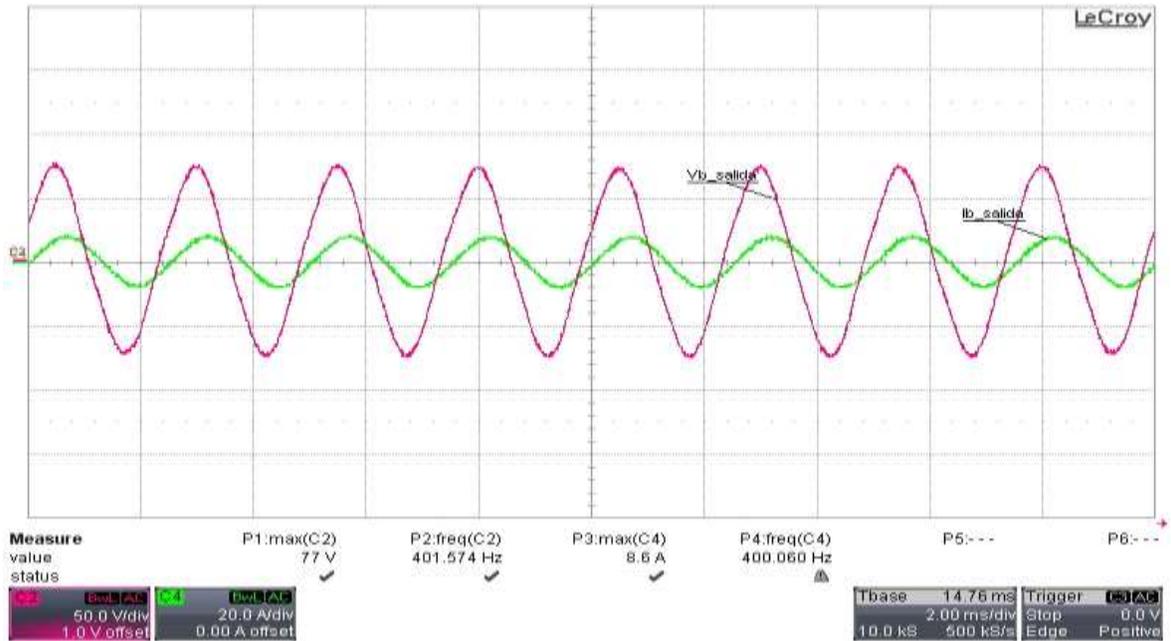


Figura 6.38b  $V_{b_{L-N}}$  (rojo) con  $I_{b_L}$  (verde) con carga desbalanceada R-L con CS.

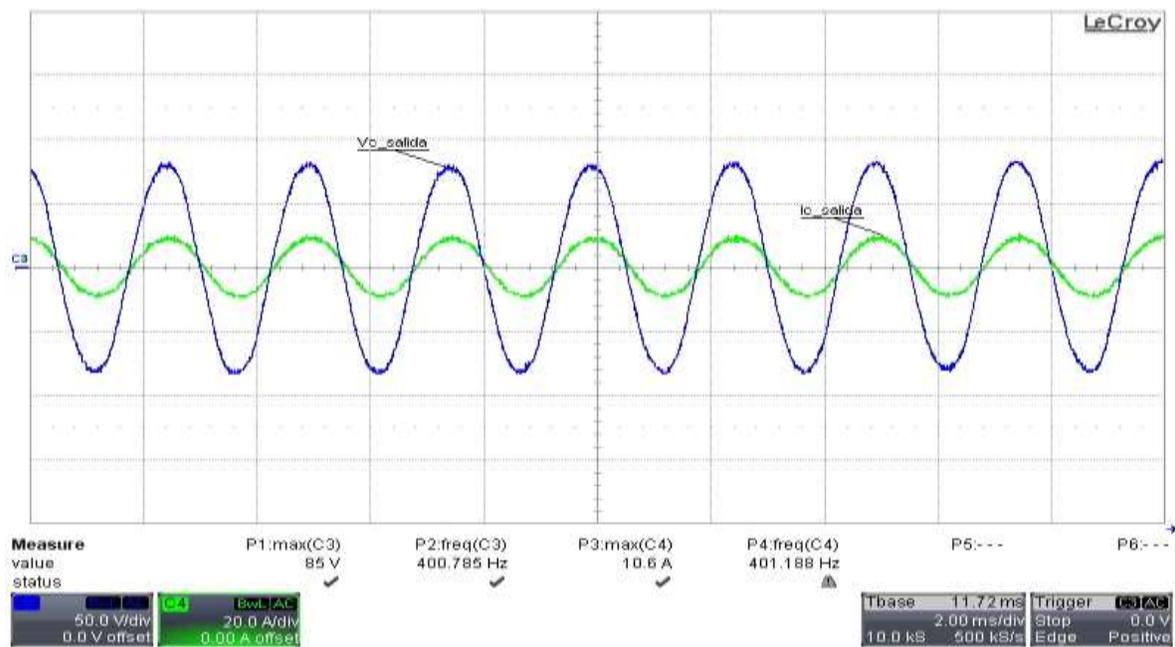


Figura 6.38c  $V_{c_{L-N}}$  (azul) con  $I_{c_L}$  (verde) con carga desbalanceada R-L con CS.

En las figuras anteriores se puede observar que los voltajes están desbalanceados. Por consiguiente para hacer más eficiente la regulación de los voltajes se añade el CR al algoritmo de control.

## 6.7.2 Convertidor Matricial con control de seguimiento más control repetitivo con carga RL.

El CR debe responder a altas frecuencias amortiguando mayor cantidad de armónicos, sin alterar la frecuencia de salida del sistema ni la forma de onda de los voltajes y de las corrientes de salida, por lo tanto con una carga RL balanceada/desbalanceada se pretende que responda satisfactoriamente.

En las Figura 6.39a – 6.39c se tienen los voltajes y las corrientes de salida cuando la carga RL trifásica es balanceada con un valor de  $4 \Omega$  en serie con una inductancia de 1.2 mH por fase.

En las siguientes figuras se observan que los voltajes de salida mantienen el mismo nivel del voltaje de referencia ( $80 V_{\max}/400 \text{ Hz}$ ).

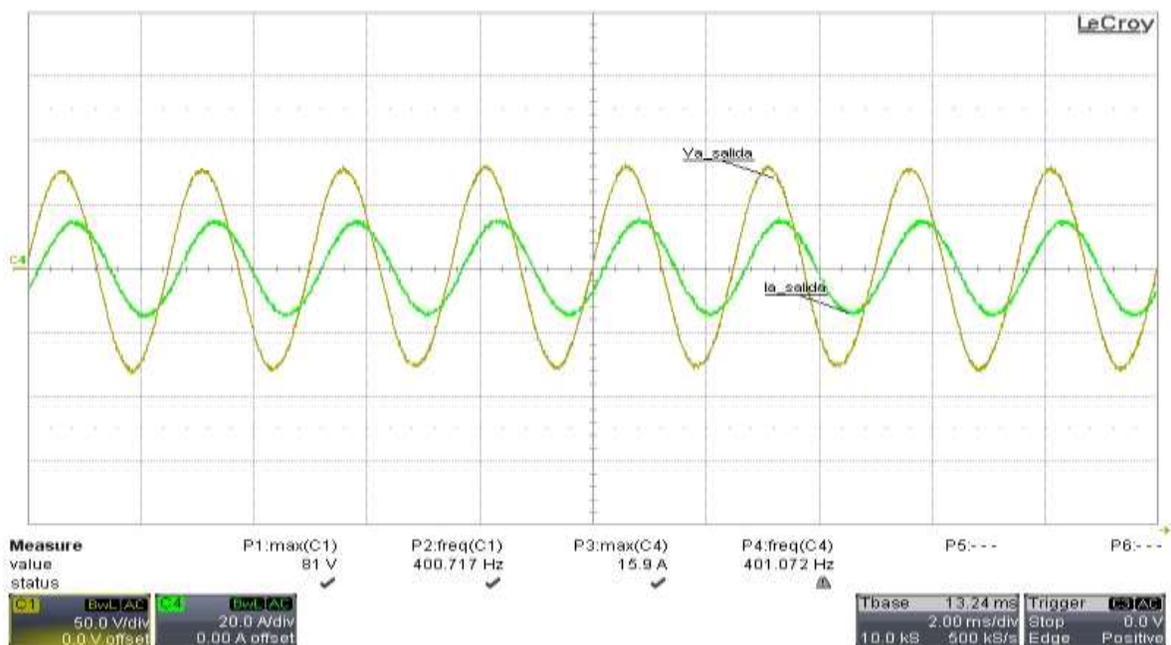


Figura 6.39a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga balanceada R-L con CS+CR.

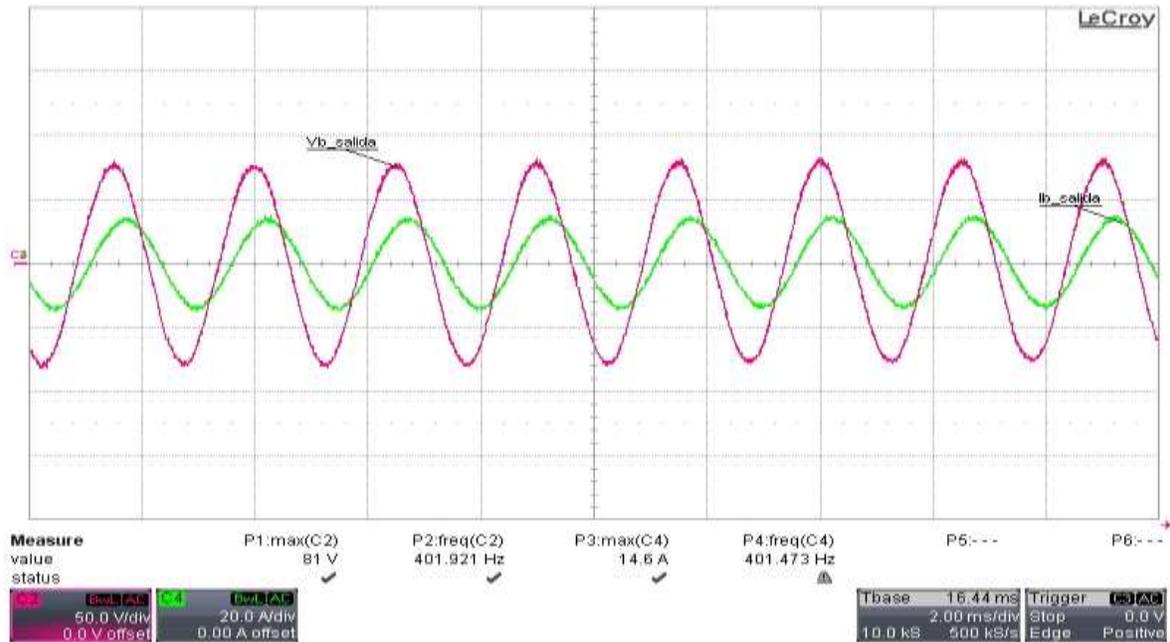


Figura 6.39b  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga balanceada R-L con CS+CR.

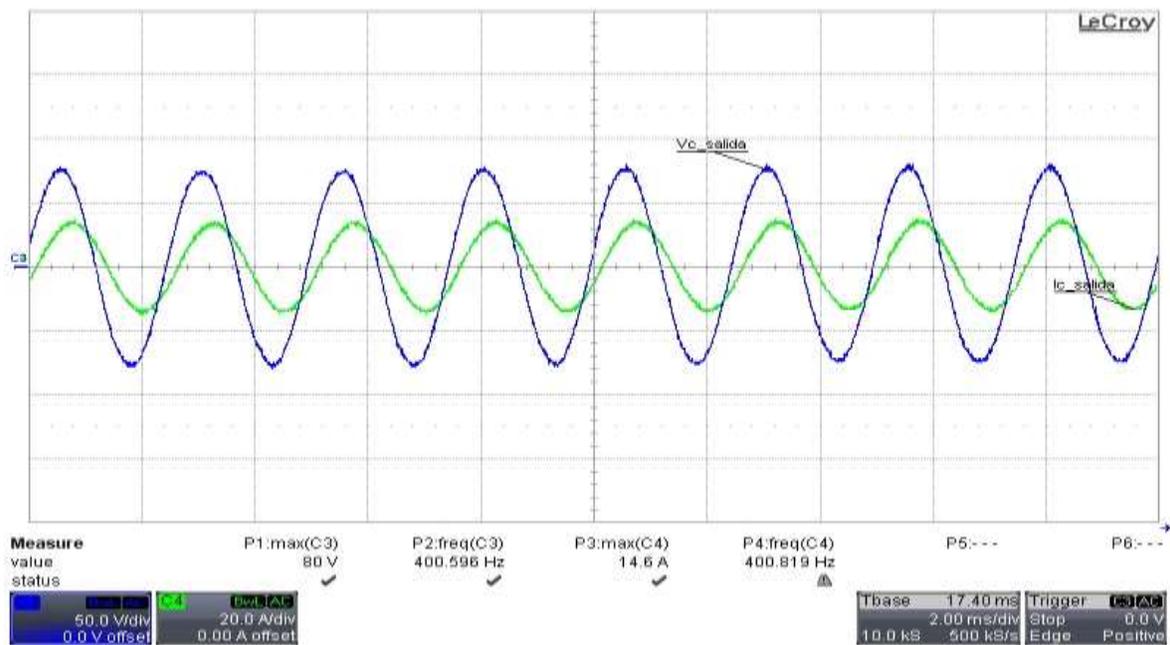


Figura 6.39c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga balanceada R-L con CS+CR.

En la Figura 6.40 se observa el espectro armónico de  $V_{aL-N}$ , donde los armónicos de 2do, 3er, 5to, 7mo tienen magnitudes de 0.343 V, 0.400 V, 0.195 V,

0.190 V respectivamente, y en altas frecuencias tales como 12.8 kHz y 25.6 kHz sus magnitudes son de 0.151 V y 0.042 V respectivamente. Y el valor calculado del %THD= 2.05.

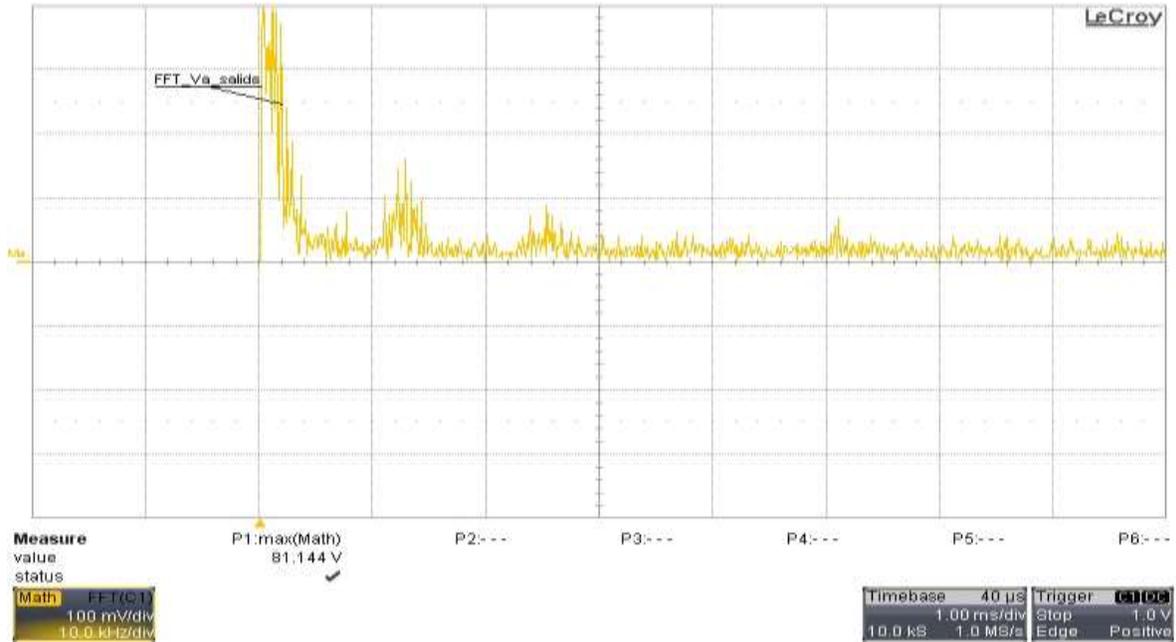


Figura 6.40 Espectro armónico de  $V_{aL-N}$  con carga R-L con CS+CR.

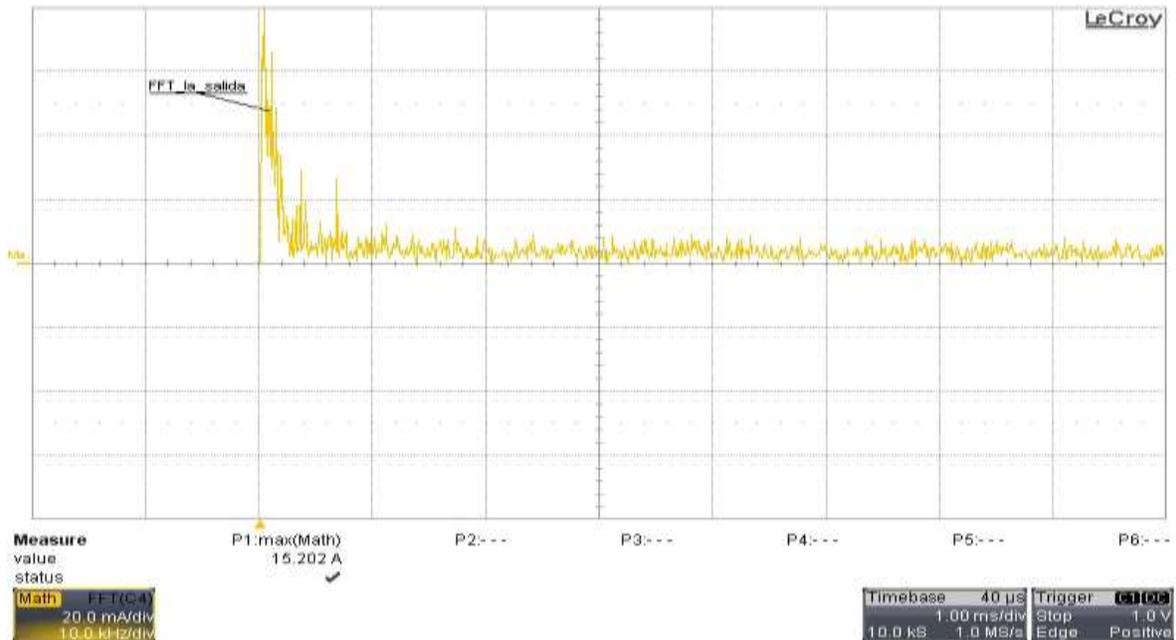


Figura 6.41 Espectro armónico de  $I_{aL}$  con carga R-L con CS+CR.

En la Figura 6.40, los armónicos a 800 Hz, 1.2 kHz, 2 kHz y 2.8 kHz y cercanas a la fundamental de 400 Hz no superan magnitudes de 0.06 A.

Se ha visto que teniendo una carga RL desbalanceada usando solo el CS los voltajes trifásicos de salida fluctúan unos con respecto a otros, por lo tanto no es suficiente para mejorar la regulación de los voltajes (sección 6.7.1). Sin embargo cuando se incluye el CR al algoritmo de control se pretende mejorar la regulación de los voltajes de salida. Entonces la siguiente etapa es conectar una carga trifásica desbalanceada con los siguientes valores:

- Carga  $R_a = 4 \Omega$ ;  $L_a = 1.2 \text{ mH}$  en fase a.
- Carga  $R_b = 8 \Omega$ ;  $L_b = 1.2 \text{ mH}$  en fase b.
- Carga  $R_c = 10 \Omega$ ;  $L_c = 1.2 \text{ mH}$  en fase c.

Los valores de los voltajes y de las corrientes de salida por fase (Figuras 6.42a -6.42c) bajo estas condiciones son:

$$V_{a\text{salida}} = 80 V_{\text{max}} \quad I_{a\text{salida}} = 12.6 A_{\text{max}};$$

$$V_{b\text{salida}} = 80 V_{\text{max}} \quad I_{b\text{salida}} = 9.3 A_{\text{max}};$$

$$V_{c\text{salida}} = 80 V_{\text{max}} \quad I_{c\text{salida}} = 7.6 A_{\text{max}}.$$

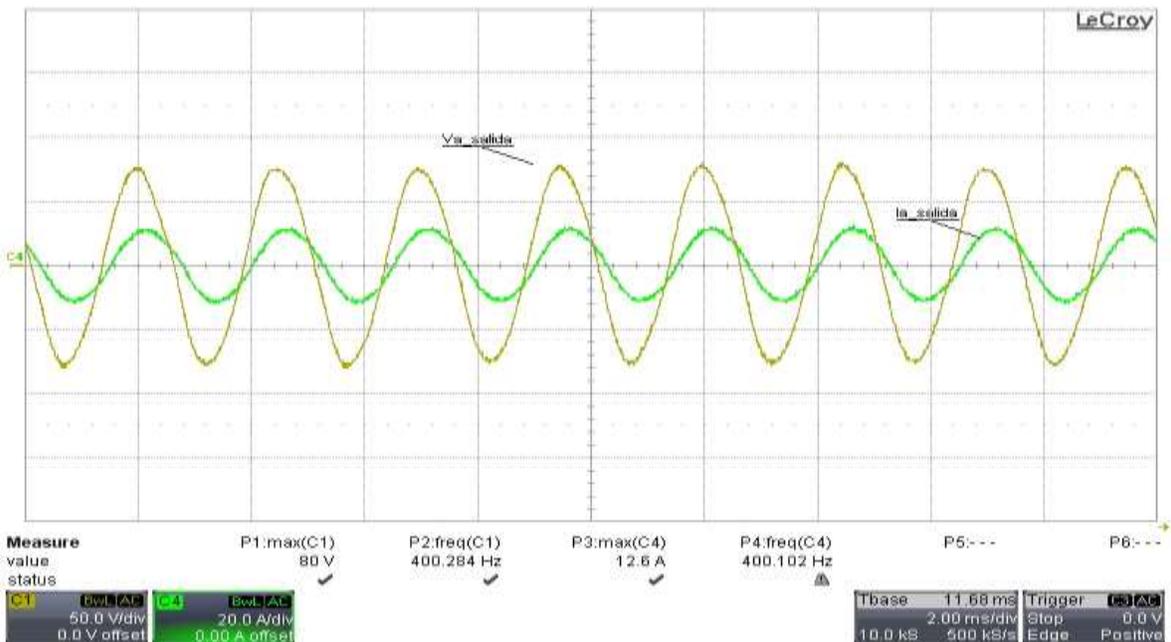


Figura 6.42a  $V_{aL-N}$  (amarillo) con  $I_{aL}$  (verde) con carga desbalanceada R-L con CS+CR.

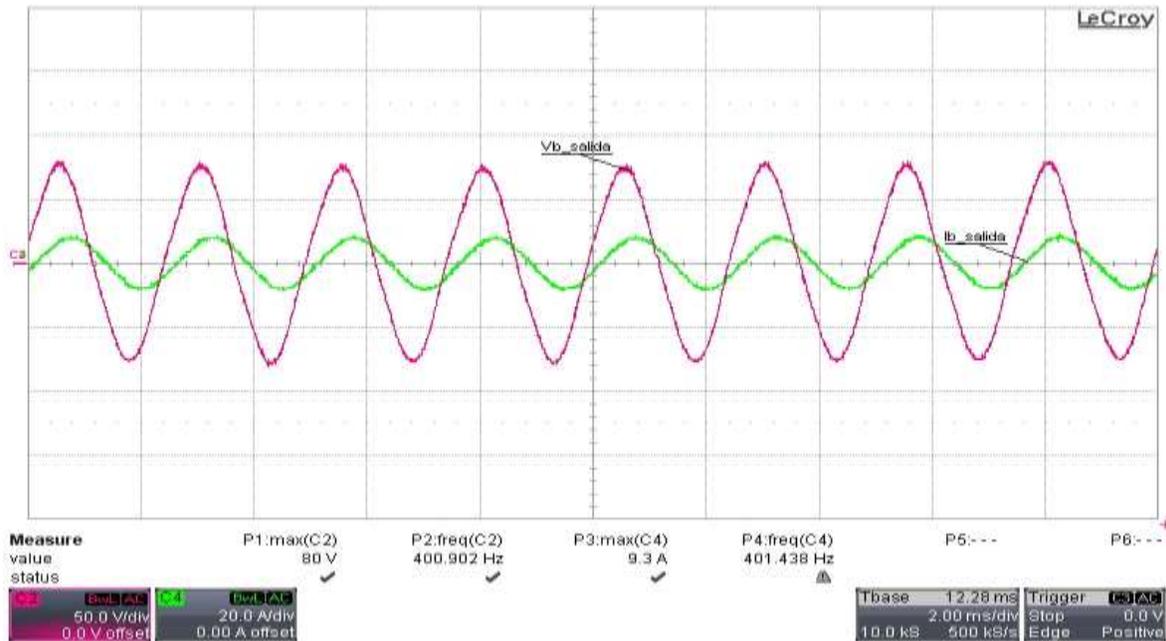


Figura 6.42a  $V_{bL-N}$  (rojo) con  $I_{bL}$  (verde) con carga desbalanceada R-L con CS+CR.

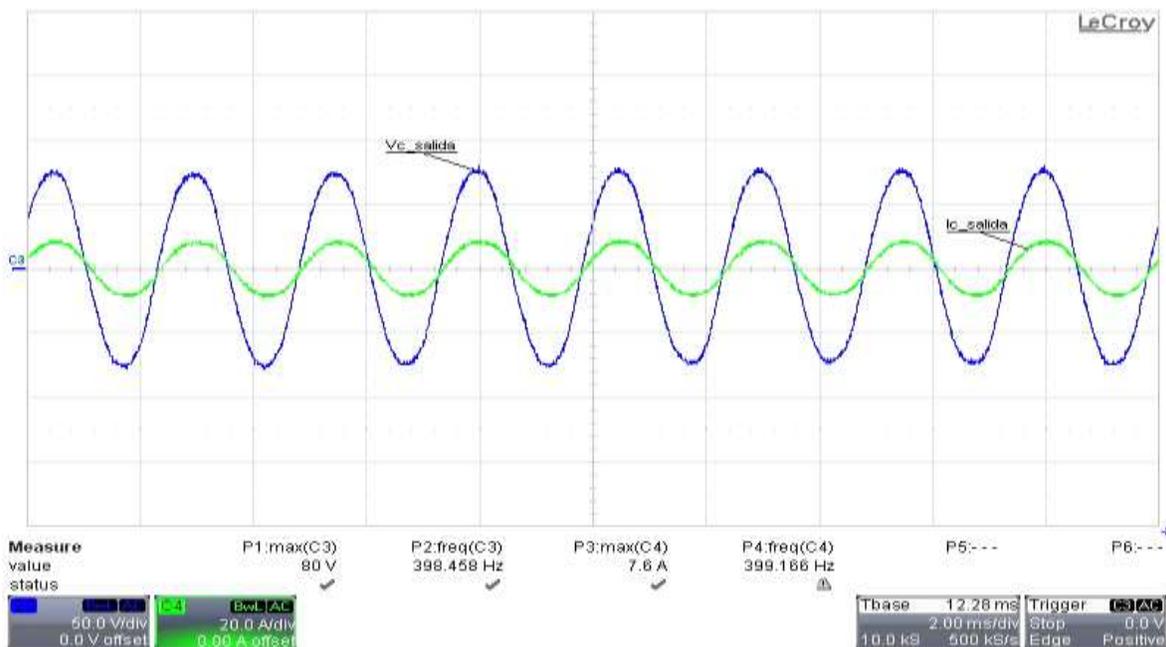


Figura 6.42c  $V_{cL-N}$  (azul) con  $I_{cL}$  (verde) con carga desbalanceada R-L con CS+CR.

En esta etapa, se puede deducir que con el uso del CS+CR, se obtiene una aceptable regulación de los voltajes de salida, independientemente del tipo de carga instalada en el CM.

Finalmente, a partir del análisis de FFT de las Figuras 4.12, 4.43, 4.54, 4.64 y 4.71 correspondientes a los espectros armónicos obtenidos en las simulaciones de los voltajes de salida y de las Figuras 6.10, 6.28, 6.32, 6.36 y 6.40 de los espectros armónicos obtenidos experimentalmente, se obtiene la siguiente tabla de comparación.

*Tabla 6.1 Resumen de %THD del voltaje de salida.*

%THD			
Con carga Resistiva	Con CS	Simulación	2.28
		Experimental	2.1
	Con CS+CR	Simulación	2.2
		Experimental	1.95
Con carga Resistiva-Inductiva	Sin Filtros	Simulación	9.28
		Experimental	
	Con CS	Simulación	2.38
		Experimental	2.25
	Con CS+CR	Simulación	2.34
		Experimental	2.05

De acuerdo al objetivo de este trabajo que es obtener voltajes trifásicos de salida balanceados con un rango máximo de  $\pm 3$  V con respecto al voltaje de referencia ( $80 V_{max}$ ) con carga desbalanceada, se obtiene la tabla 6.2 al comparar las Figuras 4.36, 4.46, 4.55, 4.65, 4.72 que corresponden a los voltajes de salida obtenidos en las simulaciones, con las Figuras 6.26a-c, 6.30a-c, 6.34a-c, 6.38a-c, 6.42a-c correspondientes a los voltajes de salida obtenidos experimentalmente.

Tabla 6.2 Resumen de los voltajes de salida con carga desbalanceada.

VOLTAJES MAXIMOS DE SALIDA DE FASE A NEUTRO.				
Con carga Resistiva	Sin control	Simulación	Va= 77 V. Vb= 87 V. Vc= 86 V.	Fig.4.36
		Experimental	Va= 80 V. Vb= 86 V. Vc= 85 V.	Fig.6.26a-c
	Con CS	Simulación	Va= 76 V. Vb= 78 V. Vc= 84 V.	Fig.4.46
		Experimental	Va= 71 V. Vb= 76 V. Vc= 85 V.	Fig.6.30a-c
	Con CS+CR	Simulación	Va= 78 V. Vb= 79 V. Vc= 81 V.	Fig.4.55
		Experimental	Va= 80 V. Vb= 80 V. Vc= 80 V.	Fig.6.34a-c
Con carga Resistiva-Inductiva	Con CS	Simulación	Va= 76 V. Vb= 76 V. Vc= 86 V.	Fig.4.65
		Experimental	Va= 68 V. Vb= 77 V. Vc= 85 V.	Fig.6.38a-c
	Con CS+CR	Simulación	Va= 78 V. Vb= 80 V. Vc= 81 V.	Fig.4.72
		Experimental	Va= 80 V. Vb= 80 V. Vc= 86 V.	Fig.6.42a-c

## **CAPÍTULO 7. CONCLUSIONES Y RECOMENDACIONES.**

El CM realiza la conversión directa de CA-CA debido a que está integrado por interruptores bidireccionales que permiten el flujo de la corriente en ambas direcciones, es decir de la fuente de alimentación de entrada hacia la carga y viceversa.

Una importante aplicación de los CM es como fuente de voltaje para actuadores electromecánicos de aeronaves con una frecuencia de operación de 400 Hz.

Antes de conectar cualquier tipo de carga eléctrica al CM, es importante verificar experimentalmente el funcionamiento de los circuitos de disparo, de los interruptores bidireccionales, de la conmutación de 4 pasos y de los parámetros de conmutación (Figuras 6.2 - 6.7), con el objetivo de evitar daños al CM causados por C.C. ó sobrevoltajes tanto en la entrada como en la salida.

La plataforma de control consta de un DSP que ofrece una alta velocidad en la lectura de instrucciones, la exactitud de operaciones matemáticas con punto flotante y la flexibilidad de expansión periférica tal como la conexión de una tarjeta FPGA para generar los 18 pulsos PWM con la conmutación segura, así como también la expansión de una tarjeta HPI que permite programar una interfaz gráfica para el monitoreo de los parámetros eléctricos de entrada y salida en tiempo real del CM.

El control de seguimiento es diseñado con el método de la localización de raíces en Matlab v7.6. Este CS consiste de señales de referencia que se crean a partir de la transformación lineal (Apéndice B). Estas señales trifásicas generadas de forma digital son comparadas con los voltajes de retroalimentación adquiridos digitalmente a través de los transductores de voltaje localizados entre las

terminales de los capacitores del filtro de salida. Esta diferencia pasa por este controlador de segundo orden, donde su denominador se compone por nuevos polos estables y su numerador consta de la ecuación característica de la planta con el fin de sustituir polos inestables por polos estables. La salida de este controlador genera una nueva señal de referencia para el SVM, el cual calcula los ciclos de trabajo (ec. 2.28) para los pulsos PWM generados por la FPGA en cada ciclo de muestreo ( $T_s$ ) y poder controlar la amplitud de voltaje y la frecuencia de salida con un factor de potencia unitario a la entrada.

Se puede observar en la tabla 6.2, cuando se usa CS los voltajes de salida son desbalanceados superando el límite de  $\pm 3$  V del valor del voltaje de referencia cuando el convertidor tiene instalado cualquier tipo de carga eléctrica desbalanceada. Sin embargo, una ventaja de este control es la atenuación del contenido armónico de la forma de onda de los voltajes de salida, tal como se demuestra en la tabla 6.1, reduciéndose el %THD entre valores de 2.1 a 2.38.

Cuando se añade el CR al algoritmo de control se obtienen voltajes trifásicos de salida balanceados independientemente del tipo de carga eléctrica desbalanceada conectada al CM (tabla 6.2). Es importante mencionar que al ser añadido el CR, el error entre el  $V_{ref}$  con respecto al voltaje de retroalimentación, compuesto por un periodo de 32 muestras se integra y se compensa con el próximo periodo entrante (sección 4.4.2; Figura 4.58). Otra ventaja de emplear este controlador es que no altera la frecuencia de operación del sistema y la forma de onda de los voltajes de salida, así como la atenuación de un mayor contenido armónico y ruido en el sistema que va de un valor de 1.95 ha 2.05 del %THD experimentalmente. La señal modificada por el CR es una nueva señal de referencia para el CS, el cual su función principal ahora es ser un compensador para las señales del SVM.

## 7.1 Trabajos futuros.

Los siguientes tópicos son discutidos para dar sugerencias a nuevas investigaciones para la mejora en el diseño y en la implementación del control en el CM.

- **Filtro de entrada:** Se recomienda realizar las pruebas necesarias al Variac para calcular su inductancia interna, ya que es la fuente principal de voltaje del CM, con el fin de optimizar los valores de L, C y R del filtro de entrada y poder atenuar armónicos de orden específico y mejorar las formas de onda de las corrientes de entrada trifásica.

La ventaja de usar un CM con respecto a otras topologías de convertidores es la posibilidad de controlar el factor de potencia de entrada independientemente del tipo de carga eléctrica.

- **Sistema de control:** Para mejorar la compensación del error en el control repetitivo se necesitara aumentar la frecuencia de muestreo, el detalle está en que el DSP deberá ser lo suficientemente rápido para ejecutar instrucciones y adaptar los retardos en un periodo de conmutación.

## 7.2 Aportaciones.

Este trabajo aporta las sugerencias de como verificar experimentalmente el sentido de las corrientes de salida y todas las condiciones para llevar a cabo una correcta operación del CM para prevenir daños. Así como la comprobación experimental de la implementación de dos controladores para obtener voltajes balanceados y reducir su contenido armónico, en comparación con los trabajos recientes realizados en la SEPI, Zacatenco [15] y [16], los cuales utilizan otra técnica de modulación para el encendido/apagado de los interruptores bidireccionales, sin lazo de control para voltajes de salida.

## REFERENCIAS.

- [1] J.-S. Kim and S. K. Sul, "New control scheme for AC–DC–AC converter without DC-link electrolytic capacitor," in *Proc. IEEE PESC'93*, 1993, pp. 300–306.
- [2] L. Malesani, L. Rossetto, P. Tenti, and P. Tomasin, "AC/DC/AC PWM converter with reduced energy storage in the DC link," *IEEE Trans. Ind. Applicat.*, vol. 31, pp. 289–292, Mar./Apr. 1995.
- [3] P. D. Ziogas, Y. Kang, and V. R. Stefanovic, "Rectifier-inverter frequency changers with suppressed DC-link component," *IEEE Trans. Ind. Applicat.*, vol. IA-22, pp. 1027–1036, Nov./Dec. 1986.
- [4] T. F. Podlesak, D. C. Katsis, P. W. Wheeler, J. C. Clare, L. Empringham, and M. Bland, "A 150-kVA vector controlled matrix converter induction motor drive", *IEEE Trans. on Ind. Appl.*, Vol.41, pp. 841–847, May/June 2005.
- [5] M. Munzer, "Economac-The first all in one IGBT module for matrix converters", in *Proc. Drives and Control Conf.*, Sec.3, London, 2001, CD-ROM.
- [6] C. Klumpner, P. Nielson, I. Boldea, and F. Blaabjerg, "New solutions for a low cost power electronic building block for matrix converters", *IEEE Trans. on Ind. Electronics*, Vol.49, pp. 336–334, April 2002.
- [7] J. Mahlein, J. Weigold, and O. Simon, "New concepts for matrix converter design", *Proc. IEEE-Int. Conf. on Ind. Electron.*, Vol.2, pp. 1044–1048, Denver 2001.
- [8] J. Mahlein, O. Simon, and M. Braun, "A matrix converter with space vector control enabling overmodulation", *Conf. Proc. EPE'99*, Lussanne, pp. 1–11, September 1999.
- [9] L. Wang, K. Sun, and L. Huang, "A novel method to enhance the voltage transfer ratio of matrix converter", *Proc. 30th Ann. Meeting of IES*, Busan, Korea, pp. 723–727, November 2004.
- [10] J. Chang, T. Sun, and A. Wang, "Highly compact ac-ac converter achieving a high voltage transfer ratio", *IEEE Trans. on Ind. Electronics*, vol.49, no.2, pp. 345–352, April 2002.
- [11] H. Cha and P. N. Enjeti, "A three-phase ac/ac high frequency link matrix converter for VSCF applications", *IEEE-PESC*, Vol.4, pp. 1971–1976, 2003.
- [12] S. Ratanapanaachote, H. J. Cha, and P. N. Enjeti, "A digitally controlled switch mode power supply", *IEEE-PESC*, Aachen, Germany, pp. 2237–2243, 2004.

- [13] E. Chekhet, V. Sobolev, and I. Shapoval, "The steady state analysis of a doubly-fed induction motor (DIFM) with matrix converter", Proc.EPE-PEMC, Kosice, vol.5, pp. 6–11, 2000.
- [14] A. K. Dalal, P. Syam, and A. K. Chattopadhyay, "Use of matrix converter as slip-power regulator in a doubly-fed induction motor drive for improvement of power quality", Proc. IEEE Power India Conf., 10–12 April, page(s) 6 pp, [www.ieeexplore.ieee.org](http://www.ieeexplore.ieee.org), 2006.
- [15] Ilver Hernández G., "Simulación e implementación de un convertidor matricial de cuatro hilos empleando la técnica de modulación óptima de Venturini", SEPI, Zacatenco, Agosto 2013.
- [16] Eliher Alejandro O., "Implementación de algoritmos Sünter-Clare en un convertidor matricial", SEPI, Zacatenco, Agosto 2013
- [17] A. Alesina and M. Venturini, "Analysis and Design of Optimum- Amplitude Nine-Switch Direct ac–ac Converters," *IEEE Trans. Power Electron.*, vol. 4, no. 1, pp. 101–112, Jan. 1989.
- [18] M. Venturini, "A new sine wave in sine wave out, conversion technique which eliminates reactive elements," *Proceeding Powercon 7*, vol. E3, pp. 1- 15, 1980.
- [19] D. Casadei, G. Serra, A. Tani, and L. Zarri, "Optimal use of zero vectors for minimizing the output current distortion in matrix converters," *IEEE Trans. Ind. Electron.*, vol. 56, no. 2, pp. 326–336, Feb. 2009.
- [20] D. Casadei, G. Serra, and A. Tani, "Reduction of the input current harmonic content in matrix converters under input/output unbalance," *IEEE Trans. Ind. Electron.*, vol. 45, no. 3, pp. 401–411, Jun. 1998.
- [21] F. Blaabjerg, D. Casadei, C. Klumpner, and M. Matteini, "Comparison of two current modulation strategies for matrix converters under unbalanced input voltage conditions," *IEEE Trans. Ind. Electron.*, vol. 49, no. 2, pp. 289–296, Apr. 2002.
- [22] Domenico Casadei, Giovanni Serra, Angelo Tani, and Luca Zarri. "Matrix Converter Modulation Strategies: A New General Approach Based on Space-Vector Representation of the Switch State", *IEEE Trans. Ind. Electron.*, Vol. 49, no. 2, pp. 370-381, April 2002.
- [23] Tadra Grzegorz, "Implementation of Matrix converter control circuit with direct space vector modulation and four step commutation strategy", *IEEE Trans. Ind. Electron.*, no S/N , pp. 321–326, October 2009.
- [24] "Space vector modulated three-phase to three-phase matrix converter with input power factor correction," *IEEE Trans. Ind. Applicat.*, vol. 31, pp. 1234–1246, Nov./Dec. 1995.

- [25] D. Casadei, G. Grandi, G. Serra, and A. Tani, "Space vector control of matrix converters with unity input power factor and sinusoidal input/output waveforms," in *Proc. EPE Conf.*, vol. 7, pp. 170–175, Sept. 13–16, 1993.
- [26] Wheeler P.W. and Grant D.A. "Optimized input Filter Design and Low Loss Switching Techniques for a Practical Matrix Converter", *IEEE Proceedings, Part B*, pp53-60
- [27] P. Wheeler and D. Grant, "bi-directional switch current commutation for matrix converter applications", *IEEE Trans. Ind. Electron.*, vol.51, no. 2, pp. 210–218, April 2002.
- [28] A. Deihimi<sup>1</sup> and F. Khoshnevis<sup>2</sup> "Implementaion of Current Commutation Strategies of Matrix Converters in FPGA and Simulations Using Max+PlusII", *International Journal of Recent Trends in Engineering*, Vol 2, No. 5, pp. 91-95 November 2009.
- [29] L.C. Herrero, S. de Pablo, F. Martín and Alexis B. Rey "Comparative Analysis of the Techniques of Current Commutation in Matrix Converters", *IEEE Trans. Ind. Electron.* Vol1, no S/N, pp. 521-526, Julio 2007.
- [30] P. Wheeler and D. Grant, "Optimised input filter design and low-loss switching techniques for a practical matrix converter", *IEE Proceedings - Electric Power Applications*, vol. 144, No. 1, pp. 53 - 60, January 1997.
- [31] Dr. Saul López A., "Matrix Converter for frequency Changing power supply applications", University of Nottingham, UK, 2008.
- [32] J. Kim, J. Choi, and H. Hong, "Output LC filter design of voltage source inverter considering the performance of controller", *International Conference on Power System Technology, 2000*, vol. 3, pp. 1659 -1664, December 2000.
- [33] A. Kusko, D. Galler, and N. Medora, "Output impedance of PWM UPS inverter-feedback voltage filters", *IEEE Industry Applications Society Annual Meeting, 1990*, vol. 2, pp. 1044 - 1048, October 1990.
- [34] Michael A. Boost and Phoivos D. Ziogas, "Towards a zero-output impedance UPS system", *IEEE Transactions on Industry Applications*, 1989, vol. 25, No.3, pp. 408 - 418, May/June 1989.
- [35] S. B. Dewan and P. D. Ziogas, "Optimum filter design for a single phase Solid-State UPS system", *IEEE Transactions on Industry Applications*, 1979, vol. 1A-15, No. 6, pp. 664 - 669, 1979.
- [36] S. B. Dewan, "Optimum input and output filters for a single phase rectifier power supply", *IEEE Transactions on Industry Applications*, vol. 1A-21, No. 3, pp. 282 -288, 1981.

[37] Tadashi Inoue ,”Practical Repetitive Control System Desing”, Department of Electrical Engineering National Defense Academy, 1990, vol. 1, pp. 1673-1678, December 1990.

[38] B. A. Francis and W. M. Wonham, “The internal model principle for linear multivariable regulators”, *Applied Mathematics and Optimization*, 1975, vol. 2, No. 2, pp. 170-194, December 1975.

[39] Francis, B.A., and Wonham, W. M., “*The Internal Model Principle of Control Theory*” *Automatica*, 1976, Vol.12, No.5, pp.457–465.

[40] Shing-Chung Yeh and Ying-Yu Tzou,” Adaptive Repetitive Control of a PWM Inverter for AC Voltage Regulation with Low Harmonic Distortion”, *Power Electronics & Motion Control Lab.*, 1995,vol.1,S/N,pp 157-163.

[41] O. Pinzón-Ardila\_, A. García-Cerrada\_, P. García-González\_, V. Feliu-Batllet y P. L. Roncero-Sánchez, “Aplicación del Control Repetitivo a Filtros Activos de Potencia en Conexión Paralelo”, S/A, S/V,S/N, pp 101-106.

[42] Tadashi Inoue,” Practical Repetitive Control System Design” , Department of Electrical Engineering National Defense Academy, 1990, Vol.29, pp. 1673-1678.

[43] W.Bolton, “Ingenieria de Control”,2da. Edición, Alfaomega Kosice, pp. 335–370, 2010.

[44] E. Chekhet, V. Sobolev, and I. Shapoval, “The steady state analysis of a doubly–fed induction motor (DIFM) with matrix converter”, *Proc.EPE-PEMC*, Kosice, vol.5, pp. 6–11, 2000

[45] K. Zhang, Y.Kang, J.Xion,J.chen,”Direct Repetitive Control of pwm inverter for UPS Purpose”, *IEEE Industry Applications Conference*, Vol18, pp.784-792, 2003.

[46] Tadashi Inoue ,”Practical Repetitive Control System Desing”, Department of Electrical Engineering National Defense Academy, 1990, vol. 1, pp. 1673-1678, December 1990.

[47] Matlab, Filter Design Toolbox™,”Specifying the SOS Matrix (Biquadratic Filter Coefficients)”.

[48] Tadashi Inoue ,”Practical Repetitive Control System Desing”, Department of Electrical Engineering National Defense Academy, 1990, vol. 1, pp. 1673-1678, December 1990.

[49] K. Zhang, Y.Kang, J.Xion,J.chen,”Direct Repetitive Control of pwm inverter for UPS Purpose”, *IEEE Industry Applications Conference*, Vol18, pp.784-792, 2003.

- [50] J.-S. Kim and S. K. Sul, "New control scheme for AC–DC–AC converter without DC-link electrolytic capacitor," in *Proc. IEEE PESC'93*, 1993, pp. 300–306.
- [51] Wheeler, P.W., Rodriguez, J., Clare, J.C., Empringham, L., and Weinstein, A.: "Matrix converters: a technology review", *IEEE Trans. Ind. Electron.*, vol.49,no. 2, pp. 276–288, April 2002.
- [52] D. Casadei, G. Serra, and A. Tani, "Reduction of the input current harmonic content in matrix converters under input/output unbalance," *IEEE Trans. Ind. Electron.*, vol. 45, no. 3, pp. 401–411, Jun. 1998.
- [53] P.Nielsen, F. Blaabjerg, J. Perdersen, "Novel solutions for protection of matrix converter to three phase induction machine", *IEEE Industry Applications Conference 32th,Oct.1997, IAS Annual Meeting, Vol 2*, pp.1447-1454.
- [54] R. Cárdenas, C.Juri, R.Peña,P.Wheeler, J.Clare."The application of resonant controllers to 4-Leg Matrix Converters feeding Unbalanced or No-Linear Loads", *IEEE Industry Applications Conference,Vol1*, pp.S/P.
- [55] Simone Buso y Paolo Mattavelli,"*Digital Control in Power Electronics*", Morgan & Claypool Publishers, USA, 2006.

# APENDICES.

## APÉNDICE A.

### A.1 IGBT BIDIRECCIONAL.

El convertidor matricial requiere de interruptores bidireccionales con la capacidad de bloquear voltajes positivos como voltajes inversos y conducir la corriente en ambas direcciones que conectan una carga trifásica directamente a la línea de alimentación, desafortunadamente no existen estos elementos para cubrir estas necesidades por lo tanto se fabrican interruptores con dos IGBT's en conexión anti-paralelo como se ilustra en la Figura A.1 que consiste de 2 diodos y dos IGBT's. El diodo en serie en cada IGBT tiene la función proporcionar la capacidad de bloquear voltajes inversos. Las pérdidas por conducción son menores debido a que la corriente conduce por ambos dispositivos. Este arreglo permite controlar independientemente la dirección de la corriente en el interruptor bidireccional. Una desventaja es que ambos necesitan una fuente aislada en el circuito de disparo dando un total de 9 fuentes para controlar este flujo de corriente en el CM.

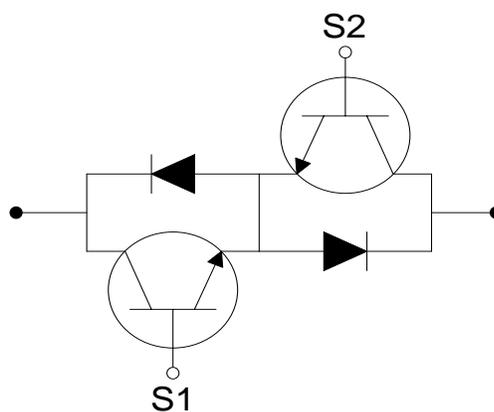
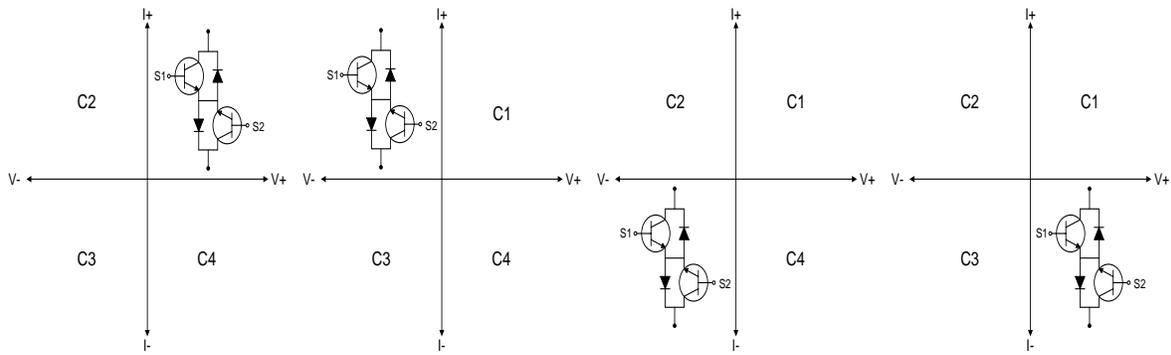


Figura A.1 Interruptor bidireccional conexión emisor común.



*Figura A.2 Operación del interruptor bidireccional.*

Un interruptor bidireccional opera en los cuatro cuadrantes tal como se ilustra en la Figura A.2.

**Primer cuadrante (C1):** el interruptor opera con una corriente y voltaje positivos. El interruptor que conmuta es S1.

**Segundo cuadrante (C2):** la operación del interruptor es con una corriente positiva y un voltaje negativo, la corriente circula por S1 y el voltaje es cero en S2.

**Tercer cuadrante (C3):** el interruptor conmuta con una corriente y voltaje negativos. El interruptor que realiza la conmutación es S2.

**Cuarto cuadrante (C4):** El voltaje es positivo y la corriente negativa, la corriente circula por S2 y el voltaje es cero en S1.

Entonces este interruptor bidireccional tiene la capacidad de conducir la corriente de forma bidireccional y bloquear altos voltajes inversos, conducir altas corrientes y conmutar en altas frecuencias.

## APÉNDICE B.

### B.1 TRANSFORMACION LINEAL.

La transformación  $\alpha, \beta$  es muy útil para el modelado de un sistema eléctrico trifásico el cual puede ser descrito por ecuaciones dinámicas proporcionando un modelo matemático por cada fase. Por lo tanto se puede crear un modelo a partir de un marco de referencia de tres a dos dimensiones, esto es: dado un vector formado por tres componentes sinusoidales (ec. B.1), representados en el plano vectorial (Figura B.1), se realiza una transformación a un sistema de dos componentes ortogonales (ec. B.2 y B.3) en un marco de referencia estacionario (transformación de Clarke).

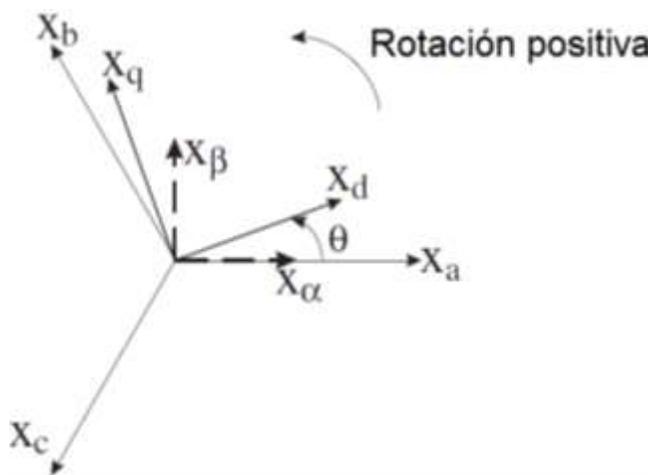


Figura B.1 Marco de referencia  $abc$  y  $d-q$ .

$$\vec{x}_{abc}(t) = \begin{bmatrix} X_a \\ X_b \\ X_c \end{bmatrix} \quad (\text{B.1})$$

$$\begin{bmatrix} x_\alpha \\ x_\beta \\ x_0 \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & \frac{-1}{3} & \frac{1}{3} \\ 0 & \frac{2}{\sqrt{3}} & -\frac{2}{\sqrt{3}} \\ \frac{2}{3} & \frac{2}{3} & \frac{2}{3} \end{bmatrix} \begin{bmatrix} Xa \\ Xb \\ Xc \end{bmatrix} \quad (\text{B.2})$$

$$\begin{bmatrix} x_\alpha \\ x_\beta \\ x_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & \frac{-1}{2} & \frac{1}{2} \\ 0 & \sqrt{3} & -\sqrt{3} \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} Xa \\ Xb \\ Xc \end{bmatrix} \quad (\text{B.3})$$

Donde la variable  $x$  representa la variable eléctrica ya sea de voltaje o corriente. Y  $x_0$  es conocida como la componente homopolar del sistema, la cual puede ser eliminada.

Cuando  $x_\alpha$  es superpuesta con  $Xa$  y  $Xa+Xb+Xc$  se iguala a cero, el sistema puede ser transformado a  $x_\alpha$  y  $x_\beta$ , el cual se representa por lo ecuación B.4 [55].

$$\begin{aligned} x_\alpha &= Xa \\ x_\beta &= \frac{1}{\sqrt{3}} Xa + \frac{2}{\sqrt{3}} Xb \\ Xa + Xb + Xc &= 0 \end{aligned} \quad (\text{B.4})$$

Esta transformación de dos variables es convertida a un marco de referencia  $d-q$  donde el vector rotacional gira a un ángulo  $\theta$ , esta transformación se conoce como *transformación de Park* (ec. B.5).

$$\begin{aligned} x_d &= x_\alpha \cos(\theta) + x_\beta \text{sen}(\theta) \\ x_q &= -x_\alpha \text{sen}(\theta) + x_\beta \cos(\theta) \end{aligned} \quad (\text{B.5})$$

Y su inversa es:

$$\begin{aligned}x_{\alpha} &= x_d \cos(\theta) - x_q \text{sen}(\theta) \\x_{\beta} &= x_d \text{sen}(\theta) + x_q \cos(\theta)\end{aligned}\tag{B.6}$$

Para pasar del marco de referencia  $\alpha, \beta$  a un sistema trifásico se tiene:

$$\begin{aligned}Xa &= x_{\alpha} \\Xb &= -\frac{1}{2}x_{\alpha} + \frac{\sqrt{3}}{2}x_{\beta} \\Xc &= -\frac{1}{2}x_{\alpha} - \frac{\sqrt{3}}{2}x_{\beta}\end{aligned}\tag{B.7}$$

La transformación desde el marco de referencia  $abc$  al marco de referencia equivalente  $d-q$  se realiza a partir de:

$$\begin{bmatrix}x_d \\x_q\end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta - \frac{4\pi}{3}) \\ -\text{sen}(\theta) & -\text{sen}(\theta - \frac{2\pi}{3}) & -\text{sen}(\theta - \frac{4\pi}{3}) \end{bmatrix} \begin{bmatrix}Xa \\Xb \\Xc\end{bmatrix}\tag{B.8}$$

Donde  $\theta$  es el ángulo de desplazamiento entre el eje  $\alpha$  y  $d$ . Las variables  $Xa, Xb$  y  $Xc$  están en el marco de referencia estacionario mientras que  $x_d$  y  $x_q$  están en el marco de referencia síncrono cuyo eje directo ( $d$ ) y el eje de cuadratura ( $q$ ) rota en el espacio síncrono  $\omega_e$  [55]. Por lo tanto las dos variables en el marco síncrono  $d-q$  pueden ser transformados directamente al marco de referencia estacionario  $abc$  (ec. B.9).

$$\begin{bmatrix}Xa \\Xb \\Xc\end{bmatrix} = \begin{bmatrix} \cos(\theta) & -\text{sen}(\theta) \\ \cos(\theta - \frac{2\pi}{3}) & -\text{sen}(\theta - \frac{2\pi}{3}) \\ \cos(\theta - \frac{4\pi}{3}) & -\text{sen}(\theta - \frac{4\pi}{3}) \end{bmatrix} \begin{bmatrix}x_d \\x_q\end{bmatrix}\tag{B.9}$$

## APÉNDICE C.

### C.1 USO DEL HPI.

Este apéndice describe el uso de la interfaz gráfica desde Matlab v7.6 usando la tarjeta HPI incorporada a la tarjeta DSK6713.

El primer paso consiste en crear un directorio en Matlab v7.6 donde exista una carpeta llamada “DSP” con los archivos del proyecto creados en Code Composer Studio (CCS) y otra carpeta llamada “HOST” el cual contiene el programa de la interfaz gráfica. Para abrir la interfaz gráfica se debe ubicar en la dirección del directorio de Matlab v7.6 la carpeta *HOST* y en la ventana principal de Matlab v7.6; capturar el comando “>> captureHPI”, el cual inmediatamente despliega la interfaz gráfica, tal como se muestra en la figura C.1 donde en el lado izquierdo aparece la interfaz gráfica realizada por el autor original y del lado derecho la interfaz programada para usos propios de este proyecto.

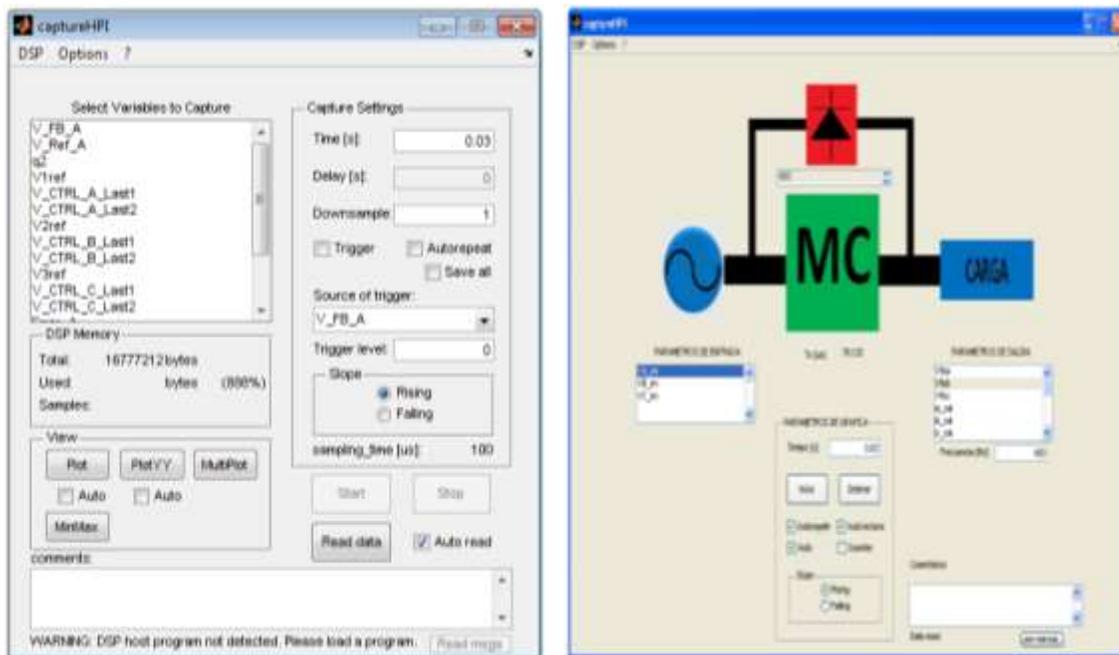


Figura C.1 Interfaces gráficas.

A continuación se describe la interfaz gráfica empleada para este proyecto (figura C.2).

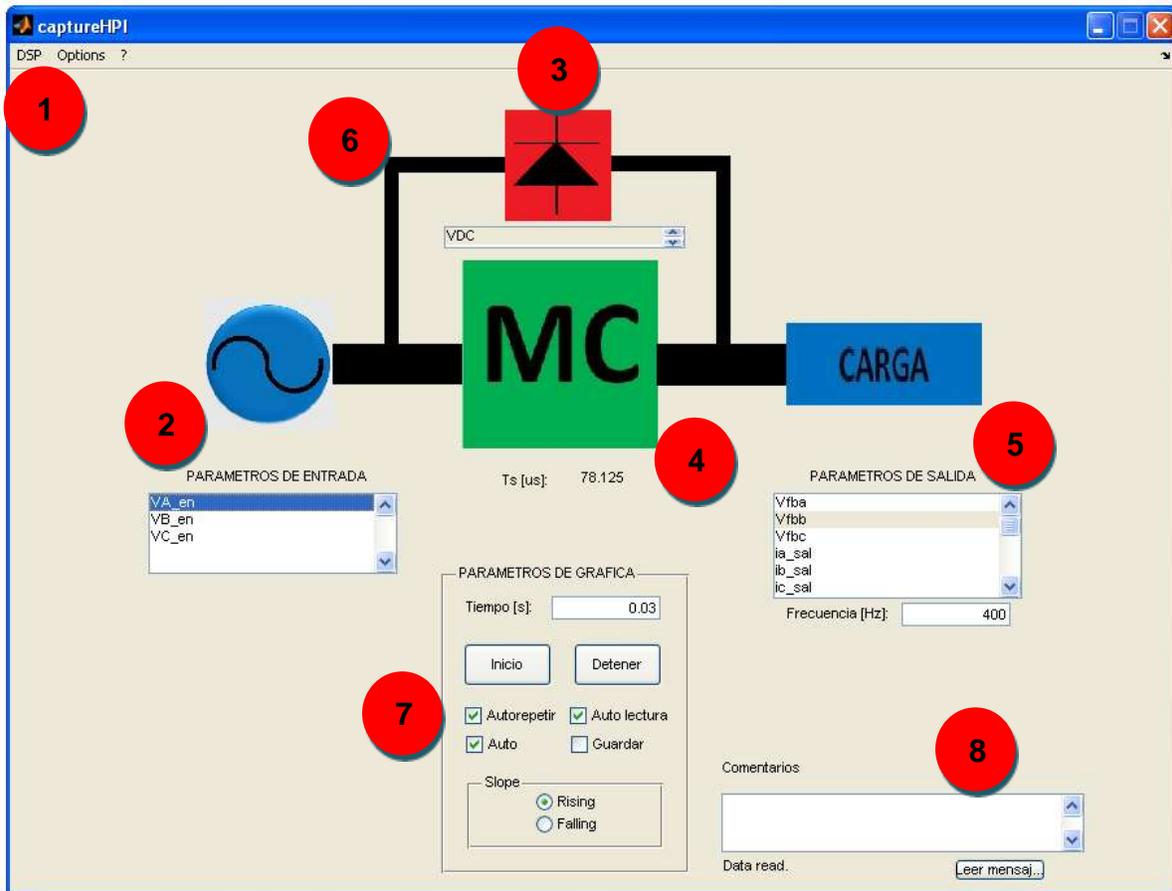


Figura C.2 Interfaz gráfica del CM\_3x3.

El punto 1 contiene una serie de opciones tales como la versión del HPI, el autor del programa, la descarga y el reinicio del programa. El punto 2, representa la alimentación principal del convertidor matricial y en la parte inferior de esta se localizan las variables de entradas eléctricas que pueden ser monitoreadas gráficamente. El punto 3, representa el circuito de enclavamiento y en la parte inferior su variable. El punto 4, simboliza al convertidor matricial 3x3 con la frecuencia de conmutación a la cual están operando los interruptores bidireccionales que lo integran. En el punto 5, representa la carga instalada en el convertidor; con sus respectivas variables que pueden ser desplegadas de forma grafica, tales como voltajes y corrientes de salida, potencias aparentes y activas,

factor de potencia y el porcentaje de carga conectada en cada fase. La línea negra simboliza el flujo de potencia (punto 6). En el punto 7, se tiene el valor de la variable del tiempo en el cual se grafican las variables seleccionadas, así como también el botón de inicio para desplegar alguna grafica de la/las variables seleccionadas, el botón de detener es para pausar la gráfica y realizar alguna observación en ella. Finalmente el punto 8 representa la ventana de algún tipo de mensajes.

Una vez desplegada esta ventana, el siguiente paso es dirigirse al menú del DSP (punto 1) para poder elegir la opción de “*cargar programa*”, observándose en workspace el siguiente mensaje:

```
>>Loading file:  
"C:\CCSTUDIO_V3.1\MYPROJECTS\MC3X3\DSP\DEBUG\MC3X3_OL.OUT"  
Program loaded.  
Start command sent.
```

En ese instante el programa implementado en CCS ya está operando y los pulsos PWM están siendo enviados desde la FPGA hacia el convertidor si es que el botón de habilitado de los PWM's es 1 de la FPGA (ver Figura 5.8).

Para poder ver cualquier variable ya sea de entrada o salida, se pueden seleccionar una o varias variables (teniendo en cuenta que no todas pueden ser seleccionadas a la vez para ser vistas, por ejemplo las variables de potencia aparente y porcentaje de carga deben ser seleccionadas de forma independiente para poder ser graficadas). Las variables seleccionadas se iluminan en azul (ver ejemplo en Figura C.2) y posteriormente se presiona el botón de “*Inicio*” para apreciar en forma gráfica sus parámetros. Si se desea congelar la gráfica para realizar alguna observación debido a que está se actualiza en tiempo real se debe presionar el botón “*Detener*”.

La Figura C.3 despliega los voltajes de entrada trifásica y el voltaje de enclavamiento.

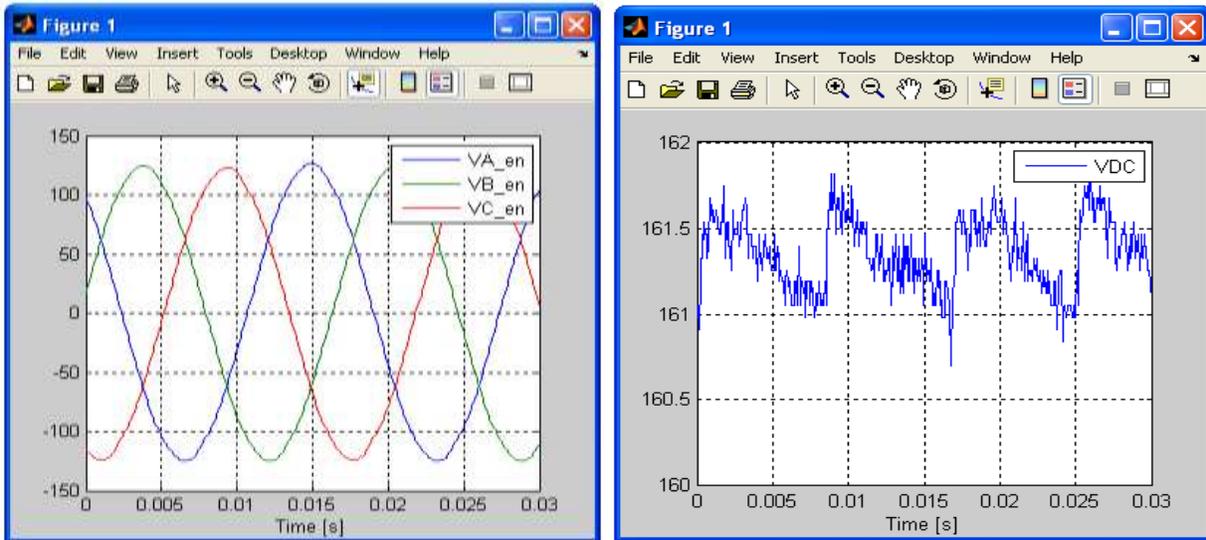


Figura C.3 Interfaz gráfica de los voltajes de entrada trifásica del CM\_3x3.

También se pueden apreciar los voltajes y corrientes de salida desde esta interfaz (Figura C.4).

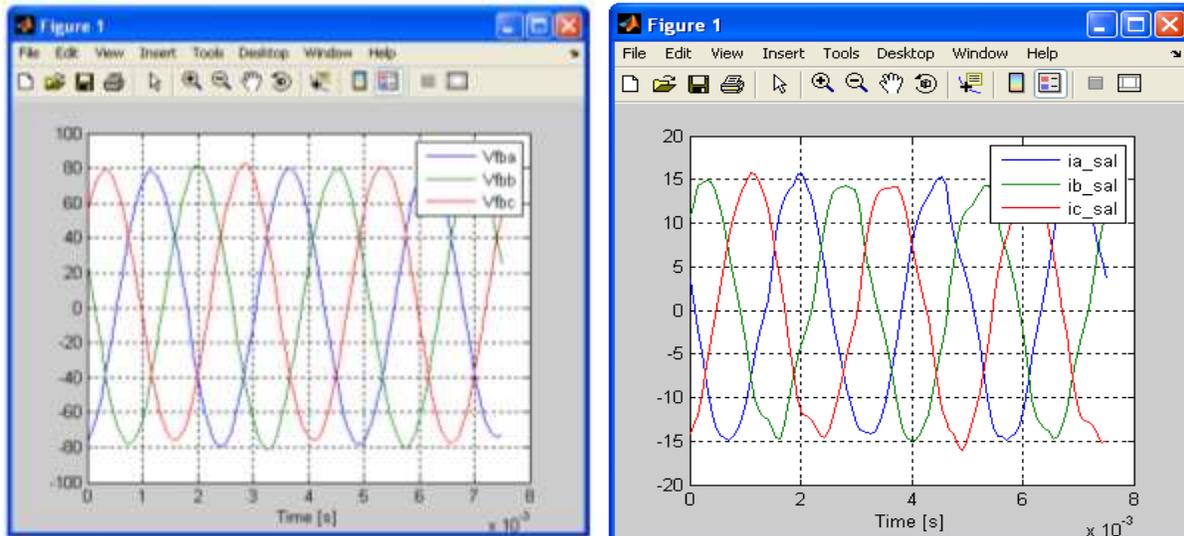


Figura C.4 Interfaz gráfica de los voltajes (izq.) y corrientes (der.) de salida trifásica del CM\_3x3.

Para poder apreciar de las variables de salida correspondientes a las potencias aparentes, estas deben ser seleccionadas de forma independiente y graficarse una a la vez, como se muestra en la figura C.5.

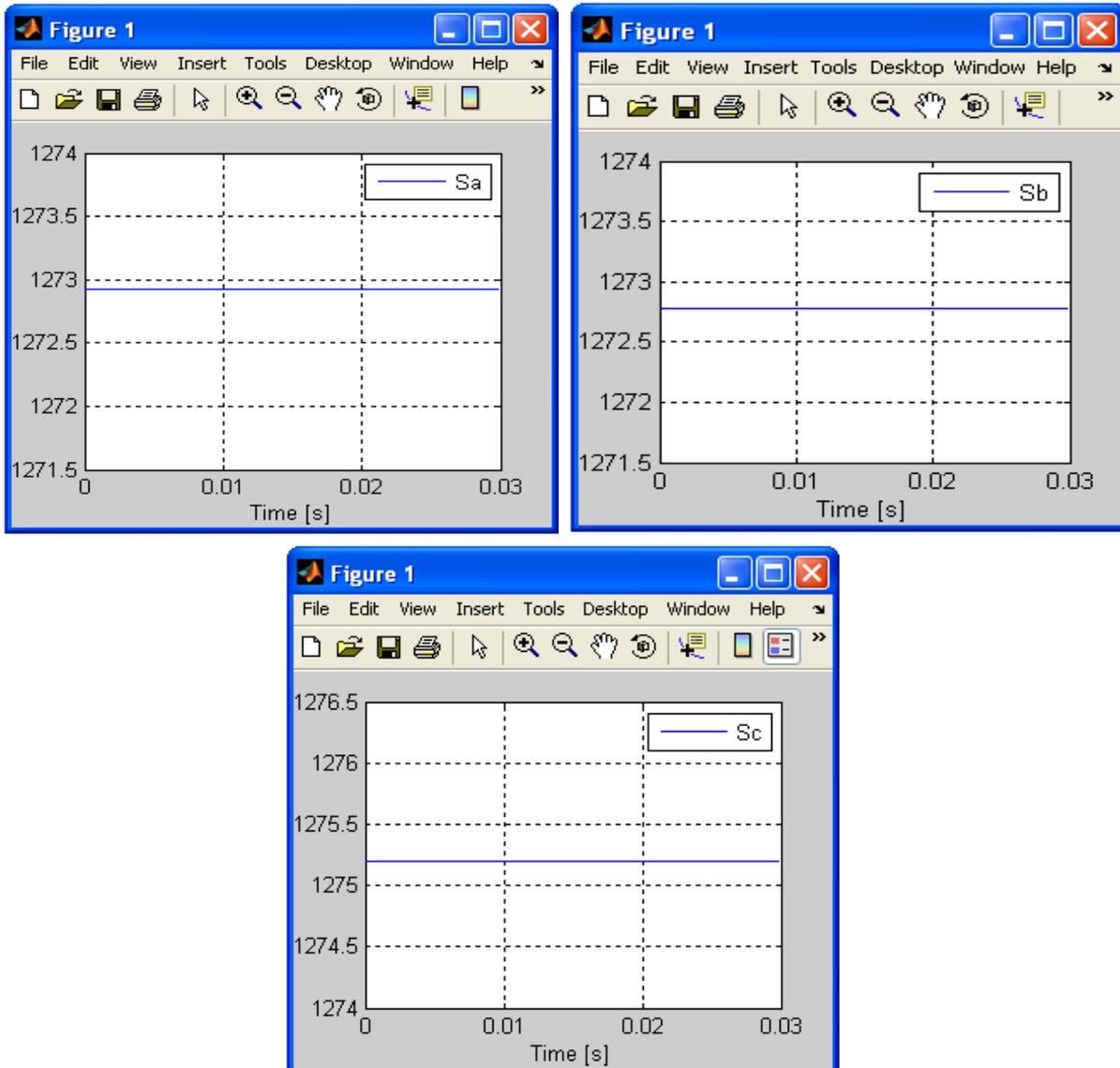


Figura C.5 Interfaz gráfica de las potencias aparentes por fase del CM\_3x3.

En la Figura C.6 representa las potencias activas, los factores de potencia de salida y los porcentajes de carga instalada por fase. Todas estas variables descritas proporcionan información en tiempo real del estado del convertidor en línea.

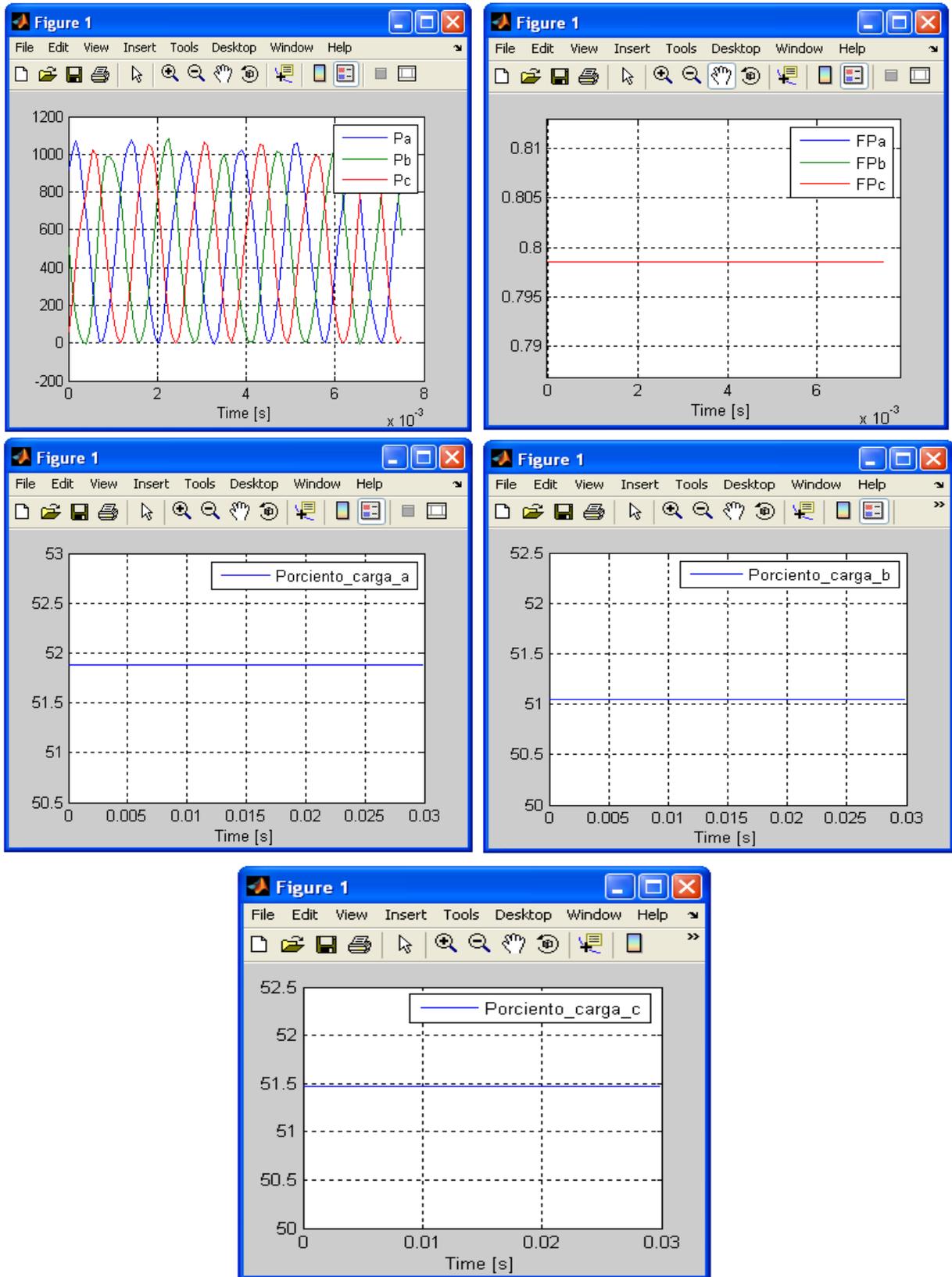


Figura C.6 Interfaz gráfica de las potencias activas, factor de potencia y porcentajes de carga instalada por fase del CM\_3x3.

## APÉNDICE D.

### D.1 REGISTROS FPGA.

En la tabla C.1 se describe la operación básica de los registros de la FPGA.

*Tabla C.1 Operación de los registros de la FPGA.*

Registro	Dirección de memoria	Característica principal
DPR0	0xA0000000	<ul style="list-style-type: none"> <li>• Periodo de conmutación.</li> <li>• Reseteo PWM.</li> <li>• Habilitar PWM.</li> <li>• Estado del botón de reinicio.</li> <li>• Estado del botón de habilitado PWM.</li> </ul>
DPR1	0xA0000004	<ul style="list-style-type: none"> <li>• Vector PWM.</li> <li>• Tiempo vector.</li> <li>• Activar circuito de dirección de las corrientes.</li> <li>• Estado de conversión A/D.</li> </ul>
DPR2	0xA0000008	<ul style="list-style-type: none"> <li>• Tiempos correspondientes al proceso de conmutación de 4 pasos, divididos en tres retardos.</li> </ul>
DPR3	0xA000000C	<ul style="list-style-type: none"> <li>• Lectura de conversión A/D, canales 0 y 1.</li> </ul>
DPR4	0xA0000010	<ul style="list-style-type: none"> <li>• Lectura de conversión A/D, canales 2 y 3.</li> </ul>

Tabla C.1 Operación de los registros de la FPGA (continuación).

Registro	Dirección de memoria	Característica principal
DPR5	0xA0000014	<ul style="list-style-type: none"> <li>• Lectura de conversión A/D, canales 4 y 5.</li> </ul>
DPR6	0xA0000018	<ul style="list-style-type: none"> <li>• Lectura de conversión A/D, canales 6 y 7.</li> </ul>
DPR7	0xA000001C	<ul style="list-style-type: none"> <li>• Lectura de conversión A/D, canales 8 y 9.</li> </ul>
DPR8	0xA0000020	<ul style="list-style-type: none"> <li>• Lectura por disparo de hardware (por Vcd y protección de canales A/D).</li> <li>• Lectura y escritura de disparos por software.</li> </ul>
DPR9	0xA0000024	<ul style="list-style-type: none"> <li>• Periodo de “Perro-guardian”.</li> <li>• Habilitar “Perro-guardian”.</li> </ul>
DPR10	0xA0000028	<ul style="list-style-type: none"> <li>• Registro para valores de temperatura.</li> </ul>
DPR11	0xA000002C	<ul style="list-style-type: none"> <li>• Contadores basados en la frecuencia de reloj de la FPGA.</li> </ul>
DPR12	0xA0000030	<ul style="list-style-type: none"> <li>• Habilitar disparos por hardware.</li> </ul>
DPR13	0xA0000034	<ul style="list-style-type: none"> <li>• Lectura para encoder.</li> </ul>

La siguiente lista describe los registros de la FPGA de acuerdo a la información del programador del dispositivo.

REFERENCIAS.

**DPR0 0xA0000000;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	PPD															
Write	PPD															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	PRS	PEN	ADM	CIP	ADM	ZFR	Ds(1)	Ds(0)	PWR	0	SMN	RTR	MEN	SMC	SMB	SMA
Write	PRS	PEN	ADM	CIP	ADM	ZFR	1	1	PWR	AST	SMN			SMC	SMB	SMA

Set Ds(1) and Ds(0) to 1 , 1 to get it connected to phase N.  
To connected to phase A as for falts, set it to 00.

PPD	PWM_PERIOD	0xFFFF – (desired time - 1 clock cycle)
PRS	PWM_RESET	Active High
PEN	PWM_ENABLE	Active High
PFL	PWM_FIFO_LEVEL	
PWR	Power on reset	Active low - temporary
CIP	Current Direction Input Polarity	0 = Active Low, 1 = Active High
ZFR	Encoder zero pulse polarity	0 = reset on rising edge, 1 – reset on falling edge
ADM	A2D multiplex driven.	0 = software driven 1=pwm interupt
AST	A2D Converter Start	Active High
SMA	State Machine A enable	Active High
SMB	State Machine B enable	Active High
SMC	State Machine C enable	Active High
SMN	State Machine N enable	Active High
RTR	reset trip button state	Active low
MEN	Enable button state	

**DPR1 0xA0000100;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	LOT	DOS	CIND	SCLr	TEM	C			N	N	C	C	B	B	A	A
Write	PVE								1	1						

REFERENCIAS.

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	UI7	UI6	UI5	UI4	UI3	UI2	UI1	UI0	ABY	CINC	CINB	CINA	PFU	PEM	PAE	PAF
Write	PVT															

LOT Loss of Tracking (from Resolver)-  
 DOS Degradation of Signal (from Resolver)

PVE	PWM_VECTOR	
PVT	PWM_VECTOR_TIME	
PAF	PWM_FIFO_Almost Full	No. of words in FIFO > 250,
Active High		
PAE	PWM_FIFO Almost Empty	No. of words in FIFO < 2, Active
High		
PEM	PWM_FIFO_EMPTY	Active High
PFU	PWM_FIFO_FULL	Active High
CINA	Current Direction Input, PhaseA	Active High
CINB	Current Direction Input, PhaseB	Active High
CINC	Current Direction Input, PhaseC	Active High
CIND	Current Direction Input, PhaseN	Active High
ABY	A2D converters Busy	1 = Busy
UI1-7	User input 1 to 7	
TEM C	temperature input C, 12 bit	
SCLr	I2C Serial clock line (bit used to read bus)	
SDAr	I2C Serial Data / Address line (bit used to read bus)	

**DPR2 0xA000200;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	SDAw	SCLw	T3										T2			
Write	SDAw	SCLw														

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read							T1									
Write																

REFERENCIAS.

---

10bit current commutations T1 T2 T3

SCLw I2C Serial clock line (bit used to drive bus)  
SDAw I2C Serial Data / Address line (bit used to drive bus)

**DPR3 0xA000300;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD1															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD0															
Write																

**DPR4 0xA000400;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD3															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD2															
Write																

AD2 A2D Data, Channel 2  
AD3 A2D Data, Channel 3

**DPR5 0xA0000500;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD5															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD4															
Write																

AD4            A2D Data, Channel 4  
 AD5            A2D Data, Channel 5

**DPR6 0xA0000600;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD7															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD6															
Write																

AD6            A2D Data, Channel 6  
 AD7            A2D Data, Channel 7

REFERENCIAS.

**DPR7 0xA000700;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	AD9															
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	AD8															
Write																

AD8            A2D Data, Channel 8

AD9            A2D Data, Channel 9

**DPR8 0xA000800;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	HT23	HT22	HT21	HT20	HT19	HT18	HT17	HT16	HT15	HT14	HT13	HT12	HT11	HT10	HT9	HT8
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	HT7	HT6	HT5	HT4	HT3	HT2	HT1	HT0	ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0
Write									ST7	ST6	ST5	ST4	ST3	ST2	ST1	ST0

ST0 – ST15            Software Trip                            Active High

ST6 Mcbs port 1 not ready

HT0 – HT15            Hardware Trip                            Active High

HT0                      FIFO empty trip

HT1                      Watchdog Trip

HT2                      Channel 0 trip

HT3                      Channel 1 trip

REFERENCIAS.

HT4	Channel 2 trip
HT5	Channel 3 trip
HT6	Channel 4 trip
HT7	Channel 5 trip
HT8	Channel 6 trip
HT9	Channel 7 trip
HT10	Channel 8 trip
HT11	Channel 9a trip
HT12	Channel 9b trip
HT13	Clamp over stress
HT14	External trip 2
HT15	PWM FIFO Full
HT22	External trip
HT23	Clamp Over Voltage
HT16	Loss of Signal (from Resolver)
HT17	Degradation of Signal (from Resolver)
HT18	Loss of Tracking (from Resolver)

**DPR9 0xA0000900;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read															WEN	0
Write															WEN	WSR

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	W_PERIOD															
Write	W_PERIOD															

W_PERIOD	Watchdog Period Register	Period = 0xFFFF –
W_PERIOD		
WSR	Watchdog Service	Active High
WEN	Watchdog Enable	Active High
	User Input 1	Active High

**DPR10 0xA000A00;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read									TEM	B						
Write																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read					TEM	A										
Write																

TEM A                      Temperature channel A  
 TEM B                      Temperature channel B

**DPR11 0xA000B00;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	DTD								UTD							
Write	DTD								UTD							

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	CTT															
Write	CTT															

CTT    Clamp trip time                      sets counter trip level based on counter  
 divisors below

UTD    Up time divider                      Sets Up counter period = FPGAclock  
 period / UTD+1

DTD    Down timeme divider                      Sets down counter period = FPGAclock  
 period / DTD+1

**DPR12 0xA000C00;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	TE2 3	TE2 2	TE2 1	TE2 0	TE1 9	TE1 8	TE1 7	TE1 6	TE1 5	TE1 4	TE1 3	TE1 2	TE1 1	TE1 0	TE9	TE8
Write	TE2 3	TE2 2	TE2 1	TE2 0	TE1 9	TE1 8	TE1 7	TE1 6	TE1 5	TE1 4	TE1 3	TE1 2	TE1 1	TE1 0	TE9	TE8

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	TE7	TE6	TE5	TE4	TE3	TE2	TE1	TE0								
Write	TE7	TE6	TE5	TE4	TE3	TE2	TE1	TE0								

TE = trip enable, number = hardware trip channel, 0 = enable, 1 = disabled

**DPR13 0xA000D00;**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Read	POS	RAW														
Write	Data _0															

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	POS	LAT														
Write																

POS RAW raw encoder position

Instantaneous value from the

quadrature encoder interface

POS LAT Latched encoder position Value from encoder interfaced, but latched on PWM interrupt

Data\_0 32 bit for pwm\_out[0]

## APÉNDICE E.

### E.1 ANALISIS DE FFT EN MATLAB.

Este apéndice describe el código implementado para el análisis del contenido armónico y el %THD hasta el orden de armónico 25 de acuerdo a la norma ieee 519 de las señales extraídas desde simulink. Estas señales se exportan a un archivo en workspace, y posteriormente se guardan en otro archivo con extensión .mat, para poder extraer la información hacia el programa implementado.

#### % ANALISIS ARMONICO.

```

fs=10e6;           %Tiempo de muestreo.
load la.mat;       %"Nombre del archivo".mat
sig=la;
%Número de muestras
ultimo= 4e5;
inicio= 1e5;
se_selec=sig(inicio:ultimo); %Vector que contiene la señal seleccionada
N=(ultimo-inicio)-1;      %Número de muestras para analizar.
x=se_selec;

```

#### %Inicio de FFT

```

X=fft(x,N);
Y(1)=X(1)/N;

```

#### %Define la magnitud

```

for k=1:1:(N/2-1)
    a(k)=2*real(X(k+1))/N;
    b(k)=2*imag(X(k+1))/N;
    Y(k+1)=sqrt(a(k)^2 + b(k)^2);
    if abs(a(k))>0.001 & abs(b(k))>0.001
        ph(k+1)=(180/pi)*atan2(b(k),a(k))-k*360/N;
    else
        ph(k+1)=0;
    end
end
end

```

```

Y(1)=0;

```

```

Y(4)=Y(4);
%Despliega la gráfica.
f=0:fs/N:(N/2-1)*fs/N;
bar(f(floor(1:N/2)),Y(floor(1:N/2)));
grid
xlabel('Frecuencia (Hz)');
ylabel('Magnitud (A)');

```

%Inicia análisis del %THD

```

Hfundamental = min(find(Y==max(Y))); %Encuentra la frecuencia fundamental.
hfundamental = f(Hfundamental);      %El orden armónico de la fundamental.
mag= Y(Hfundamental)                 %Magnitud de la fundamental.
Y(Hfundamental)=0;
y=Y;
FREC=f;
HS=[FREC',y'];                       %Arreglo de armónicos con su respectiva frecuencia.
armonicos = [(2*hfundamental) (3*hfundamental) (4*hfundamental)
(5*hfundamental) (6*hfundamental) ... ..];

```

%Encuentra la posición del orden armónico del paso anterior.

```

posicion=zeros(1,length(armonicos));
for i=1:length(armonicos)
    H=armonicos(i);
    posicion(i)=find(HS==H);
end

```

%Encuentra la magnitud de la posición de los contenidos armónicos anteriores

```

POTENCIAS_H=zeros(1,length(posicion));
for i=1:length(posicion)
    POTENCIAS_H(i)=HS(posicion(i),2);
end

```

%Define las potencias y el porcentaje de THD.

```

Potencias = POTENCIAS_H.^2
potencias =sum(Potencias);
num=sqrt(potencias);
den=mag;
THD = (num/den)*100
%Fin del programa.

```

## APÉNDICE F.

### F.1 PROGRAMA IMPLEMENTADO.

Este apéndice contiene el código implementado en la plataforma del DSP incluyendo el control de seguimiento y repetitivo.

```
/*CONVERTIDOR MATRICIAL 3X3 CON SVM, CONTROL DE SEGUIMIENTO Y
CONTROL REPETITIVO*/
```

```
#include <stdio.h>
#include <c6x.h>
#include <math.h>
#include <fastmath67x.h>
#include "c6x11dsk.h"
#include "controller.h"
#include "FPGA.h"
#include "constants.h"
#include "display.h"

unsigned int VCT[22] =
{
    0x004000, // VCT[0],           vector cero VCT[1]
    0x280000, // VCT[1],           +1  122
    0x020000, // VCT[2],           - 1  211
    0x160000, // VCT[3],           +2  233
    0x290000, // VCT[4],           - 2  322
    0x010000, // VCT[5],           +3  311
    0x140000, // VCT[6],           - 3  133
    0x220000, // VCT[7],           +4  212
    0x080000, // VCT[8],           - 4  121
    0x190000, // VCT[9],           +5  323
    0x260000, // VCT[10],          - 5  232
    0x040000, // VCT[11],          +6  131
    0x110000, // VCT[12],          - 6  313
    0x0A0000, // VCT[13],          +7  221
    0x200000, // VCT[14],          - 7  112
    0x250000, // VCT[15],          +8  332
    0x1A0000, // VCT[16],          - 8  223
    0x100000, // VCT[17],          +9  113
    0x050000, // VCT[18],          - 9  331
    0x000000, // VCT[19],          01  111
    0x2A0000, // VCT[20],          02  222
    0x150000, // VCT[21],          03  333
};
```



```
/**Variables usadas en control de seguimiento**/  
float Ua;  
float Ub;  
float Uc;  
float Y_refa;  
float Y_refb;  
float Y_refc;  
  
/**Variables usadas en control repetitivo**/  
float Vrefa_delay,e1a,M1a,M1a_2_delay,e2a_Sz,Vrefa_gen;  
float Vrefb_delay,e1b,M1b,M1b_2_delay,e2b_Sz,Vrefb_gen;  
float Vrefc_delay,e1c,M1c,M1c_2_delay,e2c_Sz,Vrefc_gen;  
short j;  
  
/**Variables usadas en pwm_isr(**/  
float Volt_d_ref=80.0;  
float Volt_q_ref=0.0;  
float Freq_sal=400.0;  
float Freq_en=60.0;  
unsigned int dpr0, dpr1, dpr2, dpr3, dpr4, dpr5, dpr6, dpr7, dpr8, dpr9,dpr12;  
int adc0,adc1, adc2, adc3, adc4, adc5, adc6, adc7, adc8, adc9;  
float Delta_Theta_En, Theta_En = 0.0;  
float VAB_en, VBC_en,VDC;  
float VA_en, VB_en, VC_en;  
float Delta_Theta_sal, Theta_sal = 0.0;  
float cos_Theta_sal, sin_Theta_sal;  
float ia_sal,ib_sal, ic_sal;  
float Volt_alpha_ref, Volt_beta_ref;  
float V_ref_a,Vref_a, Vrefa_pro;  
float V_ref_b,Vref_b, Vrefb_pro;  
float V_ref_c,Vref_c, Vrefc_pro;  
float Vfba, Vfbb, Vfbc;  
float a_curr, b_curr, atansp_en, icvang, beta, ang_volt;  
int Ki;  
float a_volt, b_volt, alfa, ang_curr;  
int Kv;  
float Vi, Vo, q;  
float cos_alfa_menos_PI_3, cos_alfa_mas_PI_3, cos_beta_menos_PI_3,  
cos_beta_mas_PI_3;  
float eq_I, eq_II, eq_III, eq_IV;  
unsigned int D0, D0_3, TWOD0_3, DI, DII, DIII, DIV;  
float D_0, D_0_3, TWOD_0_3, D_I, D_II, D_III, D_IV;  
unsigned int int_delay;  
float IsqrSum;  
unsigned int overcurrent_delay;  
float DriveOnf;
```

## REFERENCIAS.

---

```
//Variables para calcular las potencias y FP de salida por fase
float Ra=4.0;
float L=0.0012;
float XL=0.0, za=0.0, Za=0.0, FPa=0.0;
float Sa=0.0, Pa=0.0, Porciento_carga_a=0.0;

float Rb=4.0;
float zb=0.0, Zb=0.0, FPb=0.0;
float Sb=0.0, Pb=0.0, Porciento_carga_b=0.0;

float Rc=4.0;
float zc=0.0, Zc=0.0, FPc=0.0;
float Sc=0.0, Pc=0.0, Porciento_carga_c=0.0;

extern unsigned int message[100];

////////////////////////////////////
/*                               Funciones                               */
////////////////////////////////////

void timer0_init();
void timer1_init();
void inic_FPGA();
void inic_controlador();
void pwm_isr();
void process_message();
void CR_fase_a();
void CR_fase_b();
void CR_fase_c();
void reset_controlador();

#include "host.h"
#include "trace.h"
/*****main*****/

void main()
{

    host_init(78.125e-6);    //Periodo de muestreo para el HPI

    //Inicializa BSL
    timer0_init();
    timer1_init();
    *(unsigned volatile int *)PLL_CSR = 0x8;//para inicializar el PLL....reset PLL
    *(unsigned int*)TIMER1_COUNT = 0;    //fija Timer1_Count a cero
    *(unsigned int*)TIMER1_CTRL |= 0x00C0;    //inicia timer
    while ((* (unsigned int *)TIMER1_COUNT)<3000);    //Espera
```

## REFERENCIAS.

---

```
*(unsigned volatile int *)PLL_M = 0x4;           //PLL X4
*(unsigned volatile int *)PLL_DIV0 = 0x00008000; //habilita DIV0
*(unsigned volatile int *)PLL_CSR = 0x0;         //reset PLL
*(unsigned int*)TIMER1_COUNT = 0;               //inicia timer1_Count to cero
*(unsigned int*)TIMER1_CTRL |= 0x00C0;         //inicia timer
while ((* (unsigned int *)TIMER1_COUNT)<3000); //espera
*(unsigned volatile int *)PLL_CSR |= 0x1;      //reinicia PLL
*(unsigned volatile int *)TIMER0_CTRL &= 0xFF3F; //mantine el timer

CSR = 0x100; //deshabilita todas interrupciones
IER = 2;     //deshabilita interrupciones excepto NMI

*(unsigned volatile int *)EMIF_GCR = 0x3320; //control global EMIF
*(unsigned volatile int *)EMIF_CE0 = 0x30; //tipo de memoria que le corresponde al
CE0... 32-bit-wide SDRAM EMIF CE0
*(unsigned volatile int *)EMIF_CE1 = 0xFFFFF03; //control, tipo de memoria
para 2l CE1= 8-bit wide asynchronous interface EMIF CE1.
*(unsigned volatile int *)EMIF_CE2 = 0x30D3C321; //tipo de memoria para el
CE2 = 32-bit-wide asynchronous interface, espacio de memoria para FPGA.
*(unsigned volatile int *)EMIF_SDCTRL = 0x57116000; //control ZZ EMIF SDRAM
*(unsigned volatile int *)EMIF_SDRP = 0x61A; //EMIF SDRM

inic_FPGA();
inic_display();

*(unsigned volatile int *)EXTPOL &= 0xFFFFFFF0; //EXT INT4 dispara en flanco
de subida.

ICR = 0xFFFF; //Borra las banderas de todas las interrupciones.
IER |= 0x0010; //habilita interrupción externa 4 EXT_INT4 (pwm_isr)
CSR |= 0x1; //GIE = 1.

inic_controller();

*(unsigned int *)DPR1 = 0x150000; // Reinicia PWM con Vector cero (333)de PWM
*(unsigned int *)DPR1 = 0x150000; // Vector cero (333)de PWM
*(unsigned int *)DPR0 |= 0x00004000; //habilita PWM
*(unsigned int *)TIMER1_COUNT = 0; //Timer1 a cero
*(unsigned int *)TIMER1_CTRL |= 0x0C0; //reinicia e inicia timer1

/*Espera 5 periodos PWM para preparar al convertidor para operación*/
while ((* (unsigned int *)TIMER1_COUNT)<15000);
*(unsigned int *)TIMER1_CTRL &= 0xFF7F; //Hold Timer1,
*(unsigned int *)DPR9 |= 0x00020000; //ehabilita watchdog
*(unsigned int*)TIMER1_CTRL &= 0xFF7F;
*(unsigned int*)TIMER1_COUNT = 0;
*(unsigned int*)TIMER1_CTRL |= 0x0C0;
```

/\*En el ciclo While se leen mensajes activadas p.e protecciones. Las funciones usadas dentro de este ciclo tienen un timer para dar retardo de unos ms debido a que el DSP ocupa el bus de direcciones y de datos para checar el valor del mensaje y de esta forma el HPI no usa este bus a la vez para adquirir y/o enviar datos en este bus\*/

```

    while(1)
    {
        process_message();
        if (message_sent)
            {
                HPImsg(7);
                decode_host_msg();
                message_sent = 0;
            }
    }

} // fin de programa principal

/***** process message *****/

void process_message(void)
{
    unsigned int y;

    if(*(unsigned volatile int *)TIMER1_COUNT > 50000)
    {
        counts++;
        *(unsigned int*)TIMER1_CTRL &= 0xFF7F; // hold timer
        *(unsigned int*)TIMER1_COUNT = 0;
        *(unsigned int*)TIMER1_CTRL |= 0x0c0;
    }

    if(counts>562)
    {
        counts = 0;
        written_mes = 0;
        dpr8 = *(unsigned int *)DPR8;
        if (dpr8)
        {
            do{
                if(dpr8 & 1<<trip_on)
                {
                    y = message[trip_on];
                    *(unsigned int *)DPR20 = y;
                    written_mes=1;
                }
            } while(dpr8 & 1<<trip_on);
        }
    }
}

```

```

    }
    trip_on++;
    if(trip_on==33) trip_on=0;
    }
    while(!written_mes);

}
else
{
    trip_on=0;
    *(unsigned int *)DPR20 = next_message;
}
}

}

void timer0_init(void) //generamos el reloj de salida para el procesador y
perifericos. Timer's resolution = 1.777777777777778e-008 s
{
*(unsigned volatile int *)TIMER0_CTRL &= 0xFF3F; //timer del CPU
*(unsigned volatile int *)TIMER0_CTRL |= 0x200; //reloj
interno/4...225MHz/4= 56.25MHz
*(unsigned volatile int *)TIMER0_CTRL &= 0xFEFF; //modo pulso
*(unsigned volatile int *)TIMER0_PRD = 0xFFFFFFFF; //controla la señal de
frecuencia...PERIODO=PRD/56.25MHz= 76.3549741333333428777
}

void timer1_init(void) //Timer's resolution = 1.777777777777778e-008 s
{
*(unsigned volatile int *)TIMER1_CTRL &= 0xFF3F; //timer del CPU
*(unsigned volatile int *)TIMER1_CTRL |= 0x200; //reloj
interno/4...225MHz/4= 56.25MHz
*(unsigned volatile int *)TIMER1_CTRL &= 0xFEFF; //modo pulso
*(unsigned volatile int *)TIMER1_PRD = 0xFFFFFFFF; //controla la señal de
frecuencia...PERIODO=PRD/56.25MHz= 76.35497413
}

/*****CONFIGURACION DE FPGA*****/

void inic_FPGA(void)
{
*(unsigned int *)DPR0 &= 0xFFFFF7F; //bit 7 a 0 bit 7 PWR (Power_on_reset)
*(unsigned int *)DPR0 |= 0x0000080; //bit 7 a 1
//PWM= FFFF-((50MHz/PWMperiodo_deseado)-1)...FFFF-((50M/12.8K) -
1)=FFFF-(3906-1)= FFFF-(3905)=FFFF-F41= F0BE
*(unsigned int *)DPR0 |= 0xF0BE000;

```

```

*(unsigned int *)DPR0 |= 0x00008000; //bit 15 a 1 PRS
*(unsigned int *)DPR0 &= 0xFFFF7FFF; //bit 15 a 0
*(unsigned int *)DPR12 |= 0xFFEFFFFFFF; //habilita proteccion de sobrecorriente y
voltaje de VDC
*(unsigned int *)DPR0 |= 0x00000800; //bit 11 a 1 bit 11 ADM a2d multiplex 1

//WATCHDOGperiodo= 0xFFFF - (50M/WDOGperiodo - 1) pero WDOGperiodo=
1.5*(1/12.8KHz)= 1171 us....WATCHDOGperiodo=FFFF-((50M/8533)-1)=FFFF-
5858=FFFF-16E2=E91D
//Nota:el Watchdog detecta comunicación entre FPGA y DSP. Si durante el
Twatchdog falla la comunicación se apaga el CM3x3. por eso es 1.5*PWMperiod */
*(unsigned int *)DPR9 = 0xFB4F;

*(unsigned int *)DPR0 |= 0x00001000; //bit 12 a 1, sentido de la corriente (CIP)
*(unsigned int *)DPR2 = 0x0230C80F; //Tiempos para la conmutación de 4-pasos
(t1=t2=t3=1us).
}

void inic_controlador(void)
{
NormalMode = 1;
GenFault = 0;
DriveOn = 0;
Tseq_2 = (float)((0.5)*(78.125e-6));
Tseq_Pulses = (float)(2*Tseq_2*FPGA_CLOCK + 0.5); //Pulsos de la FPGA en un
periodo de modulaciòn.
Tseq_Pulses_2 = (float)(0.5*Tseq_Pulses)+0.5;
TWOTseq_Pulses_2 = (float)(2*Tseq_Pulses_2);

    if(!(dpr0&0x00000008)) AccidentalEnable=1;// bit 3 = 1, MEN= 1
        else AccidentalEnable=0;
IgainA=IGAINA;
IgainB=IGAINB;
IgainC=IGAINC;
VgainAB=VGAINAB;
VgainBC=VGAINBC;
offset0=OFFSET0;
offset1=OFFSET1;
offset2=OFFSET2;
offset3=OFFSET3;
offset4=OFFSET4;
offset8=OFFSET8;
offset9=OFFSET9;
IsqrSumMax = (float)1.5*IMAX_SLOW*IMAX_SLOW; //fija disparo por
corriente de linea>IMAX_SLOW
overcurrent_delay = 1;
wrongSig_delay = 1;

```

```
//Para calcular FP de salida e impedancia por fase
```

```
XL=TWOPI*Freq_sal*L;
```

```
za=(Ra*Ra)+(XL*XL);
```

```
Za=sqrtsp(za);
```

```
FPa=Ra/Za;
```

```
zb=(Rb*Rb)+(XL*XL);
```

```
Zb=sqrtsp(zb);
```

```
FPb=Rb/Zb;
```

```
zc=(Rc*Rc)+(XL*XL);
```

```
Zc=sqrtsp(zc);
```

```
FPc=Rc/Zc;
```

```
} //fin de inicio del control
```

```
void reset_controlador(void)
```

```
{
```

```
/**inicializacion de buffers para UxD2 y de YrefxD2 para el controlador de seguimiento donde D2= significa buffer de dos delays. En el cual p.e
```

```
UxD2[0]=muestra actual UxD2[1]=muestra anterior**//
```

```
UaD2[0]=0.0;
```

```
UaD2[1]=0.0;
```

```
YrefaD2[0]=0.0;
```

```
YrefaD2[1]=0.0;
```

```
UbD2[0]=0.0;
```

```
UbD2[1]=0.0;
```

```
YrefbD2[0]=0.0;
```

```
YrefbD2[1]=0.0;
```

```
UcD2[0]=0.0;
```

```
UcD2[1]=0.0;
```

```
YrefcD2[0]=0.0;
```

```
YrefcD2[1]=0.0;
```

```
//buffer donde se almacenan las 32 muestras cada vez que se calcula el paso 2.
```

```
MlaD32[0]=0.0; MlaD32[1]=0.0; MlaD32[2]=0.0; MlaD32[3]=0.0; MlaD32[4]=0.0;
```

```
MlaD32[5]=0.0; MlaD32[6]=0.0; MlaD32[7]=0.0;
```

```
MlaD32[8]=0.0; MlaD32[9]=0.0; MlaD32[10]=0.0; MlaD32[11]=0.0;
```

```
MlaD32[12]=0.0; MlaD32[13]=0.0; MlaD32[14]=0.0; MlaD32[15]=0.0;
```

```
MlaD32[16]=0.0; MlaD32[17]=0.0; MlaD32[18]=0.0; MlaD32[19]=0.0;
```

```
MlaD32[20]=0.0; MlaD32[21]=0.0; MlaD32[22]=0.0; MlaD32[23]=0.0;
```

```
MlaD32[24]=0.0; MlaD32[25]=0.0; MlaD32[26]=0.0; MlaD32[27]=0.0;
```

```
MlaD32[28]=0.0; MlaD32[29]=0.0; MlaD32[30]=0.0; MlaD32[31]=0.0;
```

```
MlbD32[0]=0.0; MlbD32[1]=0.0; MlbD32[2]=0.0; MlbD32[3]=0.0; MlbD32[4]=0.0;
```

```
MlbD32[5]=0.0; MlbD32[6]=0.0; MlbD32[7]=0.0;
```

```
MlbD32[8]=0.0; MlbD32[9]=0.0; MlbD32[10]=0.0; MlbD32[11]=0.0;
```

```
MlbD32[12]=0.0; MlbD32[13]=0.0; MlbD32[14]=0.0; MlbD32[15]=0.0;
```

MlbD32[16]=0.0; MlbD32[17]=0.0; MlbD32[18]=0.0; MlbD32[19]=0.0;  
 MlbD32[20]=0.0; MlbD32[21]=0.0; MlbD32[22]=0.0; MlbD32[23]=0.0;  
 MlbD32[24]=0.0; MlbD32[25]=0.0; MlbD32[26]=0.0; MlbD32[27]=0.0;  
 MlbD32[28]=0.0; MlbD32[29]=0.0; MlbD32[30]=0.0; MlbD32[31]=0.0;

MlcD32[0]=0.0; MlcD32[1]=0.0; MlcD32[2]=0.0; MlcD32[3]=0.0; MlcD32[4]=0.0;  
 MlcD32[5]=0.0; MlcD32[6]=0.0; MlcD32[7]=0.0;  
 MlcD32[8]=0.0; MlcD32[9]=0.0; MlcD32[10]=0.0; MlcD32[11]=0.0;  
 MlcD32[12]=0.0; MlcD32[13]=0.0; MlcD32[14]=0.0; MlcD32[15]=0.0;  
 MlcD32[16]=0.0; MlcD32[17]=0.0; MlcD32[18]=0.0; MlcD32[19]=0.0;  
 MlcD32[20]=0.0; MlcD32[21]=0.0; MlcD32[22]=0.0; MlcD32[23]=0.0;  
 MlcD32[24]=0.0; MlcD32[25]=0.0; MlcD32[26]=0.0; MlcD32[27]=0.0;  
 MlcD32[28]=0.0; MlcD32[29]=0.0; MlcD32[30]=0.0; MlcD32[31]=0.0;

//buffer para almacenar el cálculo de paso 3

MlaD2[0]=0.0;  
 MlaD2[1]=0.0;  
 MlbD2[0]=0.0;  
 MlbD2[1]=0.0;  
 MlcD2[0]=0.0;  
 MlcD2[1]=0.0;

//buffer del compensador

e2a\_SzD2[0]=0.0;  
 e2a\_SzD2[1]=0.0;  
 e2b\_SzD2[0]=0.0;  
 e2b\_SzD2[1]=0.0;  
 e2c\_SzD2[0]=0.0;  
 e2c\_SzD2[1]=0.0;  
 }

void CR\_fase\_a(void)

```
{
//1.-un retardo de fase y calcula el error1.
Vref_a[0]= Vref_a[1];
Vref_a[1]=V_ref_a;
Vrefa_delay= Vref_a[0];
e1a=Vrefa_delay-Vfba;

//2.-Se calcula la salida del modelo interno (MI).
Mla=e1a+(0.95*MlaD32[31]);

//3.-Se retrasa MI 21 y luego 2 muestras  $0.6z^{-21}z^{-2}=0.6z^{-23}$ .
Mla_2_delay=0.6*MlaD32[22];

//4.-El resultado anterior pasa por el compensador S(z)
```

```
e2a_Sz=-0.7575*e2a_SzD2[1]+1.724*e2a_SzD2[0]+  
(0.0084*MlaD2[1]+0.0169*MlaD2[0]+ 0.0084*Mla_2_delay);
```

```
//5.-El resultado anterior se suma con el voltaje de referencia.  
Vrefa_gen=(e2a_Sz+ V_ref_a);
```

```
//desplazamiento de las muestras de 32 para MI  
for(j=30;j>=0;j--)  
{  
MlaD32[j+1]=MlaD32[j];  
}  
MlaD32[0]=Mla;
```

```
//desplazamiento de 2 muestras de del resultado de Mla que pasa por  $z^{-2}$   
MlaD2[1]=MlaD2[0];  
MlaD2[0]=Mla_2_delay;
```

```
//desplazamiento de las muestras de E2_compensador  
e2a_SzD2[1]=e2a_SzD2[0];  
e2a_SzD2[0]=e2a_Sz;  
}
```

```
void CR_fase_b(void)  
{  
//1.-un retardo de fase y calcula el error1.  
Vref_b[0]= Vref_b[1];  
Vref_b[1]=V_ref_b;  
Vrefb_delay= Vref_b[0];  
e1b=Vrefb_delay-Vfbb;
```

```
//2.-Se calcula la salida del modelo interno(MI).  
Mlb=e1b+(0.95*MlbD32[31]);
```

```
//3.-Se retrasa MI 21 y luego 2 muestras  $0.6z^{-21}z^{-2}=0.6z^{-23}$ .  
Mlb_2_delay=0.6*MlbD32[22];
```

```
//4.-El resultado anterior pasa por el compensador S(z)  
e2b_Sz=-0.7575*e2b_SzD2[1]+1.724*e2b_SzD2[0]+  
(0.0084*MlbD2[1]+0.0169*MlbD2[0]+0.0084*Mlb_2_delay);  
//5.-El resultado anterior se suma con el voltaje de referencia.  
Vrefb_gen=(e2b_Sz+V_ref_b);
```

```
//desplazamiento de las muestras de 32 para MI  
for(j=30;j>=0;j--)  
{  
MlbD32[j+1]=MlbD32[j];  
}  
}
```

```

MlbD32[0]=Mlb;

//desplazamiento de 2 muestras de del resultado de Mla que pasa por z^-2
MlbD2[1]=MlbD2[0];
MlbD2[0]=Mlb_2_delay;

//desplazamiento de las muestras de E2_compensador
e2b_SzD2[1]=e2b_SzD2[0];
e2b_SzD2[0]=e2b_Sz;
}

void CR_fase_c(void)
{
//1.-un retardo de fase y calcula el error1.
Vref_c[0]=Vref_c[1];
Vref_c[1]=V_ref_c;
Vrefc_delay=Vref_c[0];
e1c=Vrefc_delay-Vfbc;

//2.-Se calcula la salida del modelo interno(MI).
Mlc=e1c+(0.95*MlcD32[31]);

//3.-Se retrasa MI 21 y luego 2 muestras 0.6*z^-21*z^-2=0.6z^-23.
Mlc_2_delay=0.6*MlcD32[22];

//4.-El resultado anterior pasa por el compensador S(z)
e2c_Sz=-0.7575*e2c_SzD2[1]+1.724*e2c_SzD2[0]+
(0.0084*MlcD2[1]+0.0169*MlcD2[0]+0.0084*Mlc_2_delay);

//5.-El resultado anterior se suma con el voltaje de referencia.
Vrefc_gen=(e2c_Sz+ V_ref_c);

//desplazamiento de las muestras de 32 para MI
for(j=30;j>=0;j--)
{
MlcD32[j+1]=MlcD32[j];
}
MlcD32[0]=Mlc;

//desplazamiento de 2 muestras de del resultado de Mla que pasa por z^-2
MlcD2[1]=MlcD2[0];
MlcD2[0]=Mlc_2_delay;
//desplazamiento de las muestras de E2_compensador
e2c_SzD2[1]=e2c_SzD2[0];
e2c_SzD2[0]=e2c_Sz;
}

```

```

/**INTERRUPCION PRINCIPAL PWM**/

interrupt void pwm_isr(void)
{
*(unsigned int *)DPR12 |= 0x0FFFFFFF;//reinicia todos los disparos por protecciòn
*(unsigned int *)DPR0 |= 0x00000007;// una vez deshabilitado los disparos se
activan PWM de A,B y C

DataSetting();      // inicia transmisión de datos hacia HPI.

*(unsigned int *)DPR0 |=0x00000040;      //bit 6 a 1, inicio de A2D
*(unsigned int *)TIMER0_COUNT = 0;
*(unsigned int *)TIMER0_CTRL |= 0x0C0; //inici0 de conteo
*(unsigned int *)DPR9 |= 0x30000;      //bit 16, 17 a 1 bit 16 WSR watchdog
service y bit 17 WEN watchdog

while((* (unsigned int *)DPR1)&0x0080); //bit 0- 6 a 0 ..bit 7 ABY A2D. Si ADC aún
no termina, espera para terminar

//Lee information de los registros de la FPGA
dpr0 = *(unsigned int *)DPR0;
dpr1 = *(unsigned int *)DPR1;
dpr2 = *(unsigned int *)DPR2;
dpr3 = *(unsigned int *)DPR3;
dpr4 = *(unsigned int *)DPR4;
dpr5 = *(unsigned int *)DPR5;
dpr6 = *(unsigned int *)DPR6;
dpr7 = *(unsigned int *)DPR7;
dpr8 = *(unsigned int *)DPR8;
dpr9 = *(unsigned int *)DPR9;
dpr12 = *(unsigned int *)DPR12;

*(unsigned int *)DPR0 &= 0xFFFFF7FF; //bit 11 a 0, a2d a disparo por software
*(unsigned int *)DPR0 |= 0x40;      //bit 6 a 1;a2d converter start

    if((dpr0&0x00000008) || (dpr8)) //Si el switch esta arriba deshabilita PWM
    {
        DriveOn = 0;
        AccidentalEnable = 0;
    }

    else if ((!DriveOn)&&(!AccidentalEnable))//Si el switch esta abajo habilita PWM`
    {
        DriveOn = 1;
        reset_controlador();
        if(NormalMode)
        {

```

```

        *(unsigned int*)DPR0 |=0x00000007; // Habilita PWM de A,B y C
    }
}
if(dpr8) *(unsigned int*)DPR8 |=0x0080; //Si algun disparo por hardware
esta fijo, pone bit 7 a 1 ST7 disparo por software

if(!((dpr0&0x00000010))&&(dpr0&0x00000008))
*(unsigned int*)DPR8 &= 0xFFFFF00; //bit 4 =1, habilita RTR
//bit 3 = 1, MEN enable button state
//bit 0-7 a 0 software trip
//Si botón de reinicio es 1 entonces
reinicia los disparos por software

while(*(unsigned int *)DPR1 & 0x00000080); //bit 7 ABY a 1, espera a que el
convertidor A2D termine,
*(unsigned int *)DPR0 |=0x00000800; //bit 11 a 0

/*Inicializa los adc`s de la FPGA en su repectivo registro*/
adc0 = *(unsigned int *)DPR3;// DPR3: AD0 bit 0-15, AD1 bit 16-31
adc1 = (adc0&0x3FFF0000)>>16;
adc0 &= 0x3FFF;

adc2 = *(unsigned int *)DPR4;// DPR4: AD2 bit 0-15, AD3 bit 16-31
adc3 = (adc2&0x3FFF0000)>>16;
adc2 &= 0x3FFF;

adc4 = *(unsigned int *)DPR5;// DPR5: AD4 bit 0-15, AD5 bit 16-31
adc5 = (adc4&0x3FFF0000)>>16;
adc4 &= 0x3FFF;

adc6 = *(unsigned int *)DPR6;// DPR6: AD6 bit 0-15, AD7 bit 16-31
adc7 = (adc6&0x3FFF0000)>>16;
adc6 &= 0x3FFF;

adc8 = *(unsigned int *)DPR7;// DPR7: AD8 bit 0-15, AD9 bit 16-31
adc9 = (adc8&0x3FFF0000)>>16;
adc8 &= 0x3FFF;
/*VOLTAJES DE RETROALIMENTACION DE LINEA A NEUTRO PARA EL
CONTROLADOR*/
Vfba=(float)((adc4-OFFSET2)*VGAINA);
Vfbb=(float)((adc3-OFFSET3)*VGAINB);
Vfbc=(float)((adc2-OFFSET4)*VGAINC);
/*VOLTAJES DE ENTRADA DE LINEA A LINEA*/
VAB_en=(float)(adc0-OFFSET0)*VgainAB;
VBC_en=(float)(adc1-OFFSET1)*VgainBC;
VDC = (float)(adc9-OFFSET9)*-1/14.331;

```

```

/**VECTOR DE VOLTAJE DE ENTRADA**/
VA_en=(2*VAB_en+VBC_en)/3;
VB_en=VA_en-VAB_en;
VC_en=VB_en-VBC_en;

/*FP = 1.0*/
/*Transformaci3n de alfa a beta. Determina el vector Vi y BETA*/
a_curr = (TWO_3)*(VA_en-0.5*VB_en-0.5*VC_en);
b_curr = (I_SQRT3)*(VB_en-VC_en);
Vi = sqrtsp(a_curr*a_curr+b_curr*b_curr);
atansp_in=atansp(b_curr/a_curr);
if((a_curr>0) && (b_curr==0))
    icvang = 0.0;
else if((a_curr>0) && (b_curr>0))
    icvang = atansp_in;
else if((a_curr==0) && (b_curr>0))
    icvang = 0.5*PI;
else if((a_curr<0) && (b_curr>0))
    icvang = PI + atansp_in;
else if((a_curr<0) && (b_curr==0))
    icvang = PI;
else if((a_curr<0) && (b_curr<0))
    icvang = PI + atansp_in;
else if((a_curr==0) && (b_curr<0))
    icvang = 1.5*PI;
else if((a_curr>0) && (b_curr<0))
    icvang = 2*PI + atansp_in;
else
    icvang = atansp_in;

Ki=(icvang+PI_2)/PI_3;
Ki=((Ki==7)?1:Ki);
ang_curr=((float)Ki-1)*PI_3;
beta=icvang-ang_curr;
beta=((beta>PI)?(beta-TWOPI):beta);

/*CORRIENTES DE SALIDA*/
ia_sal = (float)(adc8-OFFSET8)*lgainA;
ib_sal = (float)(adc7-OFFSET7)*lgainB;
ic_sal = (float)(adc6-OFFSET6)*lgainC;

//*****PROTECCIONES*****////////////////

if ((ia_sal>IMAX)||(-ia_sal>IMAX)||(ib_sal>IMAX)||(-ib_sal>IMAX)||(ic_sal>IMAX)||(-ic_sal>IMAX))
{

```

```

*(unsigned int*)DPR8 |= 0x0001; // se activa protecciòn ST0 =
                                sobrecorriente
*(unsigned int*)DPR0 &= 0xFFFFBFD8; //deshabilita PWM
*(unsigned int*)DPR0 &= 0xFFFFF8; //bit 0-2, 5 a 0 deshabilita salidas
                                A, B y C

DriveOn=0;
}
IsqrSum = ia_sal*ia_sal + ib_sal*ib_sal + ic_sal*ic_sal;

if(IsqrSum>IsqrSumMax)
{
    if(overcurrent_delay++ == OV_CUR_TRIP_DELAY)
    {
        *(unsigned int*)DPR8 |= 0x0002; // se activa protecciòn ST1 =
                                        sobrecorriente promedio
        *(unsigned int*)DPR0 &= 0xFFFFBFD8; // deshabilita SMA, SMB y
                                        SMC

        DriveOn=0;
        overcurrent_delay = 1;
    }
}
else overcurrent_delay = 1;

if(VDC>VclampMax)
{
    *(unsigned int*)DPR8 |= 0x0004; // se activa ST2 = Voltaje de
                                    enclavamiento
    *(unsigned int*)DPR0 &= 0xFFFFBFD8; //deshabilita PWM`s
    *(unsigned int*)DPR0 &= 0xFFFFF8; //deshabilita SMA, SMB y SMC
    DriveOn=0;
}
//////////*****FIN DE PROTECCIONES*****//////////

/*****VOLTAJES DE REFERENCIA A, B Y C*****/

Delta_Theta_sal = (TWOPI*Freq_sal)/(FSW);
Theta_sal+=Delta_Theta_sal;
Theta_sal=((Theta_sal>=TWOPI)?(Theta_sal-TWOPI):Theta_sal);
cos_Theta_sal=cossp(Theta_sal);
sin_Theta_sal=sinsp(Theta_sal);
//Conversion de d-q a alpha-beta
Volt_alpha_ref=Volt_d_ref*cos_Theta_sal-Volt_q_ref*sin_Theta_sal;
Volt_beta_ref= Volt_d_ref*sin_Theta_sal+Volt_q_ref*cos_Theta_sal;

//Conversion alpha-beta a ABC
V_ref_a=Volt_alpha_ref;
V_ref_b=1.5*(-ONE_3*Volt_alpha_ref+I_SQRT3*Volt_beta_ref);

```



```
CR_fase_c()); //llama al control repetitivo de fase c
Uc=Vrefc_gen;
Y_refc=-0.402*YrefcD2[1]-0.422*YrefcD2[0]+2.5*(0.9699*UcD2[1]-
1.319*UcD2[0]+Uc);
```

```
    UcD2[1]=UcD2[0];
    UcD2[0]=Uc;
    YrefcD2[1]=YrefcD2[0];
    YrefcD2[0]=Y_refc;
```

```
/******FIN DE TC y CR******/
```

```
/*Voltajes de referencia generados*/
```

```
    Vref_a=Y_refa;
    Vref_b=Y_refb;
    Vref_c=Y_refc;
```

```
/******Protección del voltaje de referencia******/
```

```
Vrefa_pro=Vref_a;
if(Vrefa_pro>100)
    Vrefa_pro=80;
elseif(Vrefa_pro<-100)
    Vrefa_pro=-80;
else
    Vrefa_pro=Vref_a;
```

```
Vrefb_pro=Vref_b;
if(Vrefb_pro>100)
    Vrefb_pro=80;
elseif(Vrefb_pro<-100)
    Vrefb_pro=-80;
else
    Vrefb_pro=Vref_b;
```

```
Vrefc_pro=Vref_c;
if(Vrefc_pro>100)
    Vrefc_pro=80;
elseif(Vrefc_pro<-100)
    Vrefc_pro=-80;
else
    Vrefc_pro=Vref_c;
```

```
/*Transformación de alpha a beta de los voltajes de referencia generados. Y
calcula el vector Vo, ALFA y Kv**/
```

```
a_volt = (TWO_3)*(Vrefa_pro-0.5*Vrefb_pro-0.5*Vrefc_pro);
b_volt = (I_SQRT3)*(Vrefb_pro-Vrefc_pro);
Vo=sqrtsp(a_volt*a_volt + b_volt*b_volt);
Kv=(Theta_sal+PI_3)/PI_3;
```

---

```

ang_volt=((float)Kv-0.5)*PI_3;
alfa=Theta_sal-ang_volt;

q=Vo/Vi; //Indice de modulaciòn
if(q>0.76)
    q=0.76;

/*Inicia el cálculo de los ciclos de trabajo*/
cos_alfa_menos_PI_3=cosp(alfa - PI_3);
cos_alfa_mas_PI_3=cosp(alfa + PI_3);
cos_beta_menos_PI_3=cosp(beta - PI_3);
cos_beta_mas_PI_3=cosp(beta + PI_3);

    eq_I = 1.154700538*q*cos_alfa_menos_PI_3*cos_beta_menos_PI_3;
    eq_II = 1.154700538*q*cos_alfa_menos_PI_3*cos_beta_mas_PI_3;
    eq_III = 1.154700538*q*cos_alfa_mas_PI_3*cos_beta_menos_PI_3;
    eq_IV = 1.154700538*q*cos_alfa_mas_PI_3*cos_beta_mas_PI_3;

DI = Tseq_Pulses_2*eq_I + 0.5;
DII = Tseq_Pulses_2*eq_II + 0.5;
DIII = Tseq_Pulses_2*eq_III + 0.5;
DIV = Tseq_Pulses_2*eq_IV + 0.5;
D0 = (Tseq_Pulses_2) - (DI+DII+DIII+DIV);
D0_3 = ONE_3*D0 + 0.5;
TWOD0_3 = 2*D0_3;

/*****Fin de los ciclos de trabajo*****/

/**Envia la información de los ciclos de trabajo con su respectivo vector de los
parametros de conmutación hacia el FIFO de FPGA***/

pVS=&VS[Ki-1][Kv-1]; //Selecciona del controller.h el vector que contiene la
secuencia de conmutaciòn.

if (!DriveOn);
else
    {
        if((Ki+Kv) & 1) //Si (Ki+Kv) is impar
            {
                *(unsigned int *)DPR1 = (VCT[(*pVS)[0]])|D0_3;
                if(DI>1) *(unsigned int *)DPR1 = (VCT[(*pVS)[1]])|DI;
                if(DIII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[2]])|DIII;
                *(unsigned int *)DPR1 = (VCT[(*pVS)[3]])|D0_3;
                if(DIV>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[4]])|DIV;
                if(DII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[5]])|DII;
                *(unsigned int *)DPR1 = (VCT[(*pVS)[6]])|TWOD0_3;
            }
    }

```

```

        if(DII>1) *(unsigned int *)DPR1 = (VCT[(*pVS)[7]])|DII;
        if(DIV>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[8]])|DIV;
        *(unsigned int *)DPR1 = (VCT[(*pVS)[9]])|D0_3;
        if(DIII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[10]])|DIII;
        if(DI>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[11]])|DI;
        *(unsigned int *)DPR1 = (VCT[(*pVS)[12]]);

    }

else    //Si (Ki+Kv) es par
    {
        *(unsigned int *)DPR1 = (VCT[(*pVS)[0]])|D0_3;
        if(DIII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[1]])|DIII;
        if(DI>1) *(unsigned int *)DPR1 = (VCT[(*pVS)[2]])|DI;
        *(unsigned int *)DPR1 = (VCT[(*pVS)[3]])|D0_3;
        if(DII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[4]])|DII;
        if(DIV>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[5]])|DIV;
        *(unsigned int *)DPR1 = (VCT[(*pVS)[6]])|TWOD0_3;
        if(DIV>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[7]])|DIV;
        if(DII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[8]])|DII;
        *(unsigned int *)DPR1 = (VCT[(*pVS)[9]])|D0_3;
        if(DI>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[10]])|DI;
        if(DIII>1)*(unsigned int *)DPR1 = (VCT[(*pVS)[11]])|DIII;
        *(unsigned int *)DPR1 = (VCT[(*pVS)[12]]);
    }
}

if(*(unsigned int *)DPR0 & 0x00000007) // SI SMA, SMB, y SMC =1.
{
    next_message = 0x50574DFF;    //Escribe en el display PWM y =) (2
                                // BYTES LMS corresponden a =)
}

else
{
    next_message = 0x50574DFE;
}

*(unsigned int *)TIMER0_CTRL &= 0xFF7F;
int_delay = *(unsigned int *)TIMER0_COUNT;
DriveOnf=(float)DriveOn;

DataCapture();    //Almacena el dato en la memoria externa para el HPI
}    // Fin de interrupción PWM

```